

シヨートノート

マルチマイクロプロセッサによる並列フーリエ変換†

伊藤 敏 美^{††} 山 本 修^{†††}
 齋藤 恒 雄^{††} 星 子 幸 男^{††}

本論文では、信号処理の分野で重要な演算の一つである高速フーリエ変換 (FFT) 型のアルゴリズムを効率良く並列処理するマルチプロセッサシステムについて述べている。プロセッサ間のデータ転送を高速化するため、バンクメモリとマトリクススイッチ方式を用いている。

1. ま え が き

半導体製造技術の進歩により安価で高性能のマイクロプロセッサが入手可能となり、各種の信号処理の分野においてもその応用が検討されつつある。信号処理における基本的な演算は本質的に並列処理可能な場合が多いことから^{2),3)}、マルチプロセッサシステムにすることにより効率の良い高速の信号処理が実行できるものと考えられる。そこで本論文では信号処理において代表的な演算である高速フーリエ変換 (FFT) 形のアルゴリズムを能率よく並列処理するためのマルチプロセッサシステムについて述べる。各プロセッサ間での処理データの転送の問題が処理能率に大きく影響することから、能率のよい転送ができるようなシステム構成および転送方法について検討を行った。

2. システム構成

図1にシステムの構成を示す。システムを管理・制御するマスタプロセッサ (MP) とその管理下におかれる4台の全く平等なスレーブプロセッサ (SP) から成り、いずれも 8080A を用いた。MP と SP 間の結合は2ポートのスレーブメモリ (SM) を介して行い、SM 内の一定領域 (ポスト) 内の情報と割込みによって通信を行っている。また、すべてのメモリモジュールは MP のアドレス空間内にあり、SP に対するプログラ

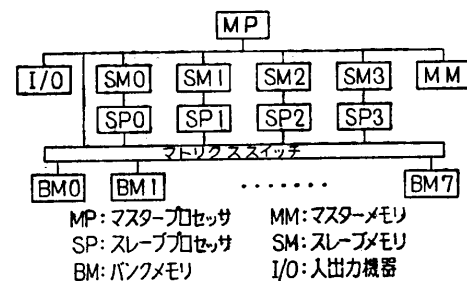


図1 システム構成

Fig. 1 System configuration.

ムやデータの転送を MP が行う場合には単に自己のメモリ内の転送として行うか、または全く必要としないことが可能である。MP は各 SP の動作状態をステータスとして読取り、また各種の制御コマンドによってこれらの制御を行う。SP は MP によって割当てられたサブタスクを実行する。そのために必要なプログラムやデータはあらかじめ、あるいは動的に MP によって転送され、また必要なバンクメモリ (BM) も同時に割当てられる。SM は主として SP のためのプログラム格納領域、作業領域または FFT における三角関数値のようなデータの格納領域として使用される。従って、他の SP がこれらの領域にアクセス可能であることは必ずしも必要でない。これに対して信号処理における処理データは BM に格納され、これらは各 SP 間で能率よく転送される必要がある。

そのためこの部分ではマトリクススイッチ方式を用いて転送能率の向上を図っている。図2に示すマトリクススイッチの制御は MP からの接続コマンドによって行われ、各 SP には最大2個まで BM を接続することができる。重複割当て防止回路は、一つの BM が同時に複数の SP に割当てられることを禁止する。

† Parallel Fourier Transform by Multi-microprocessor System by TOSHIMI ITO (Department of Electrical Communications, Faculty of Engineering, Tohoku University), OSAMU YAMAMOTO (Iwatsu Electric Co. Ltd.), TSUNEO SAITO and YUKIO HOSHIKO (Department of Electrical Communications, Faculty of Engineering, Tohoku University).

†† 東北大学工学部通信工学科
 ††† 岩崎通信機(株)

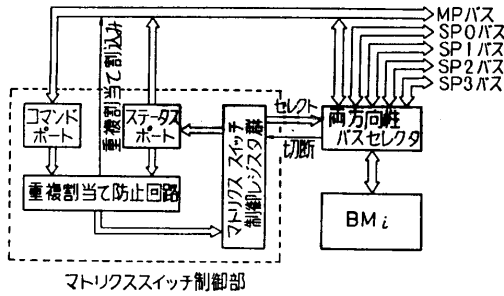


図 2 マトリクススイッチ部の構成
Fig. 2 Implementation of matrix switch.

3. FFT 形アルゴリズムの並列処理

以上述べた処理システムにおける FFT 形アルゴリズムの並列処理法とその処理速度について検討する。

N 点の FFT を M 台 ($M=2^m \leq N/2$) のプロセッサで処理する場合を考える。ここで、 N 及び M は共に 2 のべき乗であるとし、ビット正順入力の周波数間引き法またはビット逆順入力の時間間引き法を用いるものとする。入力データ系列 $\{x_i\}$ を $2M$ 個のブロック B_j に次のように分割する。

$$B_j = \{x_{(N/2M)j}, x_{(N/2M)(j+1)}, \dots, x_{(N/2M)(j+1)-1}\} \quad (1)$$

ただし、 $i=0, 1, \dots, N-1, j=0, 1, \dots, 2M-1$ である。これらのデータブロックを $2M$ 個の BM に入力し、FFT 演算の各ステージ S において M 台の SP に各 2 個の BM を次のように割当てる。これにより、そのステージ内の演算は他の SP に割当てられた BM 内のデータを必要とせずに実行できる。

(i) 始めの $S=0$ から $S=\log_2 M=m$ 回目までのステージでは; ROTATE $_m(t, s)$ 番目の SP に ROTATE $_{m+1}(t, s)$ および ROTATE $_{m+1}(t+M, S)$ 番目の BM を割当てる。ただし $t=0, 1, \dots, M-1, S=0, 1, \dots, m$ で ROTATE $_z(y, z)$ は、 x ビットの数 y を z ビットだけ右にローテイトさせて得られる数を意味する。

(ii) 残りのステージ $S=m+1, m+2, \dots, \log_2 N-1$ では; (i) のステージ $S=m$ によって割当てられた BM をそのまま用いる。

4 台の SP を用いるとき図 3 の例を図に示す。この例からわかるように BM の交換は、始めの m 回目までのステージで全体の半数の M 個についてだけ行えばよい。以上のようなブロック転送を行わずに MP が逐一個々のデータを交換する場合には、バタフライ演算に要する時間を単位時間として、

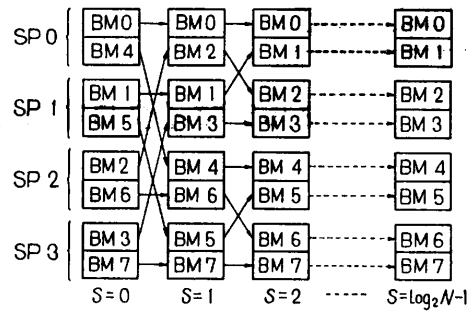


図 3 スレーブプロセッサに対するバンクメモリの割当て方法
Fig. 3 Bank memory assignment to slave processors ($M=4$).

表 1 高速フーリエ変換 (FFT) と高速アダマル変換 (FHT) の並列処理時間と処理時間短縮率 α

Table 1 Measured values of processing time and performance of parallel processing for fast Fourier transform and fast Hadamard transform.

	N	M				
		1	2	4		
		処理時間 (msec)	α_M (%)	α_{MB} (%)	α_M (%)	α_{MB} (%)
FFT	256	1235	50.6	50.0	27.9	25.0
	128	505	51.1	50.1	28.9	25.4
	64	201	51.7	50.2	29.9	25.8
	32	74.3	52.2	50.7	32.6	27.1
FHT	256	113	54.0	50.3	32.6	25.5
	128	50	55.2	50.6	34.2	26.3
	64	22	55.9	51.2	36.8	27.8
	32	9.5	57.9	53.1	41.5	31.7

α_M : バンクメモリ使用せず α_{MB} : バンクメモリ使用

$$T_M(N) = \frac{1}{M} \cdot \frac{N}{2} \log_2 N + c \cdot \frac{N}{2} \log_2 M \quad (2)$$

の処理時間を要する。ただし、 c は一組のデータを交換するのに要する時間である。(2)式の第一項は本来の処理時間がプロセッサの台数分の一に短縮されることを、第二項は並列処理に伴うオーバーヘッドを表わしている。これより並列処理による処理時間の短縮率 α_M は次のようになる。

$$\alpha_M = \frac{T_M(N)}{T_1(N)} = \frac{1}{M} + \frac{c \cdot \log_2 M}{\log_2 N} \quad (3)$$

(3)式から、 c の値によってはプログラムの台数 M を増しても性能向上にはならないことがある¹⁾。

一方、マトリクススイッチと BM によるブロック転送の場合には (2) 式の $cN/2$ は N に依存しない新たなパラメータ c' に置換えられる。 c' は BM の再割当てに要する時間では c と同程度と考えられるので、オーバーヘッドを $2/N$ 倍短縮して効率の良い並

列処理ができることを意味する。

表1に高速フーリエ交換(FFT)と高速アダマール変換(FHT)を上記の方法で処理した結果を示す。入力は16ビットデータでFFTの場合は複素数入力とし、三角関数値は無符号8ビットで与えた。表1には1台のプロセッサで処理したときの処理時間と並列処理した場合の短縮率 α_M をBMを使用した場合としない場合について示した。パラメータ c および c' の値はそれぞれ約、

$$\text{FFT}; c=2.2 \times 10^{-2}, c'=1.2 \times 10^{-2}$$

$$\text{FHT}; c=3.6 \times 10^{-1}, c'=2.0 \times 10^{-1}$$

の程度である。ただし、FFTの場合は複素乗算を省略しない場合の値である。

予想されたようにプロセッサの台数 M が増加すると並列処理のためのオーバーヘッドにより効率は低下する。特に、バタフライ演算の処理時間の短いFFTにおいてはパラメータ c の値が相対的に大きくなり著しい。これが、BMとマトリクススイッチ方式を用いることによって改善され、ほぼプロセッサの台数倍に近い処理速度を得ることができる。

4. む す び

信号処理の基本的な演算であるFFT形のアルゴリズムを効率良く処理するためのマルチプロセッサシステムについて、その構成法、処理法および実験結果について述べた。ここでは比較的低速のプロセッサを用いたので長い処理時間を要しているが、専用のハードウェアを付加することによって更に高速の処理が可能である。このような場合には、バンクメモリとマトリクススイッチ方式によるブロック転送の効果がより顕著に表われてくるものと考えられる。

参 考 文 献

- 1) 伊藤, 山本, 斉藤, 星子: 昭和52年度電子通信学会情報部門全国大会予講集, S4-8.
- 2) Gold, B. and Bially, T.: Parallelism in Fast Fourier Transform Hardware, IEEE Trans. Audio Electroacoust., Vol. AU-21, pp. 5-16 (1973).
- 3) Bergland, G. D.: A Parallel Implementation of the Fast Fourier Transform Algorithm, IEEE Trans. Comput., Vol. C-21, pp. 366-370, (1972).

(昭和53年2月20日受付)

(昭和53年7月17日採録)