

一行配線法を用いた高密度プリント基板用 自動配線システムについて†

浅原重夫^{††} 尾谷昌康^{††}
小倉康敬^{††} 白川功^{†††}

プリント基板に対するレイアウトの自動化という観点から、迷路法、線分探索法、チャンネル法などの各種配線手法が提案され、実際にもそれらの手法が有機的に結合されて自動配線システムに組み込まれ、設計コストの低減、設計期間の短縮に大いに寄与している。しかし、今日ますます普遍化しつつある基板の高密度化に付随して、これらの手法は、本質的に処理速度の急減、記憶容量の急増を伴い、その性能は著しく低下するものと考えられる。

我々はこのような状況に対処するための1つの措置として、いわゆる位相幾何学的柔軟性を備えた一行配線法を活用し、これと線分探索法とを組合せ、さらに Hadlock の手法に基づいた迷路法を組み入れて一つの自動配線システムを開発した。

本文では、この配線システムの径路探索手続きの概要を述べるとともに、実験結果を通じて、本システムが実用上有用であり、かつ将来の基板の高密度化にも十分対処しうることを示す。

1. ま え が き

各種電子機器システムの機能の高度化あるいは集積化に伴い、システムの大規模化がますます促進されつつある今日、システムの信頼性向上、高集積化、設計工程の合理化という観点から、実装設計におけるより高性能な配置配線技法の開発並びにそれに付随したより高度な CAD 技法の確立が急務となっている。

いま、プリント基板の配線設計の現状を眺めると、レイアウトの自動化という観点から各種配線手法が活用されており、それらは主として迷路法、線分探索法、チャンネル法に大別される。これらの手法は、その長所を十分生かすように有機的に結合されて、実際の自動配線システムに組み込まれ、設計コストの低減、設計期間の短縮に大いに寄与している。

しかしながら、基板に対する加工技術が向上し、通常の DIP-IC のピン間に2本またはそれ以上の配線が可能とするような高密度の基板が出現し、今後ますます普遍化しようとしているが、このような高密度化に伴い、従来の配線手法は本質的に以下の点において性能が急激に低下する。

① IC のピン間に2本またはそれ以上の配線が可能な高密度基板に対しては、上記の迷路法、線分探索法を適用する際、基板上に仕切られる格子状のセルをより細かく区切る必要が生じるが、これは処理速度の急減、記憶容量の急増を招き、配線処理能力を低下させる。

② 上記のような高密度化に際しては、中継穴（層間の導通穴）の挿入位置が、通常の IC のピン間隔と同じ間隔で水平、垂直に張られた格子点に指定されるのが普通であり、この場合には従来の手法はそのままでは適用できない。

我々はこのような状況に対処する一つの措置として、いわゆる位相幾何学的柔軟性 (topological fluidity)¹⁾ を備えた一行配線法²⁾ を活用し、これと線分探索法とを組合せ、更に Hadlock の手法³⁾ に基づいた迷路法を組み入れて1つの自動配線システムを開発した。本文では、このシステムにおける径路探索手続きの概要を述べ、いくつかの実験結果を示す。

2. システム構成の概要

A. 基板の分割

IC のピン間に2本またはそれ以上の配線が可能な高密度基板においては、ピンおよび中継穴の挿入可能な位置は、ピン間距離と同じ間隔で水平、垂直に張られた格子点に指定されるのが普通である。このような配線仕様の状況下において、配線径路の探索操作およびデータ処理の効率化という点から、配線径路のため

† A Routing System Based on Single-Row Routing for High Density Printed Wiring Boards by SHIGEO ASAHARA, MASAYASU ODANI, YASUNORI OGURA (Department of Electronic Engineering, Graduate School of Osaka University) and ISAO SHIRAKAWA (Department of Electronic Engineering, Faculty of Engineering, Osaka University).

†† 大阪大学大学院工学研究科電子工学専攻

††† 大阪大学工学部電子工学科

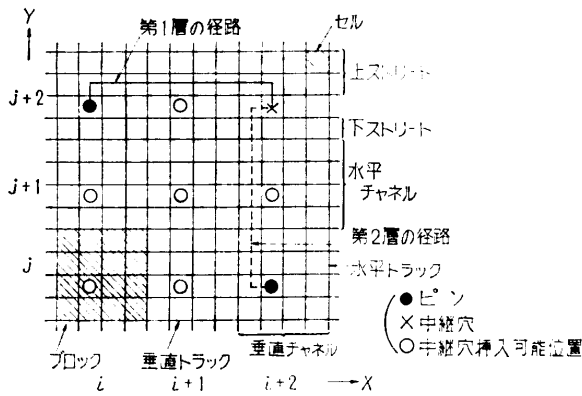


図1 基板上的トラックとチャンネルおよびセルとブロック
Fig. 1 Channels and tracks; blocks and cells on a PWB.

の最小の実装単位である水平および垂直トラックと、いくつかの水平および垂直トラックからなる水平および垂直チャンネルという実装単位を導入する(図1参照)。

簡単のために、基板は2層であるとし、第1層(A面)は主として水平チャンネルを、第2層(B面)は主として垂直チャンネルを用いて配線するものとする。

基板の各層のこのような分割において、水平トラックと垂直トラックとによって仕切られる矩形領域をセルといい、垂直チャンネル X と水平チャンネル Y とによって仕切られるセルの集合をブロック (X, Y) といい、A, B面のブロックを特に指定したいときには、それぞれ (X, Y)_A, (X, Y)_B で表わす。

B. 配線径路の探索手続き

径路探索の流れの概略を図2に示す。本システムは、線分探索法と一行配線法、および迷路法の各段階において、後述するようにいくつかのパラメータが設定され、その値に従って異なったモードで動作する。以下にその概略を述べる。

〔線分探索法+一行配線法〕

線分探索法により、指定されたブロック間に、チャンネル内での径路が可能かどうか探索し、可能ならば径路を割り当て、各チャンネル内の最終的な径路は一行配線法により決定するものとする。

MODE-0 は1チャンネルが1トラックだけからなる従来の線分探索法であり、中継穴挿入可能位置は固定されていないが、中継穴相互の相対的な位置関係に対する挿入箇所の制約は付加することができるものとする。このモードはピン間1本の配線を対象とする。

上, 下ストリートのトラック数をそれぞれ k_u, k_w で表わすとき、MODE-1, 2, 3, 4は、 (k_u, k_w) がそれぞれ、(1, 0), (1, 1), (2, 1), (2, 2) であるようなチャンネルに対して線分探索法と一行配線法とにより径路を実現し、それぞれピン間1本, 2本, 3本, 4本の中継穴固定の配線を対象とする。

〔迷路法〕

本迷路法は、Hadlockの手法を基本にして、2層基板用に拡張したものであり、配線手続きの最終段階に用いられ、セルごとの探索により径路を実現する。

MODE-A は、第1層では水平トラックのみ、第2層では垂直トラックのみの配線径路を探索し、中継穴可能位置は固定されていないものとする。これに対し、MODE-B は、第1層では水平チャンネル内、第2層では垂直チャンネル内での径路を探索し、中継穴可能位置は固定されているものとする。MODE-C およびMODE-D は、共に各層の径路探索には上記のような方向に関する制限はないが、中継穴可能位置が固定されない場合と固定される場合とをそれぞれ対象としている。

3. 線分探索法と一行配線法とによる径路生成手続き

本手法は、線分探索法によって、チャンネル内での経路が可能かどうか探索し、可能ならばブロック間にネットを割り当て、チャンネル内の最終的な経路を、後段の一行配線法により決定しようというものである。したがって、線分探索の過程においては、同一チャンネルに属するブロック間に新たにネットを割り当てた場合、そのチャンネル内にそれまでに割り当てられたすべてのネットと共に一行配線によって実現可能かどうかを判定する操作を行わなければならない。そこでまず、この実現可能性の問題について考察する。

A. 上, 下トラック数が指定された一行配線問題

図3(a)の直線 R 上にある節点(ピンまたは中継穴に対応する)が与えられたとき、結線すべき節点の集合、すなわちネット、の集合をネットリストといい、与えられたネットリストを一行配線法によって結線する手続きを以下に例を用いて述べる。

ネットリスト $L = \{N_1, N_2, N_3, N_4\}$:

$$N_1 = \{v_1, v_4, v_7\}, \quad N_2 = \{v_2, v_9\}$$

$$N_3 = \{v_3, v_5\}, \quad N_4 = \{v_6, v_8\}$$

が与えられたとき、Lのネットの1つの順序系列 $\pi = (N_2, N_1, N_3, N_4)$ に注目し、各ネットの覆う区間を図

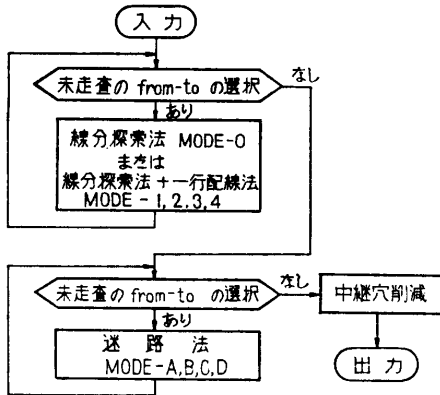


図 2 経路探索の流れ図

Fig. 2 A general flowchart of routing process.

3 (b)のように水平線分で表わし、これらの水平線分を系列の順に上から並べる。これを系列 π の区間線表現 (interval graphical representation) といい、このとき各節点を左から順に破線で結んで得られる折線を基準線という⁴⁾。いま、この区間線表現に対して、基準線を直線 R 上に投影写像し、かつこれに従って、各ネットを表わす区間線が基準線に対する相対的な位置を保存しつつ、水平および垂直線分で連なる折線になるように、1つの位相幾何学的写像を施せば、図3(c)のような L の1つの実現が得られる。この

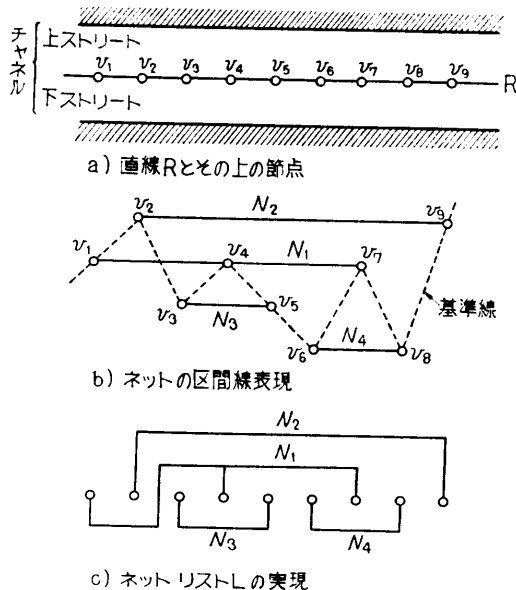


図 3 一行配線法による実現

Fig. 3 A realization of net list L.

* カット数は π に関して不変である。

ような実現のしかたを L の一行配線といい、R より上の配線領域を上ストリート、R より下の配線領域を下ストリートという。いま、上、下ストリートにおいて使用される水平トラックの個数をそれぞれ k_u, k_w で表わす。たとえば、図3(c)の実現においては、必要な上、下ストリートの水平トラック数はそれぞれ $k_u = 2, k_w = 1$ である。

いま、与えられたネットリスト L の任意の区間線表現において、節点 v_i で垂直線を引き、これに交わるほかのネットの区間線の個数を v_i のカット数* といい、 $C(v_i)$ で表わし、すべての節点について最大のカット数を C_M で表わす。また、節点对 v_i, v_j ($i \leq j$) に対して、

$$C(v_{i-1}) = C(v_{j+1}) = h - 1$$

$$C(v_i) = C(v_j) = h, C(v_k) \geq h \quad (i \leq k \leq j)$$

であるとき、区間 $[v_i, v_j]$ を h -区間といい、 I_h で表わす。任意の区間 I_h に対して、 I_h を通過し、かつその区間中に節点をもたないネットの集合を $L(I_h)$ とし、 I_h に節点をもつネットの集合と $L(I_h)$ との和集合を $L(I_h)$ とする。このとき、与えられたネットリストが指定された $k_u, k_w (\leq 2)$ に対して一行配線可能かどうかを判定するための必要十分条件を以下に述べる。まず、与えられた L に対し次の操作を施す。

1° 同一ネットに属する隣り合った節点間の結線は直線 R 上で行うこととし、これらの節点を1つの節点に縮約する。

2° どのネットにも属さない節点、およびただ1個の節点からなるネットを除去する。

この結果得られたネットリストを改めて L としたとき、次の定理が成立する。

(定理1)⁵⁾ 与えられたネットリスト L が、上、下ストリートの水平トラック数が $k_u, k_w (\leq 2)$ のチャンネルにおいて一行配線可能であるための必要十分条件は以下のようなものである。

(I) $k_u = 1, k_w = 0$ の場合 (ピン間1本)

$$C_M = 0$$

(II) $k_u = 1, k_w = 1$ の場合 (ピン間2本)

$$C_M \leq 1$$

(III) $k_u = 2, k_w = 1$ の場合 (ピン間3本)

i) $C_M \leq 2$

ii) すべての2-区間 I_2 において、 $1 \leq |L(I_2)| \leq 2$

iii) $|L(I_2)| = 1$ であるような2-区間のみに注目したとき、 $|L(I_2^{(1)}) \cap L(I_2^{(2)})| = 2$ かつ $L(I_2^{(1)}) \neq$

$L(I_2^{(2)})$ を満足する互いに隣り合った2-区間 $I_2^{(1)}$, $I_2^{(2)}$ が存在しない。

(IV) $k_u=2, k_w=2$ の場合 (ピン間4本)

i) $C_M \leq 3$

ii) すべての3-区間 I_3 において, $2 \leq |L(I_3)| \leq 3$

iii) $|L(I_3)|=2$ であるような3-区間のみに注目したとき, $|L(I_2^{(1)}) \cap L(I_2^{(2)})|=3$ かつ $L(I_3^{(1)}) \neq L(I_3^{(2)})$ を満足する互いに隣り合った3-区間 $I_3^{(1)}$, $I_3^{(2)}$ が存在しない。

<定理終>

この必要十分条件は, 節数の個数 v に対して, 高々 $O(v)$ の演算時間で調べることができる。

B. 線分探索アルゴリズム

各水平, 垂直チャネルごとに, ピンまたは中継穴が既に割り当てられたブロックをリスト構造で記憶するものとし, 各々のブロックについて, 座標, そのピン(中継穴)の属するネット番号, カット数および次の4つの状態のいずれであるかを記憶する。

S_1 : そのピンは未結線である,

S_2 : そのピン(中継穴)から座標の大なる方向へ向かう配線が存在する,

S_3 : そのピン(中継穴)から座標の小なる方向へ向かう配線が存在する,

S_4 : そのピン(中継穴)から座標の大, 小の両方向へ向かう配線が存在する。

このようなデータ構造のもとで, 線分探索法は, 各チャネルが前述の一行配線可能であるための必要十分条件を満足するかどうか調べながら, チャネル上にネットを割り当てる。その概略は以下のようである。

まず, 未配線のネットをいくつかの from-to* に分解する。経路探索はそれらの from-to ごとに行われ, 順次その時点での距離**最小のものが最優先して選ばれる。選ばれた from-to の配線が終われば, それと同じネットのほかの各 from-to について距離を計算し直す。以上の操作を未処理の from-to が存在しなくなるまで順次繰り返す:

以下に, この手法の基本となる2端子間の線分探索アルゴリズムを記述するが, これに先立ち, いくつかの定義と記法を定める。

ブロック $(X, Y)_{A(B)}$ の水平(垂直)可能域とは, プ

* from-to とは結線されるべきピンまたはサブネット(すでに結線された連結成分)の対を表わす。

** 距離とはマンハッタン距離を意味し, サブネット間の距離を測る場合, 最小距離を与えるブロック対を選ぶ。

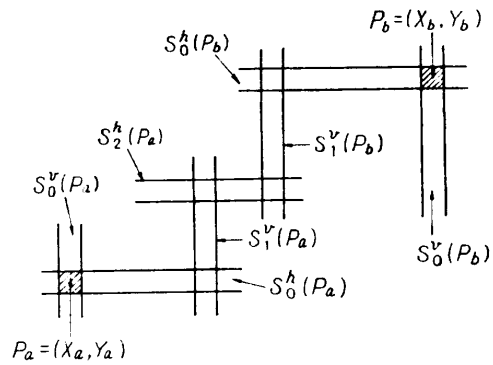


図4 ブロック P_a, P_b のレベル 0, 1, 2 の線分

Fig. 4 An example of channel segments of levels 0, 1 and 2 with respect to blocks P_a and P_b .

ロック $(X, Y)_{A(B)}$ を含み, かつカット数が k_u+k_w より小のブロックの水平(垂直)方向に連続した極大系列である。

ブロック $P=(X, Y)$ に関するレベル 0 の線分とは, $(X, Y)_A$ の水平可能域または $(X, Y)_B$ の垂直可能域を意味するものとし, それぞれ $S_0^h(P), S_0^v(P)$ で表わす。さらに, ブロック P に関するレベル k の線分を再帰的に次のように定義する: レベル $k-1$ の線分 $S_{k-1}^h(P), (S_{k-1}^v(P))$ 上にあり, かつピンまたは中継穴が割り当てられていないようなブロックの水平(垂直)可能域 $S_k^h(P) (S_k^v(P))$ をレベル k の線分という(図4参照)。

本アルゴリズムにおいては, 指定されたブロック $P_a=(X_a, Y_a)$ と $P_b=(X_b, Y_b)$ 間の配線径路を, 曲がり数のできるだけ小さいものから探索するものとする。まず, このアルゴリズムにおいて基本となる2つの単位操作について記述する。

UA ($P_1, P_2; S_1, S_2$): P_1 および P_2 をそれぞれ通る線分 S_1 と S_2 が中継穴可能なブロックで交わるかどうか調べ, 交わらなければ $A=0$ として操作終了。交われば, その交わるブロックを Q とし, S_1 および S_2 上にそれぞれブロック P_1 および P_2 と Q との間のネットを新たに割り当てたとき, それらがすでに割り当てられたネットと共に一行配線可能かどうか判定し, 共に可能な場合のみ, $A=1$ として操作終了。それ以外の場合 $A=0$ として操作終了。

UB (P, S, d)*: P_a に関するあるレベル k の線分 S とその上にあるブロック P が与えられたとき, $S_0^d(P_a)$ 上の中継穴可能なブロック Q で, それと P_a とからなるネットを $S_0^d(P_a)$ 上に新たに割り当てたと

* $d \in \{k, v\}$ であり, $d=h(v)$ のとき $d=v(h)$ と定める。

き一行配線可能であるようなものを選び出し、かつ Q を通る $S_{i^2}(P_0)$ を作成し、操作 $UA(P, Q; S, S_{i^2}(P_0))$ を施す。この結果 $A=1$ ならば、 $B=1$ とにおいて操作終了。そうでなければほかの Q を選んで UA を繰り返す。どのような Q に対しても $UA(P, Q; S, S_{i^2}(P_0))$ において $A=1$ とできないとき、 $B=0$ として操作終了。

この単位操作 UA, UB を用いて以下のような線分探索アルゴリズムが構築される。

〔線分探索アルゴリズム〕

操作0 (初期設定) : 結線すべき2つのブロックを $P_0=(X_0, Y_0), P_1=(X_1, Y_1)$ とし、曲がり数の上限を $n(\geq 2)$ とする。 $i \leftarrow 1$ として操作開始。

操作1 (1曲がりの径路探索) : 4個の線分 $S_0^1(P_0), S_0^0(P_0), S_0^1(P_1), S_0^0(P_1)$ を作成し、下記の操作を行え。

1° $UA(P_0, P_1; S_0^1(P_0), S_0^0(P_1))$ を行い、 $A=1$ であれば操作終了(この場合径路可能)。

2° $UA(P_0, P_1; S_0^0(P_0), S_0^1(P_1))$ を行い、 $A=1$ であれば操作終了(この場合径路可能)。

操作2 (2曲がりの径路探索) : 下記の操作を行え。

1° $UB(P_0, S_0^0(P_0), h)$ を行い、 $B=1$ であれば操作終了(この場合径路可能)。

2° $UB(P_0, S_0^1(P_0), v)$ を行い、 $B=1$ であれば操作終了(この場合径路可能)。

操作3 : $i+2 > n$ ならば径路不可能と判定し操作終了。

操作4 : ($i+2$ 曲がりの径路探索) : 以下の操作を行え。

1° P_0 に関するレベル i の線分 $S_{i^1}(P_0)$ を作成し、その上にある中継穴可能なブロック P で、 P_0 から P に至るレベル $0, 1, \dots, i-1$ の線分上の各ネットが相当するチャンネル上で一行配線が可能であるような P を選んで $UB(P, S_{i^1}(P_0), h)$ を行え。その結果 $B=1$ であれば、操作終了(この場合径路可能)。そうでなければ、ほかの $S_{i^1}(P_0), P$ に関して1°を繰り返す。

2° P_0 に関するレベル i の線分 $S_{i^0}(P_0)$ を作成し、その上にある中継穴可能なブロック P で、 P_0 から P に至るレベル $0, 1, \dots, i-1$ の線分上の各ネットが相当するチャンネル上で一行配線が可能であるような P を選んで $UB(P, S_{i^0}(P_0), v)$ を行え。その結果 $B=1$ であれば、操作終了(この場合径路可能)。そうでなければ、ほかの $S_{i^0}(P_0), P$ に関して2°を繰り返す。

操作5 : $i \leftarrow i+1$ として操作3へ行け。

<アルゴリズム終>

このアルゴリズムは文献6)の手法を基本にしており、3個以下の水平線分と2個以下の垂直線分とからなる径路に探索を限定することにより、無益な探索を避け、探索効率を高めることができる。本手法はその特徴を受け継いでいるが、必要ならば、さらに複雑な径路をも見出すことができる。

C. 一行配線による径路決定

線分探索法によりチャンネル内にネットが割り当てられた後に、各チャンネルは独立に取り扱われ、割り当てられたすべてのネットが一行配線法によって最終的にチャンネル内の径路として実現される。

指定された上、下トラック数が $k_u, k_w(\leq 2)$ の一行配線の実現アルゴリズムに関しては文献5)に記されているのでここでは省略する。

4. 迷路法の概要

迷路法は、径路探索速度が遅いが、反面指定された2点間に径路が存在する場合には、そのうちの最短なものを見出すという特徴をもつ。この特徴を生かすため、本システムでは、線分探索と一行配線を行ったのちに、迷路法を用いて未結線ネットに対する径路の探索を行う。

迷路法に関しては多くの著者により研究されてきたが、その中でHadlockの手法³⁾は、あるセルから次の隣接セルへ探索を進めるとき、目標点に近い隣接セルを優先して探索するという一種の深さ優先探索(depth-first-search)を行うという点に特徴をもち、従来のLeeの手法⁷⁾に比べ、径路が存在する場合には、探索するセル数が少なく済み、計算時間の点で有利であると考えられる。

そこで本システムでは、このHadlockの手法を2層基板に適用できるように拡張し、それを用いて最終段階の径路探索を行っている。その探索の過程において、各セル u に対して必要な情報は次の3つの関数 $F_1(u), F_2(u), F_3(u)$ に保持されている。

$F_1(u)$; u が中継穴禁止のとき0、そうでないとき1を表わす。

$F_2(u)$; u が未探索のとき0、既探索のとき1を表わす。

$F_3(u)$; 径路が見い出されたとき、目標点から出発点へ逆に戻るときに必要な隣接セルの方向、ならびに出発セル、目標セル、障害セルを次のような値によって識別する。

$F_3(u)=0$: 上方へ移れ, $F_3(u)=1$: 下方へ移れ,
 $F_3(u)=2$: 左方へ移れ, $F_3(u)=3$: 右方へ移れ,
 $F_3(u)=4$: 反対面へ移れ, $F_3(u)=5$: 出発セル,
 $F_3(u)=6$: 目標セル, $F_3(u)=7$: 障害セル,

出発セルを s , 目標セルを t とするとき, s から t への径路を探索するアルゴリズムを以下に示す。ここで, $d(u, v)$ はセル u とセル v とのマンハッタン距離を表わし, 探索には 2つのスタック N と P とを用いる。

〈迷路法アルゴリズム〉

操作0 (初期設定): 出発セルを s , 目標セルを t とし, すべての障害セル x に対して $F_3(x)=7$ とし, $F_3(s)=5, F_3(t)=6$ とせよ。また, すべてのセル v に対して $F_3(v)=0$ とし, 2つのスタック N と P とを空にする。セル変数 u およびフラグ FLG に対して, $u \leftarrow s, FLG \leftarrow$ 偽とせよ。

操作1 (u の探索): FLG が真ならば操作4へ行け。そうでなければ, $F_3(u)=1$ としたのち, u の隣接セル v で未探索でありかつ障害セルでないような各 $v (F_3(v)=0, F_3(v) \neq 7)$ について次の操作を施せ。

$d(v, t) < d(u, t)$ ならば, (v, D_v) をスタック P に入れ, そうでなければ, (v, D_v) をスタック N に入れる。ここで D_v は, v から u へ向う方向を表わす F_3 関数の値とする。

操作2: P が空ならば, 操作3へ行け。そうでなければ, スタック P から (w, D_w) を取り出せ。 $F_3(w)$

$=1$ ならば操作2へ戻れ。 $F_3(w)=6$ ならば, $FLG \leftarrow$ 真とせよ。 $F_3(w)=D_w, u \leftarrow w$ として操作1へ戻れ。

操作3: N が空でなければ, P の内容と N の内容とを交換し操作2へ戻れ。 N が空の場合, 2点 s, t 間の径路が存在しないことが判明し操作終了。

操作4: 最終到達セル t から, 関数 F_3 の値に従って出発セルまで戻り, 得られた配線径路を出力した後, 操作終了。

〈アルゴリズム終〉

多端子ネットを処理する際, サブネット同志の配線を行う必要が生じるが, その場合, 最短距離を与える2つのセル s, t を各サブネットから選び, それらを出発点, 目標点として配線を行う。このとき, t を含むサブネットのセルをすべて目標セルとして探索を行う (図5参照)。

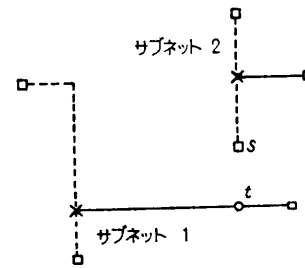


図5 多端子ネット

Fig. 5 A multi-terminal net.

表1 実験結果

Table 1 Implementation results.

| 基 板 | 線分探索法+一行配線法 | | | 迷 路 法 | | 最 終 配 線 率 (%) | 中 穴 数 | 配 線 密 度 (%) |
|-----------------|-------------|---------------|---------|-------|-----------|---------------------|----------|----------------|
| | モード | T_1/T_2 (秒) | 配線率 (%) | モード | T_2 (秒) | | | |
| 〔基板 1〕 | | | | | | | | |
| サイズ 318mm×188mm | 0 | 267.9/ 2.5 | 89.2 | A, C | 289.8 | 92.9 | 812 | 42.6 |
| ネット数 307 | 1 | 193.8/19.6 | 85.7 | B, D | 287.4 | 90.5 | 899 | 43.3 |
| from-to 数 601 | 2 | 217.1/19.6 | 97.2 | B, D | 314.4 | 98.0 | 765 | 27.9 |
| ピン数 1581 | 3 | 98.2/20.0 | 100 | | | 100 | 698 | 21.7 |
| | 4 | 71.1/18.8 | 100 | | | 100 | 648 | 16.9 |
| 〔基板 2〕 | | | | | | | | |
| サイズ 230mm×203mm | 0 | 643.0/ 4.5 | 82.2 | A, C | 199.3 | 85.6 | 1212 | 50.7 |
| ネット数 517 | 1 | 362.7/33.5 | 77.5 | B, D | 297.3 | 83.3 | 1285 | 51.3 |
| from-to 数 1142 | 2 | 408.3/41.0 | 94.3 | B, D | 544.2 | 96.8 | 1468 | 43.9 |
| ピン数 3668 | 3 | 261.1/43.7 | 99.5 | B, D | 29.6 | 99.5 | 1185 | 34.1 |
| | 4 | 251.1/41.2 | 100 | | | 100 | 1094 | 26.6 |
| 〔基板 3〕 | | | | | | | | |
| サイズ 183mm×274mm | 0 | 505.1/ 3.3 | 72.2 | A, C | 294.9 | 77.4 | 1037 | 50.6 |
| ネット数 481 | 1 | 336.6/21.1 | 66.4 | B, D | 484.5 | 72.9 | 1003 | 50.1 |
| from-to 数 911 | 2 | 436.2/29.0 | 85.2 | B, D | 1175.9 | 88.6 | 1326 | 45.5 |
| ピン数 2179 | 3 | 446.8/33.6 | 94.6 | B, D | 599.1 | 97.8 | 1379 | 42.2 |
| | 4 | 161.1/34.8 | 100 | | | 100 | 1080 | 33.6 |

・サイズ: 実寸

・計算時間

T_1 : 線分探索法の CPU 時間

T_2 : 一行配線法の CPU 時間

T_3 : 迷路法の CPU 時間

・配線率 Δ

$\frac{\text{結線した from-to 数}}{\text{結線すべき from-to 数}} \times 100$

・配線密度 Δ

$\left(1 - \frac{\text{配線後の空白セル数}}{\text{配線前の空白セル数}} \right) \times 100$

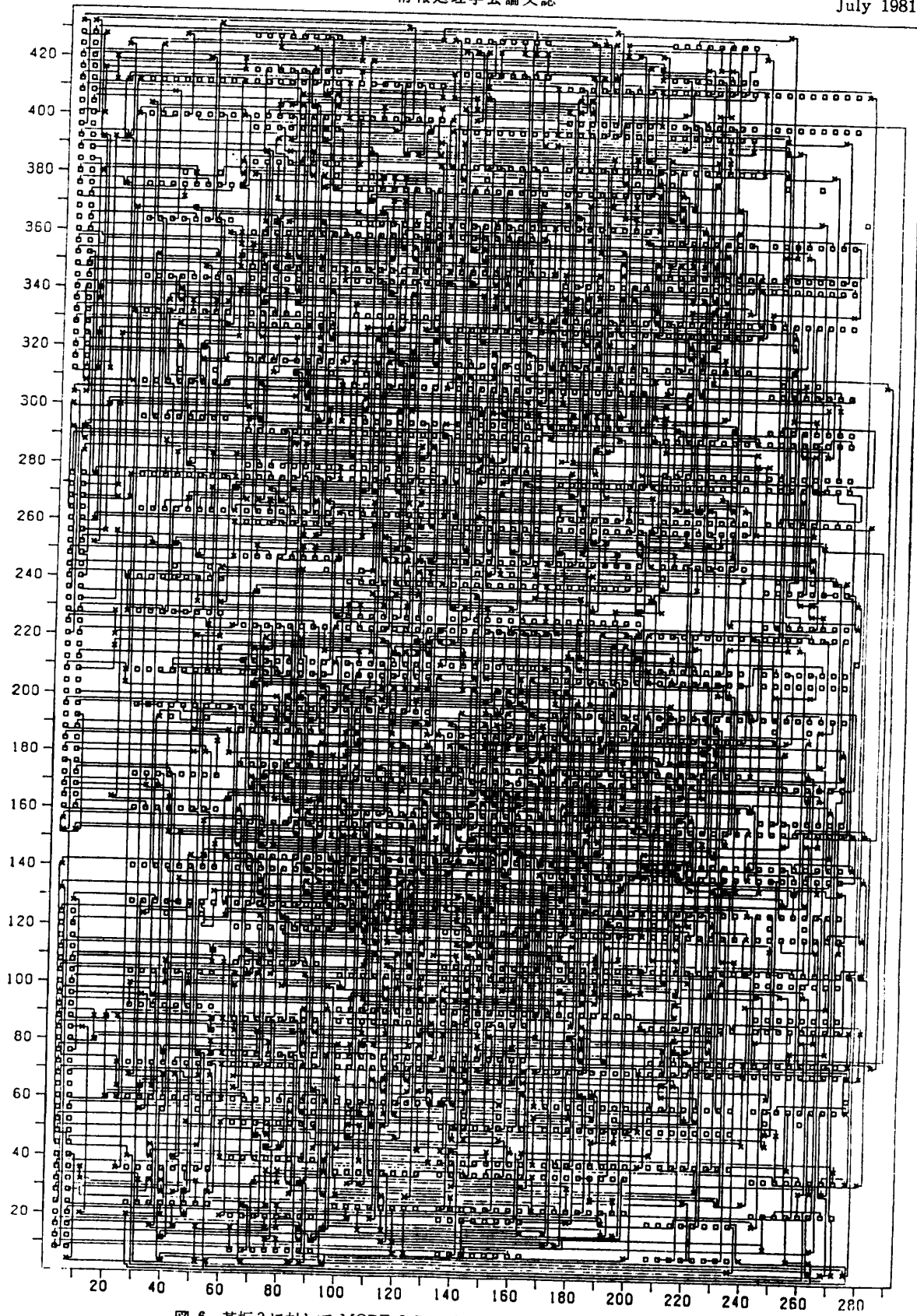


図 6 基板 3 に対して MODE-3, B, D を適用した配線結果 (目盛はトラック数)

Fig. 6 Final wire pattern obtained by MODE-3, B and D for the third board of Table 1.

以上の記述は、迷路法の手続きに関するものであるが、以下では、迷路法を実際に適用するにあたっての考察すべき問題点について触れる。

一般に2層基板においては、高い配線率を得るために、各配線面において配線方向を制限することが戦略的に行われる。本迷路法では、さらに中継穴可能位置が固定である場合にも適用できるように、前述の4つの配線モードを作成している。また、配線順序の決定方法は、線分探索法のところで述べた方法と同一の方法をとっている。

5. 実験結果

本システムは FORTRAN (迷路法の一部はアセンブラ言語) を用いてプログラムされ、計算機 ACOS 77/900 にグラフィックディスプレイ NEAC N 6922, デジタルプロッタ NEAC N 7842-01 を接続し、TSS, リモートバッチの両モードで動作する。現在まで種々のデータについて実験を行ってきたが、その結果の一部を以下に示す。

表1は、複雑度の異なる種々の基板について、本システムのいろいろなモードで処理した結果を示している。

この表からわかるように、線分探索法はどのモードにおいても比較的短い処理時間で高い配線率を得ている。また、迷路法も後段に用いられるためにそれほど大きな計算時間を必要とせずに配線率を上げており、特に従来の手法では取り扱いが困難な中継穴固定の場合に対しても、実用に供しうる成果が得られている。

次に、同一の基板について各モードの差異を考察する。ピン間1本の場合のセル数に比べ、ピン間2本、3本、4本の場合のセル数は、それぞれ2.25倍、4倍、6.25倍になるが、本手法では、表1からわかるように〔線分探索法+一行配線法〕においては、全体として計算時間の増大は見られない。

最後に、基板3に対してピン間3本の配線手続きを適用した場合の配線結果を図6に示す。

6. むすび

本文では、将来の基板の高密度化に対処するための、一行配線を活用した新しい1つの配線システムを提案した。いくつかの実際の高密度な基板に対する実験結果を通じて、本システムは、基板の高密度化に伴

って従来の手法が直面する前述の問題点①、②に対処できることを示し、本システムが十分実用に供せることを示した。

今後に残された問題点としては、多層基板に本システムを適用する際に生じる配線径路の各層への分解という問題が挙げられるが、これについては現在研究が進められている⁸⁾。

謝辞 本研究に際して、有益なご討論と資料提供を頂いたシャープ(株)CADセンター千葉徹氏、日本電気(株)吉田信義、川西宏、川北建次の各氏に深く感謝します。なお、本研究の一部は文部省科学研究費補助金：総合研究(A)435013 (昭和55年度)「大規模システムにおける解析、設計、制御に関する基礎研究」：の援助のもとに行われたものである。

参考文献

- 1) Doreau, M. T. and Abel, L. C.: A topologically based non-minimum distance routing algorithm, Proc. 15th Design Automation Conference, pp. 92-99 (1978).
- 2) So, H. C.: Some theoretical results on the routing of multilayer printed wiring boards, Proc. IEEE ISCAS, pp. 296-303 (1974).
- 3) Hadlock, F. O.: A shortest path algorithm for grid graphs, Networks, Vol. 7, No. 4, pp. 323-334 (1977).
- 4) Knh, E. S., Kashiwabara, T. and Fujisawa, T.: On optimum single-row routing, IEEE Trans. Circuits and Systems, CAS-26, No. 6, pp. 361-368 (1979).
- 5) 築山, Kuh, E. S., 白川: 上, 下トラック数が2以下の一行配線手法について, 信学論(A), J 62-A, No. 5, pp. 309-316 (1979).
- 6) 山村, 白川, 尾崎: 2層プリント基板上の配線問題に対する線分探索の一手法, 信学論(A), J 57-A, No. 9, pp. 671-678 (1974).
- 7) Lee, C. Y.: An algorithm for path connections and its applications, IRE Trans. Electronic Computers, Vol. EC-10, No. 3 pp. 346-365 (1961).
- 8) Tsukiyama, S., Kuh, E. S. and Shirakawa, I.: On the layering problem of multilayer PWB, wiring, Proc. Tohoku Univ. Tsuken Sympo. "Graph Theory and Algorithms", pp. 25-40 (1980).

(昭和55年11月25日受付)

(昭和56年1月22日採録)