

機能ユニットの使用頻度に基づく パイプラインステージ統合の管理機構

田中 勇氣[†] 中野 秀洋[†] 宮内 新[†]

[†] 東京都市大学大学院 工学研究科

1 まえがき

近年、携帯電話やノートブック PC の普及に伴いモバイルプロセッサに対する需要が高まっている。プロセス技術の進歩によりプロセッサの性能は飛躍的に向上しているが、一方でクロック周波数や回路量の増加による消費エネルギーの増加が問題となっている。そこで多くの研究者により省消費電力化の技術が提案されてきた。主なものに、Power Gating[1], DVS(Dynamic Voltage Scaling)[2], PSU(Pipeline Stage Unification)[3], VSP(Variable Stage Pipeline)[4] などがある。

PSU は半導体製造技術に依存しない消費エネルギー削減手法として提案された。負荷が低い時にクロック周波数を低下させパイプライン・レジスタを不活性化することによりパイプライン段数を短縮させ消費電力を削減する。本研究では、スーパースカラ CPU での動的な PSU によるパイプライン再構成により、多様なプログラムに対応する柔軟な目標スループットを維持した省電力化管理方法の可能性を示す。

2 提案手法

スーパースカラ CPU のパイプラインはリオーダーバッファや分岐予測機構などにより IF ステージや ID ステージが複雑となっており PSU 技術をそのまま適用することは容易ではない。そこで本研究では、プログラムの特性により機能ユニットのパイプライン段数を変更する。PSU を用いることにより、動的にプロセッサの構成を変更することができる。

管理システムは2つの部分から構成される。「使用頻度監視システム」で各機能ユニットの使用頻度を測定し、「パイプラインステージ数管理システム」にて一定時間ごとに機能ユニットの構成を決定して CPU のステージ統合状態を変更する。

A management scheme for pipeline stage unification based on functional unit utilization status

Yuki TANAKA[†], Hidehiro NAKANO[†] and Arata MIYAUCHI[†]
[†]Computer Engineering, Tokyo City University, Tamadutsumi 1-28-1, Setagaya-ku, Tokyo, 158-8557 Japan
 {g1481530, hnakano}@tcu.ac.jp, miyauchi@ic.cs.tcu.ac.jp

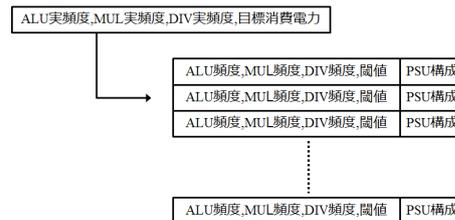


図 1: PSU 構成最適化テーブル

使用頻度監視システムは各機能ユニットの使用頻度を数える単純な加算ユニットである。測定サイクルは文献 [5] を基に 100 万命令長を 1 インターバルとする。

パイプラインステージ数管理システムではパイプライン構成を評価して EDP 値 (Energy Delay Product) を用いて数値化できる。しかし、EDP 値を動的に計算することは現実的ではない。そこで事前にパイプライン構成の評価値を計算し、最適なパイプライン構成を決定したテーブルを用いることにより消費電力を抑制することができる。このテーブルを PSU 構成最適化テーブルと呼ぶことにする (図 1)。テーブルのエントリーデータは各機能ユニットの頻度、閾値および最適なパイプライン構成となる。評価値は

$$W_{psu} = (E_{max} \times 2 - E_{psu}) \times (IPC_{psu} \times F_{psu}) \quad (1)$$

$$E_{max} = \sum (\beta \times E_{fu,max}) \quad E_{psu} = \sum (\beta \times E_{fu,psu}) \quad (2)$$

となる。ここで、 W_{psu} はパイプライン統合時の評価値、 E_{max} は通常時の消費エネルギー、 E_{psu} は統合時の消費エネルギー、 IPC_{psu} は統合時 1 サイクルあたりの実行命令数の平均、 F_{psu} は統合時のクロック周波数、 β は各機能ユニットの使用頻度、 E_{fu} は各機能ユニットの消費エネルギーを表す。

各機能ユニットが均等な頻度で使用される状態を基準状態とし、その時の各機能ユニットの消費電力を測定する。その消費電力値を用いて式 (1) により評価値を求める。 β の値を変化させることにより各機能ユニットの使用頻度が異なる評価値を計算できる。

パイプラインステージ数管理システムでは、使用頻

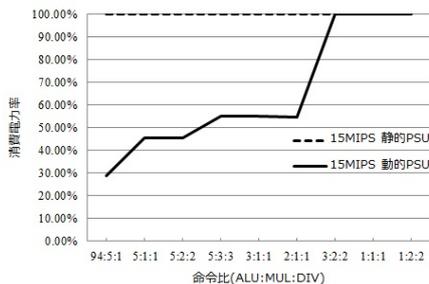


図 2: 省電力効果 閾値 15MIPS

度監視システムより与えられた各機能ユニットの使用頻度に従い、設定された閾値以下のもので評価値が最大となるパイプライン構成を選択し、CPUの再構成を実施する。

3 実験及び考察

3.1 実験環境及び方法

本研究では、Verilog を用いてスーパースカラプロセッサのパイプラインを作成し、PSU 機能を多段 EX ステージに実装し実験を行った。Verilog シミュレータである ModelSim-Altera¹ を用いて実行し、Quartus II² を用いて消費電力測定及びスループット測定を行い評価した。実装した構成は ALU/MEM 1, 2 段, MUL 1, 2, 4 段 DIV 1, 2, 4, 8 段である。実験には代表的な使用環境として Dhrystone 2.1[6] と同様の命令比のテストデータと ALU/MEM 命令, MUL 命令, DIV 命令の比が異なる 8 種類のテストデータを用意した。

3.2 実験結果及び考察

総消費電力は静的消費電力と動的消費電力の和である。総消費電力に対して静的消費電力の占める割合は従来は約 30%~40%であったが、プロセス技術の進化により近年は約 10%に改善されている [2]。そのため動的消費電力を削減することが近年では重要となっている。また、Power Gating などの静的消費電力を抑制する技術が考案されている。本研究で提案する手法はそれらの静的消費電力を削減する方法を否定するものではなく共存可能なものであることから、本研究では動的消費電力に着目した。

スループットを閾値とした静的 PSU 及び動的 PSU による省電力効果を図 2 に示す。PSU 未適用の消費電力を 100%とした場合の目標スループットが 15MIPS における消費電力率である。目標スループットを 15MIPS にした際の静的 PSU では PSU 未適用に対して省電力

¹アルテラ社版 FPGA シミュレータ

²アルテラ社 FPGA 開発ソフトウェア

化を望めていない。提案手法を適用した動的 PSU では乗除算命令が多いテストデータを除き 45%から 71%の省電力化を実現している。実験の結果、提案管理システムは約 96%の予測精度を得られた。

本研究で提案するシステムを搭載した場合のオーバーヘッドは消費電力で全体の 1.0%から 2.5%程度であり省電力効果に対して十分小さいといえる。

4 結論

本研究では、プロセッサの省電力化技術である PSU を用いて電力効率とスループットを考慮した省電力化について議論した。プログラム特性を分析し機能ユニットの使用頻度によりパイプラインプロセッサのステージ統合構成を動的に変化させることで、高電力効率でプロセッサを稼働させる方法を提案した。

さらに、機能ユニットの使用頻度及び閾値から最適なプロセッサ構成を選択し、動的に管理する PSU 構成最適化テーブルを用いた管理システムを提案した。実験から予測精度約 96%で稼働することを確認本提案システムの有用性が確認できた。

参考文献

- [1] 白井 利明ほか. ランタイムパワーゲーティングを適用した mips r3000 プロセッサの実装設計と評価. 信学技報, Vol. 107, No. 418, pp. 43-48, 2008.
- [2] 嶋田創, 安藤秀樹, 島田俊夫. パイプラインステージ統合と dvs の併用による消費電力の削減. 情処学論, Vol. 48, No. SIG3, pp. 75-87, 2007.
- [3] 嶋田創, 安藤秀樹, 島田俊夫. 低消費電力化のための可変パイプライン. 情処学 ARC 研報, Vol. 2001, No. 116, pp. 57-62, 2001.
- [4] 野村 和正ほか. 可変パイプライン段数プロセッサの段数切り替えスケジューラの設計と評価. 情処学 ARC 研報, Vol. 2008, No. 75, pp. 49-54, 2008.
- [5] Jun Yao, Shinobu Miwa, Hajime Shimada, and Shinji Tomita. A dynamic control mechanism for pipeline stage unification by identifying program phase. *IEICE Trans. Inf. & Syst.*, Vol. E91-D, No. 4, pp. 1010-1022, 2008.
- [6] Reinhold P. Weicker. Dhrystone: A synthetic systems programming benchmark. *Commun. ACM*, Vol. 27, No. 10, pp. 1013-1030, 1984.