

FPGA 用ソフトプロセッサにおけるキャッシュメモリの適応的手法

宮内 哲夫† 田中 清史†

北陸先端科学技術大学院大学 情報科学研究科

1. はじめに

最近では、FPGA (Field Programmable Gate Array) の集積度、実行速度向上により、一般のアプリケーションに FPGA が使用されることが多くみられるようになってきている。FPGA 内にソフトプロセッサコアを構成することが可能となってきたが、FPGA 内の資源には限りがあるため、資源の有効利用のためには、利用資源、速度面で最適となるようなプロセッサコアを構成することが望ましい。本研究ではキャッシュメモリを構成する際の各パラメータの変化による FPGA の実装への影響を調査し報告する。

2. 背景

FPGA デバイス内のプロセッサの構成として、あらかじめ FPGA 内に埋め込みハードウェアとして搭載されているハードプロセッサコアと、FPGA 内のプログラマブル資源を用いて実装されるソフトプロセッサコアがある。ソフトプロセッサコアは FPGA 内の資源を柔軟に利用してカスタマイズ可能という利点がある。FPGA 内のプロセッサコアから外部のメモリを使用する場合にはプロセッサコアにキャッシュを搭載することが性能上有効であるが、キャッシュの実装においてもリソースの制約を考慮することが必要である。

本研究では、アプリケーションに合わせてキャッシュのサイズや連想度、アドレス幅を適応させることが、FPGA 上のプロセッサコアの実装においてサイズ、速度にどのように影響するかを調査した。

3. 構成

今回実装したプロセッサの構成について以下に述べる。

プロセッサコアは MIPS アーキテクチャ[1]とし FPGA 内のソフトプロセッサとして実現した。

プロセッサコアは文献[2]で実装したものをベースにしており、本研究では 2 コアのマルチコア構成とした。それぞれのコアは外部メモリにあるデータをアクセスするが、コア間でのデータ共有のためにコア毎にキャッシュとメモリアクセスの調停を行うキャッシュ制御回路を搭載してコア間のデータの交換を可能にしている。このキャッシュの構成は文献[3]で行われた研究での実装に基づく。キャッシュのサイズ、連想度、アクセスするデータのアドレス幅 (タグメモリのサイズ) を変更した組み合わせをそれぞれ構成して評価を行った。

図 1 に実現したプロセッサの構成を示す。

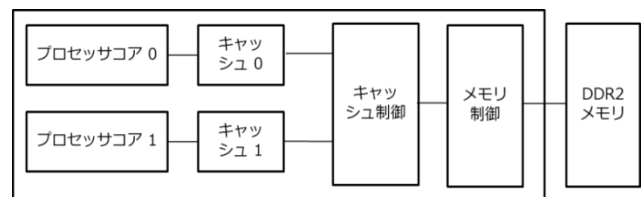


図 1: プロセッサの構成

4. 評価

評価は Xilinx 社 Spartan-6 [4]を対象として Digilent 社 ATLYS ボード[5] 上で行った。開発環境として Xilinx 社製 ISE Design Suite 14.7 [6]を用いてプロセッサ回路の合成、インプリメントを行った。インプリメントされた結果使用される資源、実行可能な速度については、ISE Design Suite から出力されるインプリメントレポートを参照している。

評価にあたっては、キャッシュのサイズ、連想度、キャッシュタグのサイズを変更して、それぞれの組み合わせでのインプリメントを行った。キャッシュはライトバック方式、ブロックサイズを 16 バイト (4 ワード)としている。キャッシュの連想度は、2 ウエイのセットアソシアティブ方式と 1 ウエイ (ダイレクトマップ)方式とし、キャッシュ全体のサイズは、2 ウエイの場合には 32K バイト (各セット 16K バイト)、16K バイト (各セット 8K バイト)、8K バイト (各セット 4K バイト)、1 ウエイ方式の場合は 16K バイト、8K

バイト, 4K バイトとし, それぞれの場合にデータアドレスの幅を 32 ビット, 16 ビットとして評価を行った. 各実装においてマルチコアで実行するアプリケーションプログラムを動作させ正常に動作することを確認した.

表 1 に 2 ウエイでアドレス幅 32 ビットの場合, 表 2 に 2 ウエイでアドレス幅 16 ビットの場合, 表 3 に 1 ウエイでアドレス幅 32 ビットの場合, 表 4 に 1 ウエイでアドレス幅 16 ビットの場合に利用される主な FPGA の資源数, 実行可能速度, 周波数の結果を示す.

表 1: 2 ウエイ アドレス幅 32 ビット

キャッシュ サイズ	32K (16K+16K)	16K (8K+8K)	8K (4K+4K)
アドレス幅	32	32	32
Register	2452	2451	2449
LUT	3898	3924	3908
Slice	1385	1410	1341
Speed (ns)	13.117	12.944	12.627
Freq.(MHz)	76.237	77.256	79.195

表 2: 2 ウエイ アドレス幅 16 ビット

キャッシュ サイズ	32K (16K+16K)	16K (8K+8K)	8K (4K+4K)
アドレス幅	16	16	16
Register	2355	2355	2351
LUT	3782	3807	3762
Slice	1308	1341	1285
Speed (ns)	12.942	12.525	12.127
Freq.(MHz)	77.268	79.84	82.461

表 3: 1 ウエイ アドレス幅 32 ビット

キャッシュ サイズ	16K	8K	4K
アドレス幅	32	32	32
Register	2442	2440	2428
LUT	3610	3670	3600
Slice	1388	1197	1268
Speed (ns)	12.433	12.224	11.868
Freq.(MHz)	80.336	81.806	84.26

表 4: 1 ウエイ アドレス幅 16 ビット

キャッシュ サイズ	16K	8K	4K
アドレス幅	16	16	16
Register	2344	2342	2340
LUT	3524	3535	3543
Slice	1307	1282	1252
Speed (ns)	12.357	12.126	11.707
Freq. (MHz)	80.926	82.467	85.1

5. 考察

キャッシュの構成において, 上記のパラメータの変更により, キャッシュサイズを小さくする, または連想度を小さくすると実行可能速度を高くできる. また, アドレス幅についても, キャッシュタグのサイズの削減により実行可能速度を高くできる傾向がみられることが確認できた. これらのパラメータの変更により, 実行可能速度においては最大 10.7% の向上が得られた.

6. おわりに

FPGA 上のマルチコアソフトプロセッサの実装において, キャッシュサイズ, 連想度, アドレス幅を変更した組み合わせで, 利用資源数, 実行可能速度についての評価を行い, これらのパラメータの変更により利用資源数削減, 実行可能速度向上に効果があることが確認できた. 今後はさらに詳細なパラメータの変更, 効果について確認を行う予定である.

謝辞

本研究の一部は JSPS 科研費 15K00073 の助成を受けて行われた.

参考文献

- [1] パターソン&ヘネシー, コンピュータの構成と設計, 第 4 版, 日経 BP 社, ISBN978-4-8222-8478-7.
- [2] 宮内哲夫, 田中清史: マルチコアプロセッサの自動最適化環境の構築, 組込みシステムシンポジウム 2015 論文集, pp. 99-104, 2015.
- [3] Fengxiang Xie, 田中清史: JAIST23-Pro: FPGA 用マルチコアプロセッサの設計, 情報処理学会研究報告, ARC, Vol. 2014-ARC-208, No. 7, 情報処理学会電子図書館, 2014.
- [4] <http://japan.xilinx.com/products/silicon-devices/fpga/spartan-6.html> (2015 年 12 月 29 日閲覧)
- [5] https://reference.digilentinc.com/_media/atlys:atlys:atlys_rm.pdf (2015 年 12 月 29 日閲覧)
- [6] <http://japan.xilinx.com/products/design-tools/ise-eval.html> (2015 年 12 月 29 日閲覧)