

ブロードキャストメモリ結合形マルチマイクロ プロセッサシステムの試作†

小畑 正 貴†† 金田 悠紀夫†† 前川 禎 男††

近年、マイクロプロセッサによる並列処理システムの研究がさかんに行われるようになってきている。本論文では、数値計算の並列処理を目的として試作を行ったマルチマイクロプロセッサシステムについて述べている。本システムは、複数のマイクロプロセッサを共通バスによって結合した構成をもつ。アクセス競合による効率の低下を少なくするため、バス構成およびメモリのアクセス法に特徴をもたせている。とくに、全プロセッサに対して共有データの同時転送を行うブロードキャスト転送は行列計算に対して有効である。CPU には 16 bit マイクロプロセッサに数値計算プロセッサを付加して用い、数値計算の高速化を図っている。本稿ではまず、システムの設計方針を述べ、次にハードウェアの詳細について述べる。最後に、ガウス消去法による連立一次方程式計算に対して試作機による実行時間を示している。

1. ま え が き

数値解析技法やシミュレーション技法の発展、普及にともなって、大規模数値計算を高速に、しかも手軽に行いたいという要求が高まっている。数値計算の高速処理に対して現在では、CRAY-1 や Cyber 205 などのスーパーコンピュータや、ベクトル処理を専用とした各種アレイプロセッサが利用されているが、これらは価格等の面で一般に手軽に利用できるものではない。

一方、LSI 技術の発達により、マイクロプロセッサの性能/価格比は高いものとなっている。それほど高速でないが、安価なマイクロプロセッサを構成要素とすることにより、高性能なシステムを低価格で実現できるという点で並列処理システムは注目され、多くの研究がなされている¹⁾⁻⁵⁾。

わが国におけるマルチマイクロプロセッサシステムの例としては、プロセッサを2次元アレイ状に結合した科学計算用の PACS⁶⁾、MRPM と呼ばれるメモリシステムによって結合された離散系シミュレータ KDSS-1⁵⁾、共通バス結合で画像処理に利用されている MACSYM²⁾などがあげられる。並列処理システムは、それを構成するプロセッサの結合方法によって種々の形態があり、とり扱う問題とシステムの形態との間には処理効率の点で密接な関係がある。

本論文では、行列計算の高速実行を目的として試作

を行ったマルチマイクロプロセッサシステム⁷⁾の設計とそのハードウェア構成について述べる。

2. システム設計

有限要素法やシミュレーションなどの数値計算は行列の操作に帰着されることが多く、行列計算における処理の多くは行列の各要素と共通データとの間の演算である。行列を分割して複数プロセッサに分配し並行計算を行う場合、すべてのプロセッサに対する共通データの転送が必要となる。著者らはこの種の問題を、ブロードキャストメモリと呼ぶ複合体メモリで結合されたマルチプロセッサシステムによって効率よく処理できることを示した⁶⁾。

われわれは、連立一次方程式などの大規模数値計算を目的とした並列計算機システムを、高速化・コストパフォーマンス向上を目標として設計・試作を行っている。

以上の設計方針から、システムの基本構成を次のように定めた。

- (1) 共通バス結合とし、プロセッサの増設を容易にする。
- (2) プロセッサモジュールの1ボード化、1チップ化を実現するためモジュールの入出力信号数を少なくし、共通バスに集める。
- (3) 1台をホストプロセッサとし、入出力動作やソフトウェア開発はホストプロセッサによって行う。他のプロセッサはホストプロセッサによって制御される形をとる。
- (4) プロセッサには 16 ビットマイクロプロセ

† An Experimental Multi-Microprocessor System with Broadcast-Memory by MASAKI KOHATA, YUKIO KANEDA and SADA O MAEKAWA (Faculty of Engineering, Kobe University).

†† 神戸大学工学部システム工学科

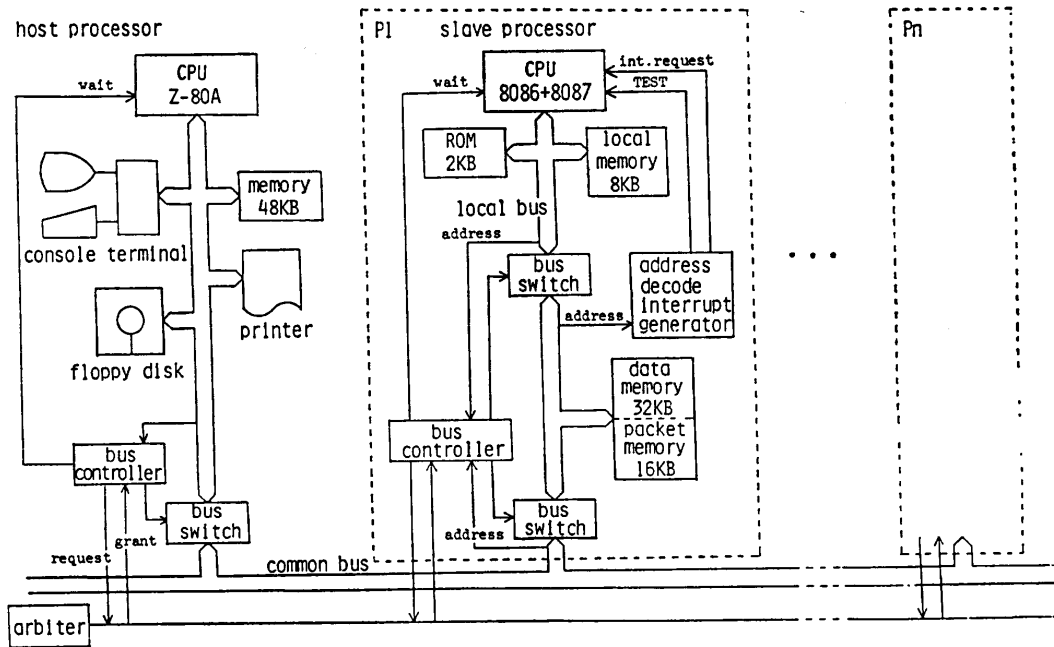


図 1 システムのハードウェア構成

Fig. 1 Hardware structure of this system.

に数値演算プロセッサを付加したものをを用いる。

- (5) アクセス競合が少なくなるよう、メモリ構成を工夫する。

また、プロセッサ間通信のために次のような機能をもたせる。

- (6) ブロードキャスト転送機能. ブロードキャスト転送の実現は、KDSS-1⁵⁾のMRPMと同等の機能をもつマルチポートメモリシステム(ブロードキャストメモリ)によって行う(付録参照)。
- (7) 同期, 相互排除等の制御機能。
- (8) 任意のプロセッサ間での相互割込み。

3. ハードウェア構成

本システムのハードウェア構成を図1に示す。並列計算を行うスレーブプロセッサ P₁~P_n とホストプロセッサとを共通バスによって結合する。各スレーブプロセッサはプロセッシングユニット PU (16ビットマイクロプロセッサ), メモリ, バスコントローラ, 割込み発生部から成っている。

3.1 プロセッシングユニット (PU)

PU にはインテル社の 16 ビットマイクロプロセッサ 8086 と数値データプロセッサ 8087 を採用した⁸⁾。8086 は 1 M バイトのアドレス空間をもつ安価で高性能な

マイクロプロセッサであり, マルチプロセッサシステムへの応用を考慮した機能も組み込まれている(バスロックや WAIT 命令)。8087 は 8086 に付加して用いる数値データプロセッサであり, 数値計算を高速に処理する(単精度浮動小数点加算 17 μs, 乗算 19 μs)。

3.2 メモリ

本システムのメモリ構成を図2に示す。1 M⁹⁾バイトのアドレス空間を 64 k バイトずつのセグメントに分け, 各セグメントにそれぞれプロセッサを割り当てる。各セグメント内のメモリを, そのアクセス法によ

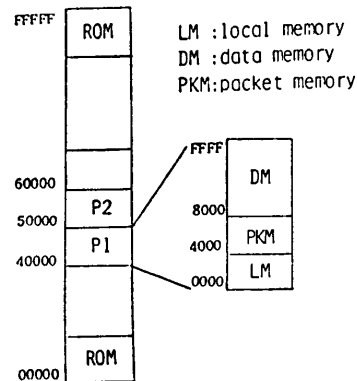


図 2 メモリ構成

Fig. 2 Memory configuration.

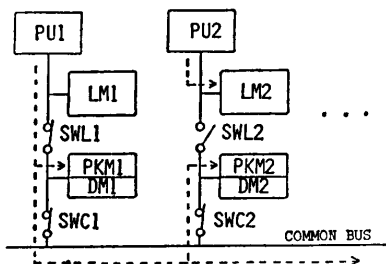


図3 バス構成

Fig. 3 Bus architecture.

表1 バススイッチとメモリアクセスとの関係

Table 1 Relation of bus switch and memory access.

SWL _i	SWC _i	メモリアクセス
ON	ON	他プロセッサの DM (Read, Write), PKM (Write)
ON	OFF	自分の DM (Read, Write), PKM (Read)
OFF	ON	他プロセッサからの DM, PKM へのアクセス
OFF	OFF	LM のアクセス

ってさらに分割し、それぞれをローカルメモリ (LM)・データメモリ (DM)・パケットメモリ (PKM) と呼ぶ。

ローカルメモリはスレーブプロセッサ間で独立しており、プログラムの蓄積とスタックに用いる。

データメモリはローカルメモリと共有メモリとの中間的性質をもつ。各PUは自分のデータメモリに対しては、ローカルバスを使用してそれぞれ独立にアクセスし、他PUのデータメモリに対しては共通バスを通してアクセスする。この領域はデータの格納およびプロセッサ間通信に使用する。

また、パケットメモリはブロードキャストメモリを構成するものであり、共有データが格納される。

3.3 バスアクセス機構

バス構成と各メモリの位置を図3に示す。各ローカルバスと共通バスは二つのバススイッチ (SWL_i と SWC_i) によって結ばれる。LM はローカルバス上にあり、DM と PKM は SWL_i と SWC_i の間に位置する。SWC_i は双方向性であり、ON/OFF と同時に方向の制御も必要である。バススイッチの状態とメモリアクセスとの関係を表1に示す。

図3は、PU 1 がブロードキャストメモリにデータを書き込んでいるときのバススイッチの状態を示している。PU 1 は SWL₁, SWC₁ を閉じ、他のすべてのPU は SWC_i のみを閉じる。PU 1 から出力されたデータは PKM 1 に書かれると同時に、共通バスを通してすべての PKM の同一ロケーションに転送される。

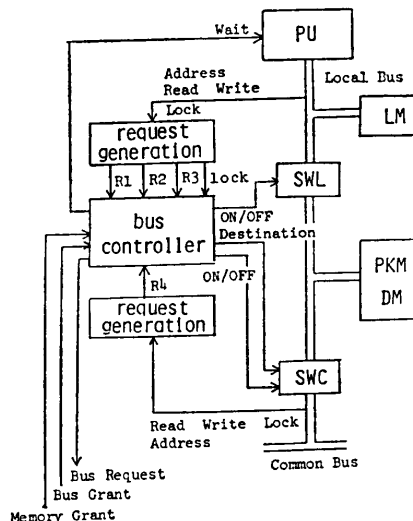


図4 バス制御部の構成

Fig. 4 Bus control unit configuration.

バススイッチの制御機構を図4に示す。上側の要求発生部 (request generation) はローカルバスのアドレス、リード、ライト信号からPUがアクセスしようとしているメモリを知り、バススイッチをそのメモリアクセスに対応した状態 (表1) に変更すべく、バスコントローラに対して要求 (R1, R2, R3) を出す。また、下側の要求発生部は、PKM あるいは DM が共通バスからアクセスされようとしたときに要求 R4 を出力する。

メモリアクセスと、そのときに出力される要求信号を以下に示す。

- R1: 自分の DM の読み書き。PKM の読み出し。
- R2: PKM への書き込み。
- R3: 他の DM の読み書き。
- R4: 他の PU からの DM, PKM への読み書き。

バスコントローラは、これらの要求を受けると、それぞれの要求に合わせてバススイッチを切り替える。また、複数の要求に対して競合がおこった場合には、これを調停し、必要に応じてPUにWait信号を出力する。

各要求に対するバスコントローラの処理を以下に述べる。まずR1に対しては、メモリが他PUから使用中 (R4が先に出されている) ならばPUにWaitをかけ、他からの使用が終わった時点でバススイッチを切り替えてWaitを解除する。

次にR2およびR3が出された場合 (すなわち、PUが他のPUのメモリをアクセスしようとしている場合)、アクセスを行う側のバスコントローラは次の手

順を実行する。

- i) 共通バス使用の調停を行うバスアービタ (図 1) に対して共通バス使用要求 (Bus Request) を出力する。要求に対して許可 (Bus Grant) がおりないときは PU に対して Wait 信号を出力する。
- ii) 共通バスの使用許可を得たバスコントローラは, SWL, SWC を閉じて共通バスに信号を出力し, 相手のバスコントローラに対してメモリの使用を要求する。ブロードキャスト転送の場合には, R2 がブロードキャスト転送要求信号として共通バス上に出力され, これによって全ユニットのバスコントローラは要求がブロードキャスト転送であることを知る。
- iii) 相手のバスコントローラ (R2 に対しては全バスコントローラ) からのメモリ使用許可 (Memory Grant) が得られた時点で Wait を解除し, 相手メモリをアクセスする。メモリ使用許可信号は共通バスにオープンコレクタ出力されており, ワイヤードロジックによって作成される。

一方, 他からアクセスされる側のバスコントローラは次の動作を行う。

- i) 共通バス上に自分のもつメモリのアドレスが現れたとき, 要求発生部はバスコントローラに対して R4 を出力する。
- ii) R4 を受けたバスコントローラはバススイッチを切り替え, メモリ使用許可信号を出力する。

また, バスコントローラに対して Lock 信号が出されると共通バスの使用権は固定され, Lock 信号がおとされるまで他の PU は共通バスを使用することができなくなる。テストアンドセット命令などにおける複数のメモリアクセスは, Lock を用いることによって一連のメモリアクセスと見なされ, 相互排除などの処理が可能となる。

ブロードキャスト転送などのバスアクセスはすべてこの部分で制御されるので, PKM と DM には通常のメモリ基板を用いることができる。

3.4 プロセッサ間通信方式

並列処理を柔軟に行うため, 本システムは任意のプロセッサ間で割り込みをかけ合うことのできるプロセッサ間割り込み機能をもつ。

割り込みは, 相手ユニットのデータメモリあるいはパケットメモリの特定アドレス (図 5) にデータを書き込むことによっておこされる。このときに書き込まれるデータは, 割り込みを発生したプロセッサを知るため

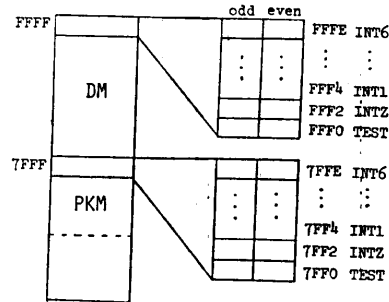


図 5 割り込み発生アドレス

Fig. 5 Interrupt generate address.

の識別子となる。DM を利用した割り込みはプロセッサ間で 1 対 1 の割り込みを発生するときに使われ, PKM を利用した割り込みは全プロセッサに同時に割り込みをかけるときに使用される。

アドレスの 7FF0 と FFF0 は割り込みではなく, CPU への TEST 信号の発生に用いる。TEST 信号は 8086 がプログラム中の WAIT 命令を実行したときにテストされる。WAIT 命令によって 8086 は実行を一時中断し, TEST 信号の入力によって実行を再開する。本システムではこの機能によってプロセッサ間同期を実現している。

3.5 ホストプロセッサ

試作機ではホストプロセッサに Z-80 を用い, オペレーティングシステムに CP/M を用いる。ホストプロセッサは 16 k バイトのウインドを通して全ユニットの DM および PKM をアクセスする。スレーブプロセッサへのプログラムのロード, データの入出力およびスレーブプロセッサのスタート・ストップはホストプロセッサによって制御される。

ここでホストプロセッサをおもに考えると本システムは, ホストプロセッサのメモリをバンク分けし, 各バンクにそれぞれプロセッサを付加したシステムと考えることもできる。

3.6 ハードウェアの製作

試作機のハードウェアサイズについて述べる。配線は 20 m × 20 cm のユニバーサル基板にワイヤラッピングを用いて行っている。基板の内わけは次のようになる。

- ホストプロセッサ 1 枚
- スレーブプロセッサ各 2 枚
- { CPU, LM, バス制御 1 枚
- { DM, PKM 1 枚

ラックへの格納は, 延長基板をそう入する場合のよ

うに2枚のスレーブプロセッサ基板をたてに連れ、バスラインの短縮を図っている。

スレーブプロセッサ1台当たりのハードウェア量は、メモリを除いてLSI 3個、TTL-IC 約50個となっている。また、1台当たりの入出力信号数（バスとの接続ピン数）は以下のとおりである。

アドレス信号	21本
データ信号	16本
コントロール信号	18本
計	55本

4. ソフトウェア

スレーブプロセッサのソフトウェア作成は、ホストプロセッサ上のクロスアセンブラを用いて行う。基本ソフトウェアとして、入出力や並列動作のためのサブルーチンおよびマクロライブラリを用意している。

また、ホストプロセッサ上にはモニタプログラムがあり、スレーブプロセッサでのプログラム実行をサポートする。

5. 実行時間の測定結果

ガウス消去法によって連立方程式を解く問題について、試作システムによる実行時間を測定した。

係数行列としてはスパース行列を対象としており、領域節約のため非ゼロ要素のみをリスト構造で表現している。係数行列のサイズが 128×128 で、一行当たりの非ゼロ要素を8とした場合の実行時間を表2に示す。参考のためFACOM 230-38およびACOS 900上のFORTRANによる計算時間も測定した。表2より、プロセッサ数が4台の試作機がACOS 900の

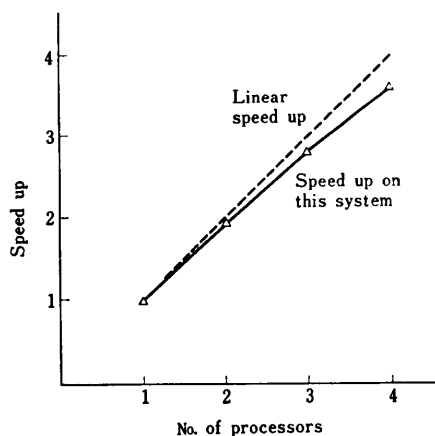


図6 ガウス消去法の速度向上比

Fig. 6 The speed up ratio of Gaussian elimination.

表2 ガウス消去法の実行時間

Table 2 Execution time of Gaussian elimination method.

				(単位 ms)	
1台	2台	3台	4台	FACOM 230-38	ACOS-900
807	411	285	223	851	78

3分の1程度の処理速度をもつことがわかる。

また、プロセッサ数の増加に対する速度の向上比を図6に示す。

6. むすび

本論文では、大規模数値計算に対するコストパフォーマンスの向上を目的として設計および試作を行ったブロードキャストメモリ結合形マルチマイクロプロセッサシステムのハードウェアについて述べた。テストプログラムの実行結果より、小規模な試作システムでも大型計算機の3分の1倍程度の処理速度が得られており、数値計算専用機としての有効性を示した。

多重マイクロプロセッサによる行列計算能力の現状を見てみると、いわゆるパイプライン制御方式を採用したスーパーコンピュータに比してその計算速度の点で、太刀打ちできるところまで行っていないが、

(1) VLSI化により、コストの低下と、超多重化の可能性がでてきた。

(2) プロセッサの数値演算能力の飛躍的向上が期待できる。

(3) スーパーコンピュータは規則的なデータに対する計算は超高速に実行するが、実用上よく出てくる疎行列を対象とする計算については有効性が十分に発揮できない。多重プロセッサ方式では並列計算を実現しながら、データのもつ疎性を十分に生かした処理（非零要素のみに対して演算をほどこす方式）の実現も可能である。

などの点で将来性が十分期待できる。

今後の課題として、種々の計算方法の検討やプロセッサ台数の増加に対する検討などがあげられる。

謝辞 本研究を進めるにあたり多大なるご協力をいただいたシステム工学科前川研究室の西野佐登史氏、角木裕成氏、田中敏幸氏に感謝する。

参考文献

- 1) 村岡, 坂間: 並列処理技術, 信学誌, Vol. 63, No. 10, pp. 1064-1071 (1980).
- 2) 坂井, 稲垣, 加藤: パターン理解マルチマイクロプロセッサシステム MACSYM の設計と画像

処理への応用例, 信学技報, EC 81, pp. 49-60 (1981).

- 3) Jones, A. K. and Schwarz, P.: Experience Using Multiprocessor Systems—A Status Report, *Comput. Surv.* Vol. 12, No. 2, pp. 121-165 (1980).
- 4) 星野他: 科学技術専用並列計算機 PACS の開発 (I)(II), 信学総全大, pp. 1400-1401 (1980).
- 5) 中川, 小林, 相磯: データ駆動型離散系シミュレータ KDSS-I, 信学論, Vol. J65-D, No. 3, pp. 386-393 (1982).
- 6) 金田: ブロードキャストメモリを持つ並列計算機システムによる大次元連立一次方程式の並列計算, 信学技報, EC 80-42 (1980).
- 7) 小畑, 金田, 前川他: ブロードキャストメモリ結合形並列計算機の試作, 信学技報, EC 81-37 (1981).
- 8) Intel: The 8086 Family User's Manual (1978).

付録 ブロードキャストメモリ

ブロードキャストメモリは 図A-1 の点線内で示されるマルチポート・メモリシステムである。 n 個のメモリバンク (PKM₁~PKM_n) には同一のアドレス付けがなされており, 全バンクの同一アドレスには同一データが格納される。したがって, このメモリシステムの論理的な容量は1バンクの容量に等しい。

このメモリシステムへのアクセスは n 個のポート (port 1~port n) を通して行われる。読み出し時には,

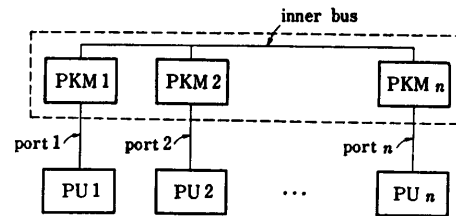


図 A-1 ブロードキャストメモリ

Fig. A-1 Structure of broadcast-memory.

inner bus は使用されず, 各 PKM は各 port からそれぞれ独立にアクセスされる。したがって, 1メモリサイクル中に最大 n 個の異なるアドレスから同時にデータを読み出すことができる。

一方, 書き込みは1メモリサイクルに1portのみから行われる。書き込みを行う port から入力されたデータは, その port に接続されている PKM に書かれると同時に inner bus を通して全 PKM の同一アドレスに転送される。この機能により, 全 PKM の同一アドレス内のデータは常に等しく保たれる。

以上のような機能をもつブロードキャストメモリは全プロセッサが必要とするデータの転送に効果的である。

(昭和 57 年 9 月 17 日受付)

(昭和 57 年 11 月 8 日採録)