

## 機能分散型マルチマイクロプロセッサ構成による 回線制御装置の設計と評価†

下村 二三男\*\* 山田 俊文\*\* 酒井 保良\*\*

データ通信網の発展拡大のためには、網内での各種プロセッサにおいて通信インタフェースを司る回線制御装置 (LCU) の高機能化、高性能化を低価格で達成する必要がある。最近の各種 LSI の高機能・低価格化に伴い、LCU の構成法として汎用のマイクロプロセッサ ( $\mu P$ ) と通信制御用 LSI を用い  $\mu P$  で回線制御機能を分担し、さらに  $\mu P$  をトリー状に接続して多数回線を収容可能とする機能分散形のマルチ  $\mu P$  方式が採用されつつある。本論文では、まず一般論としてマルチ  $\mu P$  方式 LCU のハードウェア構成をモデル化し、 $\mu P$  で収容可能な機能分担範囲と回線数の算出法、および上位プロセッサとの接続法を明らかにする。次いで具体的な設計事例として  $\mu P$  に Z-80、通信制御 LSI に ECL-1533 を用いた LCU について、 $\mu P$  でブロックの組立・分解レベルを分担しアセンブラ言語で記述した場合 1,200 bit/sec の半二重回線を 16 回線収容可能なこと、また本  $\mu P$  を 16 個トリー状に接続し 256 回線を収容する LCU の場合、各  $\mu P$  へのスキャンタイムは約  $5 \mu s$  となること、等を示す。最後に、これら設計値に基づく性能目標値について上位プロセッサ上で走行するテストプログラムを用いた実測により目標達成を確認したことを示す。

### 1. ま え が き

最近のデータ通信システムは、サービス業務の多様化に伴い異機種センタ間、および多種類の小型プロセッサ、端末間の接続が進みデータ通信網へと発展している。データ通信網の発展拡大のためには、センタの前置処理装置、リモートコンセントレータ、メッセージ交換装置等に使用される通信制御プロセッサ (CCP\*)、各種の小型プロセッサ、および端末等における通信回線接続部の高機能化、高性能化を低価格で達成する必要がある。

一般に CCP、小型プロセッサ、端末等は、回線を接続し回線上のデータを文字レベルで組立・分解する回線制御部 (LCU\*\*) と、ブロック/フレームの組立・分解、伝送制御手順の実行、電文の組立・分解、および各種の処理を行うプロセッサ部 (PU\*\*\*) から構成されている。LCU については、最近の半導体技術の進展により汎用のマイクロプロセッサ ( $\mu P$ )、高機能の通信制御用 LSI が低価格で入手可能となったのに伴い、これらの LSI を用いた機能分散型アーキテクチャが採用されつつある<sup>1)~5)</sup>。すなわち、LCU 部を、

$\mu P$  と通信制御用 LSI から成る回線アダプタ (LA\*) と、多数回線を収容可能とするため LA をトリー状に接続し PU とのインタフェースを司る回線スキャナ部 (LS\*\*) とで構成し、 $\mu P$  に回線制御機能の一部を分担させたマルチマイクロプロセッサ方式の採用である。これにより PU の負荷を軽減し、CCP、小型プロセッサ、端末等の全体としてのコストパフォーマンス向上を図っている。

本方式採用時には収容可能回線数等の性能設計法、信頼度設計法、さらに開発時の試験法等を明らかにする必要がある。本論文では、このうち性能設計に着目し、LA への機能分担範囲と収容可能回線数の関係、LA/LS 間、LS/PU 間インタフェース間のインタフェース設計法、および LCU 処理能力評価法について以下の順序に従って明らかにする。

(1) 一般的なマルチマイクロプロセッサ方式 LCU の構成モデルをもとに、

① 平均値法、最悪値法、M/M/I 型の待ちモデルを用いた LA での収容可能回線数の算出法

② LA スキャンタイムの算出法

を明らかにする。

(2) 最近、筆者らが開発した CCP を具体的な設計事例とし、

① LA への機能分散範囲と収容可能回線数の関係

② アドレッシング

\* Line Adapter.

\*\* Line Scanner.

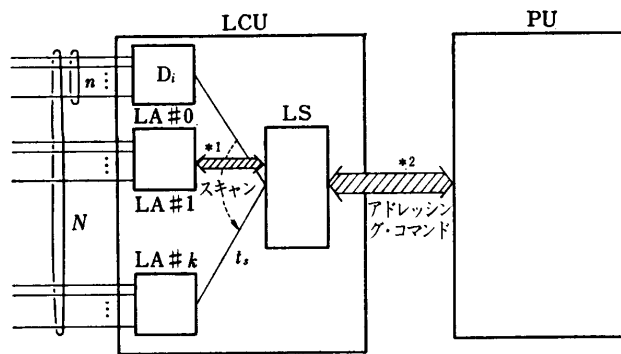
† System Design and Evaluation of Line Control Unit with Functionally Distributed Multi-Microprocessor Architecture by FUMIO SHIMOMURA, TOSHIFUMI YAMADA and YASUYOSHI SAKAI (Communication Control System Section, Yokosuka Electrical Communication Laboratory, N. T. T.).

†† 日本電信電話公社横須賀電気通信研究所通信制御研究室

\* Communication Control Processor.

\*\* Line Control Unit.

\*\*\* Processing Unit.



LCU : 回線制御部       $n$  : LAへの収容可能回線  
 LA : 回線アダプタ     $D_i$  : LAでの機能分担範囲  
 LS : 回線スキャナ部    $N$  : LSでのスキャン対象回線数  
 PU : プロセッサ部    \*1 : LA/LS間インタフェース  
                          \*2 : LS/PU間インタフェース

図1 LCU 構成モデル  
 Fig. 1 LCU hardware configuration model.

ついて PU 上で走行するテストプログラムを用いた実測により目標達成を確認したことを示す。

## 2. LCU の構成モデルと設計上の問題点

### 2.1 LCU の構成モデル

LA をトリー状に接続した機能分散型マルチマイクロプロセッサ方式 LCU の構成モデルを図1に示す。LCU は LA と LS から構成される。

#### (1) LA

LA は  $\mu P$ 、メモリ、通信制御用 LSI 等から構成される。通信制御の機能は、おおむね図2のごとく分解可能であり、これらの機能の一部が  $\mu P$  上で走行するプログラムにより実行される。図2の  $D_1, D_2, D_3$  のいずれの範囲を分担するにせよ、本プログラムは以下の各部より構成される。

- ① 割込み分析, 初期設定, 障害管理, タイマ処理, および上位とのインタフェース処理等を行う共通部。
- ② 伝送制御手順, 端末機種等に応じて  $D_1, D_2, D_3$  の各機能を実現する個別部。したがって、 $\mu P$  上のプログラムは、図3に示すモジュール構成とする。また、 $\mu P$  プログラムの記述言語としてはアセンブラ (L) と PL/M(L') を考える。

#### (2) LS

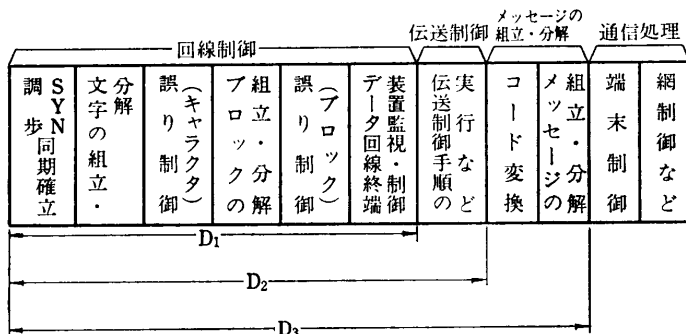
LS は複数の LA を束ね PU に接続する。PU との接続は、通常の入出力制御と同様コマンド語 (CW) を使い、LS と PU のメモリ部間のデータ転送は高速性に優れたメモリサイクルスチール法を用いる方式である。一方、LA との接続は、LS から LA をスキャンしながらデータの授受を行う。したがって、LS 部はスキャン部、LS/LA 間のデータ転送制御部、および CW 制御部より構成される。

### 2.2 設計上の問題点

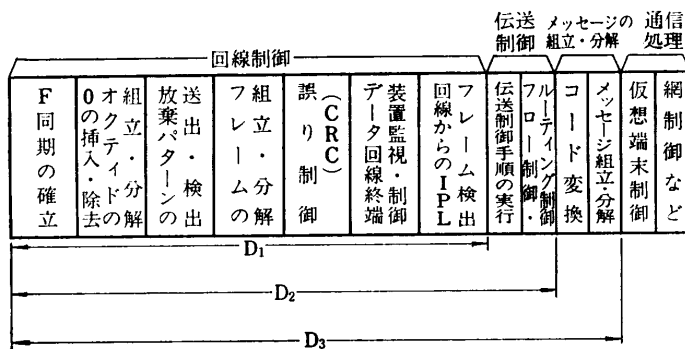
#### (1) LA

$D_1, D_2, D_3$  の各分担可能範囲 ( $D_i$ ) と収容可能回線数 ( $n$ ) について、以下の諸点を明らかにする。

- ①  $n$  を算出するための算出方法。



(1) ベーシック手順

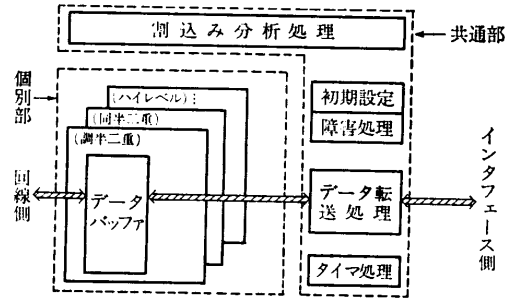


(2) ハイレベル手順

図2 通信制御機能の分解

Fig. 2 Controllable communication function distribution in LA.

- ③ PU とのコマンドインタフェース
  - ④ LA スキャンタイム
- の設計値等を明らかにし、これに基づく性能目標値に



注) ① □ はモジュールを示す。② ⇄ はデータの流れを示す。  
③ D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub> の処理は、伝送制御手順単位のモジュール構造となる。

図 3 μP プログラムのモジュール構成  
Fig. 3 μP Program module structure.

② 上記算出方法に基づく D<sub>i</sub> と n の関係。

(2) LS

- ① LA と PU を接続するためのアドレッシング。
- ② CW 方式時のコマンド方式, LA/LS 間のデータ転送方式, およびスキャンタイム (t<sub>s</sub>) の算出法。

### 3. LA 設計法

#### 3.1 n の算出法

n の算出に当たって適用可能な算出方法の一覧を表 1 に示す。表 1 において、平均値法は μP の使用率が 1 となる回線数 (n<sub>a</sub>) を、また最悪値法はオーバーラン\*が発生しない回線数 (n<sub>w</sub>) を与える。安全側の評価を行うならば、n = n<sub>w</sub> とすればよい。しかし、LA に接続される回線自体が 10<sup>-6</sup>~10<sup>-7</sup> 程度のビット誤り率 (=10<sup>-5</sup>~10<sup>-6</sup> のキャラクタ誤り率に相当) を有するため、LA では 1桁小さい 10<sup>-7</sup> 程度のキャラクタレベルでのオーバーラン確率 (P<sub>ov</sub>) は許容しても問題はない。したがって、効率的回線収容のためには n<sub>w</sub> と n<sub>a</sub> 範囲内で確率法、あるいはシミュレーション法により P<sub>ov</sub> と待ち時間との関係の評価が必要がある。すなわち、P<sub>ov</sub> の導入により LA の回線側に待ち時間を許容するバッファを挿入すれば n の向上が期待できる。

#### 3.2 D<sub>i</sub> と n の関係

D<sub>i</sub> と n の関係を表 1 に示す算出方法を用いて明らかにする。算出方法はいずれも回線からの文字の到着間隔と文字の処理時間に着目している。文字の到着間隔については通信速度 (V bit/sec) と文字のビット数 (B bit/CH) の比から求まるが、文字の処理時間は μP

\* キャラクタの到着ごとに μP プログラムはメモリバッファへ格納するが、この処理が間に合わないメモリバッファへは転送されず後続キャラクタに上書きされて消失する。これをオーバーランと呼ぶ。

表 1 n の算出法  
Table 1 n calculation method.

分類	概要
解析的手法	<p>平均値法 (n<sub>a</sub>)</p> <p>典型的電文モデルをもとに、該電文処理に走行する μP プログラムの総 DS (総処理時間) から 1 キャラクタ (CH) 当りの平均文字処理時間 T<sub>a</sub>(sec) を求める。このとき通信速度 V(bit/sec), ICH のビット数 B(bit/CH) とすると、収容回線数 n<sub>a</sub> は、</p> $n_a = 1 / \left( \frac{V}{B} \cdot T_a \right)$ <p>となる。</p> <p>最悪値法 (n<sub>w</sub>)</p> <p>文字処理時間の最悪値を T<sub>max</sub> とすれば、全回線に T<sub>max</sub> 処理が同時発生した最悪ケースの収容回線数 n<sub>w</sub> は</p> $n_w = 1 / \left( \frac{V}{B} \cdot T_{max} \right)$ <p>となる。</p> <p>待ちモデル法 (n<sub>q</sub>)</p> <p>M/M/1 待ちモデルを用いる。LA に到着する各文字処理要求発生間隔と各文字処理時間の関係から、文字処理要求の待ち時間の分布を求め、許容可能待ち時間を超える確率がオーバーラン確率以下となるような収容回線数 n<sub>q</sub> を求める。</p>
シミュレーション法 (n <sub>s</sub> )	<p>上記待ちモデル法を汎用シミュレータ (たとえば、DEMOS, AGPS ライブラリ) を用いて実行し、収容可能回線数 n<sub>s</sub> を求める。待ちモデル法に比べ、正確な文字処理要求発生間隔、および文字処理時間の分布を使用するので、正確な推定が可能となる。</p>

プログラムをサンプルコーディングして推定する必要がある。この処理時間は μP の機種と動作クロック等の LA ハードウェアの構成条件のほか、伝送制御手順に基づく電文モデル D<sub>i</sub>, および μP プログラムの記述言語に L あるいは L' のいずれを用いるかにより変化する。これらの諸要因を網羅的にサンプルコーディングするのは工数を要するため、以下の方法により簡単化を図る。

(1) 伝送制御手順ごとの電文モデルを作成し、D<sub>1</sub> レベル分担時について言語 L, L' によりサンプルコーディングを行いそれぞれの処理時間 T<sub>D1</sub>, T<sub>D1'</sub> を求める。

(2) 既存の通信管理プログラム等を分析し、上記電文モデル時における D<sub>1</sub>, D<sub>2</sub>, D<sub>3</sub> 分担時の処理時間比 (P<sub>1</sub> : P<sub>2</sub> : P<sub>3</sub>) を求める。

(3) (1), (2) より表 2 を作成し、処理時間とする。以上の結果を表 1 の算出法へ適用すれば、D<sub>i</sub> と n の関係を求めることができる。

### 4. LS 設計法

#### 4.1 アドレッシング

本 LCU の構成上 PU からみた回線アドレス (l)

表 2 機能分担範囲と処理時間の関係  
Table 2 The relation between distributed function and processing time.

処理時間		機能分担範囲		
		D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>
既存プログラムの処理時間比		P <sub>1</sub> (=1)	P <sub>2</sub>	P <sub>3</sub>
処理時間	L (アセンブラのとき)	T <sub>D1</sub>	T <sub>D2</sub> =P <sub>2</sub> ·T <sub>D1</sub>	T <sub>D3</sub> =P <sub>3</sub> ·T <sub>D1</sub>
	L'(PL/M のとき)	T <sub>D1</sub> '	T <sub>D2</sub> '=P <sub>2</sub> ·T <sub>D1</sub> '	T <sub>D3</sub> '=P <sub>3</sub> ·T <sub>D1</sub> '

表 3 アドレッシング  
Table 3 Addressing.

アドレス種別	表示	アドレス範囲	
回線番号	$j$	0, 1, 2, ..., (N-1)	
回線アドレス (l)	受信側 $i_r=2j$	0, 2, 4, ..., 2(N-1)	
	送信側 $i_s=2j+1$	1, 3, 5, ..., 2N-1	
LCA アドレス (m)	$m = \left\lceil \frac{j}{n} \right\rceil$	0, 1, 2, ..., $\left\lceil \frac{N-1}{n} \right\rceil$	
LCA 内アドレス	回線番号	$k$	0, 1, ..., (n-1)
	回線アドレス	受信側 2k	0, 2, ..., 2(n-1)
		送信側 2k+1	1, 3, ..., 2n-1

N: LCU への収容回線数, n: LA への収容回線数.  
注) アドレッシングの具体例は図 7 参照.

は, LA アドレス (m) と LA 内アドレス (k) とで表される. これまでの CCP 等のように<sup>6)</sup>, l については送信・受信を意識して物理的回線番号 (j) ごとに二つのアドレスを使用すれば, 表 3 に示すアドレッシングとなる. 全二重通信時には受信側が偶数 (2j), 送信側が奇数 (2j+1) を使用し, 半二重通信時には送受信とも偶数 (2j) を使用する.

#### 4.2 CW インタフェース

対 PU インタフェースの設計に際しては, 切口の簡明さのほか, 拡張性, インタクション数が少なくなる点を考慮する必要がある. 最も簡明な方式は, PU をマスタとし LCU をスレーブとするマスタスレーブ方式である. 本インタフェース設計では,

- ① PU から指示すべきコマンド機能の分割 (コマンドの種類)
- ② LCU で実行中のコマンドを中断させる方法 (コマンド回収)
- ③ コマンドの連続発行 (コマンドチェーン) 等を明らかにする必要がある.

#### 4.3 LA/LS 間インタフェースと LA スキャンタイム

本 LCU では制御方式簡単化のため, LA 内アドレス, 制御情報, および送受信データ部から構成される回線インタフェース語 (LIW) を用いて, LA/LS 間のデータ転送を行う.

LS は複数の LA をスキャンし, PU からのコマンドに従って送・受信データを転送する. したがって, 回線で送受信する電文モデルをもとに, そのとき PU から発行されるコマンドの種類に従って LS に到着する LIW の処理要求の平均到着間隔から到着密度を求め, LS のスキャン処理時間をサービス速度とすれば, M/M/1 モデルが適用できる. 本モデルにおいて LS のオーバーラン\*確率は LIW の処理要求が平均到着間隔時間以上待たされる確率とみることができ. すなわち, LIW の平均到着間隔と LS のオーバーラン確率の上限を与えれば, これを充足すべきスキャン処理時間を求めることができる. このモデルの概要を図 4 に示す.

(1) LIW の平均到着間隔

ある回線番号に着目したとき, 電文当りの LIW 平均到着間隔 (T<sub>M</sub>) は LS から見れば

$$T_M = \frac{\text{電文モデルの伝送時間}}{\text{LS に到着する LIW 処理要求の数}} \quad (1)$$

で表すことができる.

(2) スキャン処理時間

スキャン対象回線数が N なるとき, 上記回線番号にスキャンが回ってくるまでの時間すなわち, スキャン間隔を T<sub>s</sub> とする. 一方, 本回線番号については, T<sub>M</sub> 間隔で LIW が到着するのでこの回線に対するスキャン可能回数は (T<sub>M</sub>/T<sub>s</sub>) 回となる. ここで LS のスキャン処理時間が, 処理要求のあるとき t<sub>s1</sub>, 処理要求がないとき t<sub>s0</sub> にかかるものとすれば, この回線で必要になるスキャン処理時間 (t<sub>s</sub>) は, (T<sub>M</sub>/T<sub>s</sub>)

\* LA でのオーバーランと同様の意味であるが, キャラクタレベルではなく LIW レベルでのデータ消失である.

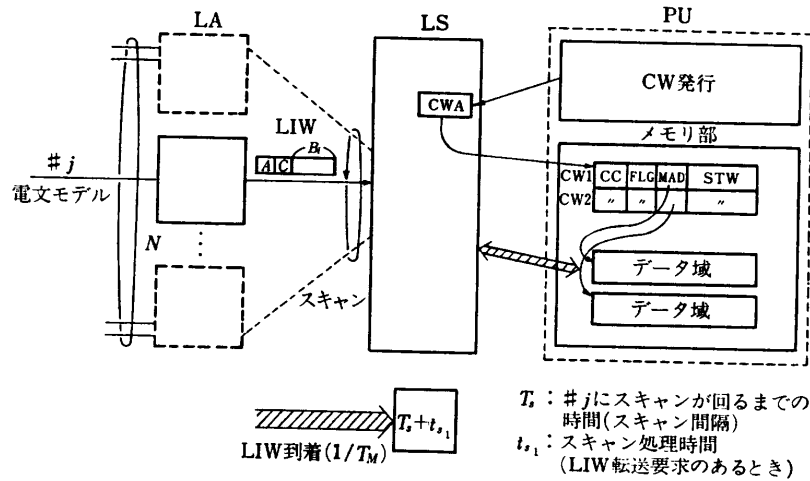


図4 スキャンタイム算出モデル  
 Fig. 4 Scanning time calculation model.

回のスキャンのうち1度が  $t_{s1}$  であり, 残りは  $t_{s0}$  であるので,

$$t_s = \frac{T_s}{T_M} \cdot t_{s1} + \left(1 - \frac{T_s}{T_M}\right) \cdot t_{s0} \quad (2)$$

となる。  $T_s$  は1回線当り  $t_s$  のスキャン処理時間であるから  $(N-1)$  回線スキャン後の時間であるから

$$T_s = t_s \cdot (N-1) \\ = \left\{ \frac{T_s}{T_M} \cdot t_{s1} + \left(1 - \frac{T_s}{T_M}\right) \cdot t_{s0} \right\} (N-1)$$

が成立する。したがって, 上式から  $T_s$  を解いて

$$T_s = \frac{T_M \cdot t_{s0} \cdot (N-1)}{T_M - (t_{s1} - t_{s0})(N-1)} \quad (3)$$

を得る。

(3) LSでのオーバーラン確率と  $t_{s0}$ ,  $t_{s1}$  の関係

$T_M$  間隔でデータ転送要求が発生すれば, LSでのオーバーラン確率 ( $Q_{ov}$ ) は  $T_M$  以上待たされる確率と見なすことができる。到着密度 ( $1/T_M$ ), サービス速度 ( $T_s + t_{s1}$ ) の M/M/1 モデルを適用すれば

$$Q_{ov} = \rho \cdot \exp\{-(1-\rho) \cdot \mu \cdot T_M\} \quad (4)$$

ただし

$$\mu = \frac{1}{T_s + t_{s1}}, \quad \rho = \frac{T_s + t_{s1}}{T_M}$$

である。(4)式において  $T_M$  を与えれば,  $Q_{ov}$  を充足する  $t_{s0}$ ,  $t_{s1}$  の関係を求めることができる。

## 5. 設計事例と評価

### 5.1 LCUの設計事例

#### (1) LCUの概要

筆者らが最近開発した機能分散形マルチマイクロプロ

セッサ方式 LCU の構成を図5に示す<sup>7),8)</sup>。本 LCU では表4に示す回線の収容を前提としている。  $\mu P$  には低価格な8ビット  $\mu P$  を使用し, 機種としてはレジスタを2面有し割込み処理に優れた Z-80 を選び, LA のメモリ素子には 16kbit 素子を用い容量は 16kB である。また通信制御用 LSI には, 公社で開発し調歩式同期, SYN キャラクタ同期, およびフレーム同期のいずれもがサポート可能な ECL 1533 URT を使用し, その動作モードとしては性能向上の観点から DMA モードを使用している<sup>9),10)</sup>。Z-80 の動作クロックは, 周辺用 LSI の速度も考慮し 3.5 MHz としている。

#### (2) $n$ の算出

表1の評価法を用い,  $D_1$  分担, アセンブラ (L) 記述時の  $n$ , および  $n$  回線収容時のメモリ量の算出結果を表5に示す。通常, M/M/1 モデルは安全側の評価を与えるので, 調歩半二重手順の場合 1,200 bit/sec 回線で  $n=16$  は見込める。したがって, 2,400 bit/sec の同期半二重手順においてもスループットから換算すれば  $n=8$  までは期待可能である。しかし待ちモデル法では,  $P_{ov} \approx 10^{-7}$  時には約3バイト程度のバッファ接続で  $n=6$  となるため, より精度の高いシミュレーション法を実施した。  $n=6, 8$  を与えたときの処理待ち時間と  $P_{ov}$  の関係を図6に示す。約4バイト程度のバッファを付加すれば  $P_{ov} \leq 10^{-7}$  で  $n=8$  が可能となる<sup>11)</sup>。ハイレベル手順の場合,  $n_w=8$  でありアドレス方式から同期半二重と同様の  $n=8$  とすればよい。

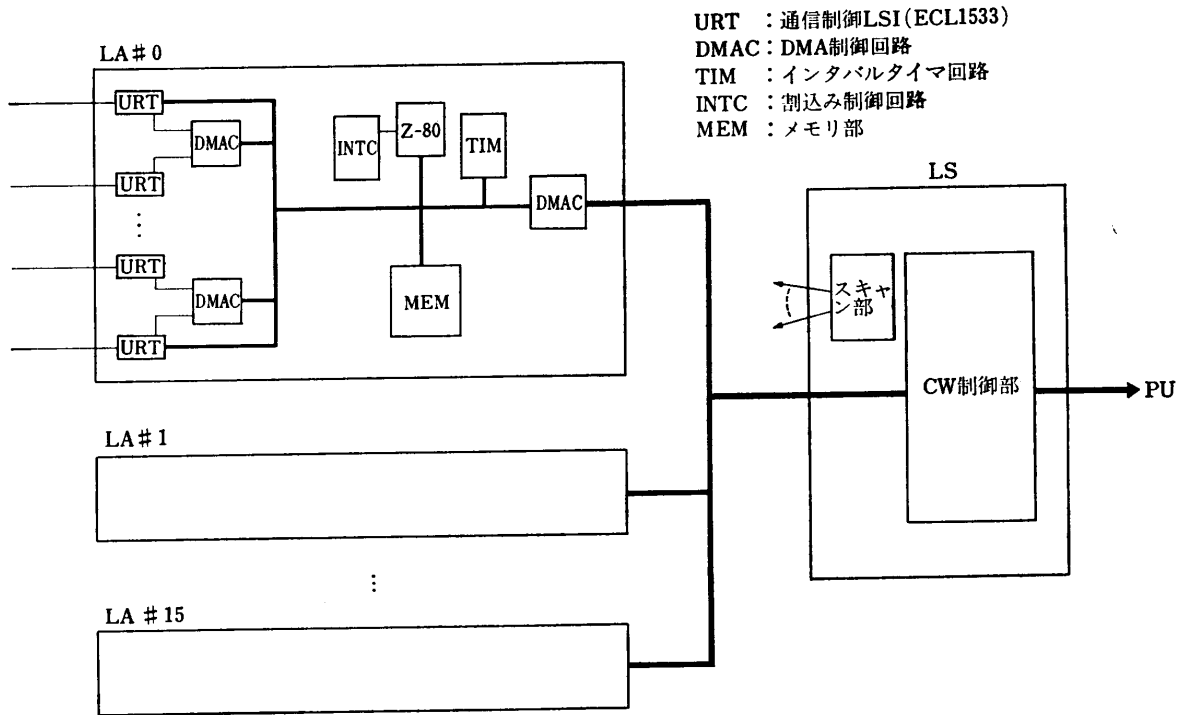


図 5 LCU のハードウェア構成例  
 Fig. 5 LCU hardware structure example.

表 4 回線条件  
 Table 4 Communication line features.

項番	同期方式	通信方式	回線速度	回線種別	手順名
(1)	調歩	半二重	200 bit/sec	公衆通信回線	調歩半二重手順
			300 "	特定通信回線	
			1,200 "		
(2)	SYN キャラクタ同期	半二重	2,400 bit/sec	公衆通信回線	同期半二重手順
			4,800 "	特定通信回線	
			9,600 "		
(3)	F同期	全二重	2,400 bit/sec	公衆通信回線	ハイレベル手順
			4,800 "		
			9,600 "	特定通信回線	
			48 kbit/sec		

(3)  $D_i$  と  $n$  の関係  
 $D_1$  分担時, PL/M(L') 記述でサンプルコーディングした結果, 処理時間は  
 $T_{D_1}' = 3 \cdot T_{D_1}$   
 となった。一方, 既存の通信管理プログラムを分析した結果, 表 6 に示す処理量比を得た。本結果を表 2 に代入すれば言語 L, L', 分担範囲  $D_1, D_2, D_3$  をパラメータとしたときの処理時間を求めることができる。

本処理時間から各手順ごとに通信速度と  $n$  の関係を求めれば図 7 を得る。

図 7 に示すごとく, 表 4 に示す回線条件を同時に充足する機能分担範囲は  $D_1$ , 記述言語はアセンブラ語であり, 回線速度 48 kbit/sec のハイレベル手順は図 5 に示す LA のハードウェア構成では収容できない。

(4) 48 kbit/sec 回線用 LA の構成  
 2,400~9,600 bit/sec のハイレベル手順回線と同

表 5  $n$  およびメモリ量 ( $D_1$  分担, 言語 L)  
Table 5  $n$  and memory capacity.

手順名	V (bit/sec)	B (b/CH)	電文モデル	$n_a$	$n_w$	$n_q$	$n_s$	$n$ の推定値とメモリ量 ( $M$ )
調歩半二重	1,200	10		43	6	16 $P_{ov} < 10^{-7}$	—	$n=16$ $M=15\text{kB}$
同期半二重	2,400	8		17	4	6 $P_{ov} \approx 10^{-7}$ バッファ3B	8 $P_{ov} < 10^{-7}$ バッファ4B	$n=8$ $M=13\text{kB}$
ハイレベル	2,400	8		17	8	—	—	$n=8$ $M=12\text{kB}$

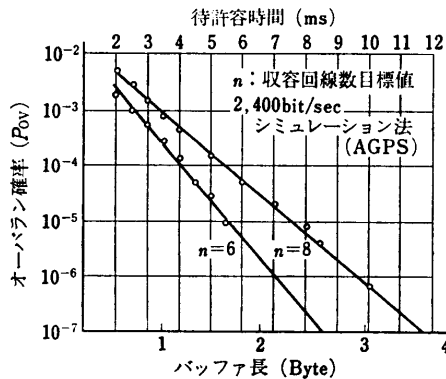


図 6 バッファ長と LA でのオーバーラン確率  $P_{ov}$  の関係  
Fig. 6 The relation between buffer length and  $P_{ov}$ .

様,  $D_1$  分担, L 記述を前提とする。

まず図5の LA 構成を前提として 2,400~9,600 bit/sec 用の  $\mu P$  プログラムを最適化する。表4によれば, 2,400 bit/sec 8回線収容が可能であり, 48 kbit/sec 換算で 0.4回線相当となる。この  $\mu P$  プログラムを全二重1回線処理用とし, 図3における共通部と個別部のインタフェースの専用化と多回線処理の

表 6 処理時間比  
Table 6 Processing time ratio.

項	目	$P_1$	$P_2$	$P_3$
調歩半二重, 同期半二重手順のとき		1	5	7
ハイレベル手順のとき		1	4	6

1回線処理への固定化によりダイナミックステップ数を削減した結果, 0.6回線相当の処理が可能となった。しかし, 1回線収容のためには, さらに約1.7倍の性能向上が必要となる。48 kbit/sec 収容の方法としてビットスライス形の  $\mu P$  を使用している例もあるが<sup>9)</sup>, 本 LCU では  $\mu P$  プログラムの共通化, 開発の容易性の点から二つの  $\mu P$  で負荷分散させる方式を採った。負荷分散の方法としては,

A. 受信処理と送信処理を分ける,

B. 回線処理と LC インタフェース処理を分ける, の2方法が考えられる。B は二つの  $\mu P$  間の処理要求を FIFO レジスタで接続する方式でありハードウェアの設計が比較的容易であり, LA/LC 間インタフェースが 2,400~9,600 bit/sec の LA と同様となる利点がある。本 LCU では B 方式を採用した<sup>12)</sup>。

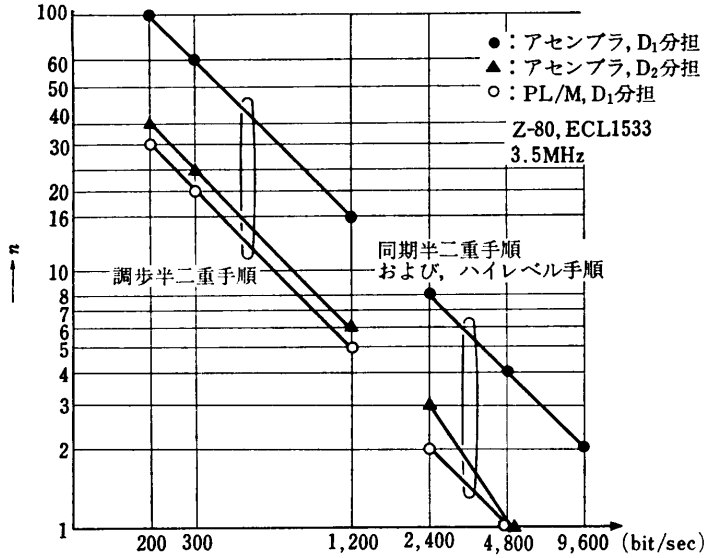
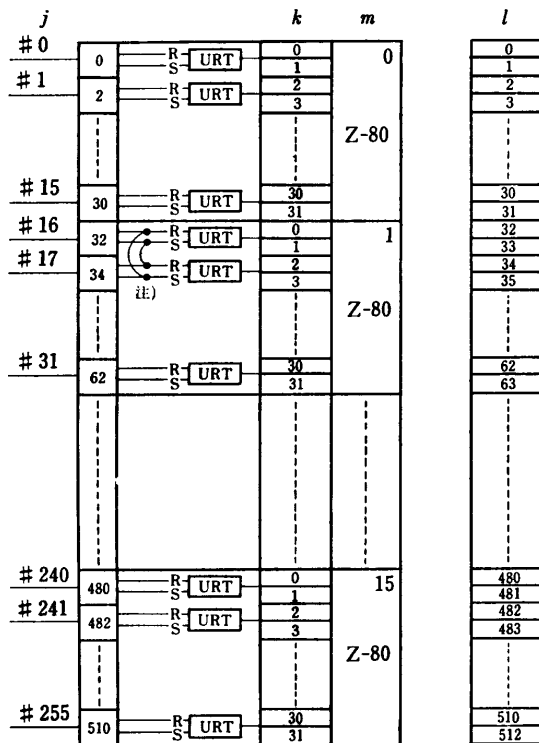


図 7 通信速度と n の関係 (メモリ上の制限はないと仮定したとき)  
Fig. 7 The relation between line speed and n.



n=16, N=256

j: 回線番号, k: LA 内アドレス, m: LA アドレス,

l: 回線アドレス

$$l = \begin{cases} 2j \dots \text{全二重受信のみ, 半二重送・受信} \\ 2j+1 \dots \text{全二重送信のみ} \end{cases}$$

注) 試験時の折返し回路の設定法

図 8 LCU のアドレス方式

Fig. 8 LCU addressing.

(5) アドレッシング

本 LCU では表 4 の回線条件をすべて D<sub>1</sub> の範囲で分担し, 1,200 bit/sec 回線を 256 収容する. このときには LA を 16 個 LS へ接続する必要があるので, 図 8 に示すアドレッシングとなる.

(6) コマンド

① コマンドの種類と構成

D<sub>1</sub> 機能分担時のコマンド種類は, 回線のリセット, 初期設定, データ受信, データ送信, 回線対応装置の監視・制御に分類可能である. コマンドの概要を表 7 に示す.

② コマンド回収

LA にて実行中のコマンドを回収し, 新たなコマンドを発行可能とするための制御指示としてホルトライン, 強制的に回線をクリアする制御指示としてラインクリアを設けた.

③ コマンドの連続発行

ハイレベル手順におけるデータの連続送信/受信, あるいはベーシック手順における ENQ シーケンス送信後の ACK シーケンス応答待ち等においては, そのつど PU とのコマンドインタラクションを設けると回線速度が上昇するに依りデータのアンダラン/オーバーラン, あるいは応答受信不可等の現象が発生する危険が生じる. このためには, LS から MM 上のコマンドを先取りする機能が必要であり, コマンドの中に先取りフラグを設けた.

(7) t<sub>n</sub> の算出

1,200 bit/sec 回線を 256 回線収容するときの t<sub>n</sub> を求める. t<sub>n</sub> の算出例として, ある回線に着目したときの電文受信モデル, コマンド, LIW の関係を図 9 に示す. 4.3 節の(1)式より,

$$T_M = \frac{\text{電文モデルの伝送時間}}{\text{LS に到着する LIW 処理要求の数}} = \frac{(D+d)/(V/L) \cdot \eta}{6 + \left\lceil \frac{2+D}{B_i} \right\rceil} \quad (5)$$

となる. ここで

η : 回線使用率

B<sub>i</sub> : LIW のデータ転送幅

D : 1 電文中のデータ文字数

d : 1 電文中の制御文字数

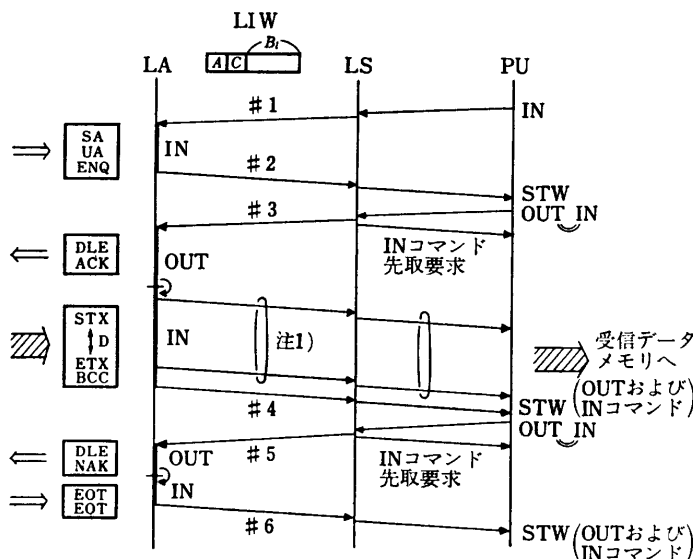
⌈α⌉: a と等しい, あるいは a より大なる最小の自然数



表 7 コマンド  
Table 7 Commands.

分類	名 称	LA/LS→プロセッサ部	概 要	備 考
コ マ ン ド	INiT	← ⇐	各回線ごとの初期設定を行う。	
	LC	← ⇐	モデム等の回線対応装置を制御する。	コマンドチェイン機能をもつ
	LW	← ⇒	モデム等の回線対応装置の監視を行う。	”
	IN	← ⇐	伝送制御手順に定められた遷移に従ってデータを受信する。	”
	OUT	← ⇒	伝送制御手順に定められた遷移に従ってデータを送信する。	”
制 御 指 示	ラインクリア (LN Clear)	←	強制的に回線をリセット, クリアする。	
	ホルトライン (Halt LN)	←	コマンドを回収し, 終結させる。	

注) ← は制御の方向, ⇐ はデータの流れの方向を示す。



注 1) 受信データ転送に伴う LIW 処理要求数は  $\lceil \frac{2+D}{B_i} \rceil$ . BCC は転送対象としない。  
 2) ⇐ はコマンドチェインを示す。

図 9 電文受信時の発行コマンドと LIW 処理要求の関係  
Fig. 9 Commands and LIW interaction at message receiving.

である。

データ通信システムの電文長を調べてみると 64 バイト以上がほとんどであるが, 安全側の最短電文長から  $D=10$  とし, さらにハードウェア条件および  $\mu P$  プログラム内のデータバッファメモリ量の点から  $B_i=8$  とし, スキャン処理時間  $t_{s0}, t_{s1}$  と LC のオーバラン確率  $Q_{ov}$  との関係性を求めた。これを図 10 に示

す。

LA の  $P_{ov}$  を  $10^{-7}$  以下としたので,  $Q_{ov}$  を  $10^{-8}$  以下とすれば  $\eta=0.7$  のときに充たすべき  $t_{s0}, t_{s1}$  の組合せは, たとえば

$$t_{s0} < 5 \mu s, t_{s1} < 65 \mu s$$

となる。

## 5.2 評 価

### (1) 評価方法

LA および LS の性能評価は PU で行うテストプログラム (TP) により行う。すなわち二つのアドレスを LA 内の折返し回路により接続し, 擬似的な対向通信を可能とし (図 7 注記参照), TP から送・受信コマンドを伝送制御手順に基づいて当該アドレスに発行し, 受信データを期待データと比較する。

評価の尺度には電文疎通量を用いる。すなわち, LA あるいは LS に通信速度  $V$ , キャラクタビット数  $L$  の回線を  $R$  回線収容し, 平均キャラクタ数  $C_0$ CH/電文のテスト電文を使用すれば, 疎通可能な電文数  $S_0$  は,

$$S_0 = \frac{(V/B) \cdot R}{C_0} \quad (6)$$

となる。  $S_0$  と TP による電文疎通量の実測値  $S$  との比  $\alpha (=S/S_0)$  が,  $\alpha \approx 1$  であれば LA 上の  $\mu P$  プログラム処理, および LA スキャン処理がネックにならないこと, すなわち LCU の性能充足性を確認できる。

### (2) 評価項目

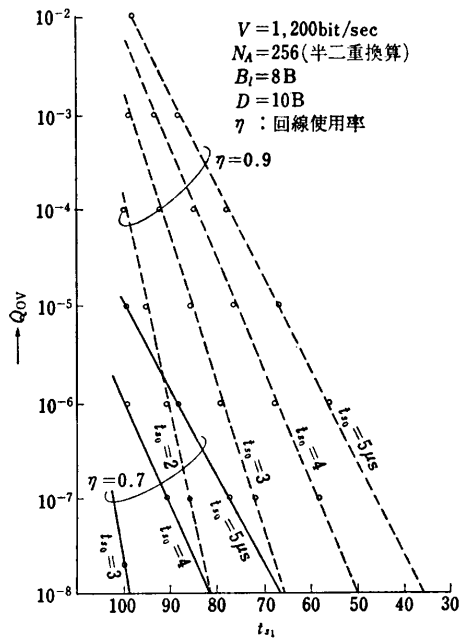


図 10 スキャン時間と LS でのオーバーラン確率  $Q_{ov}$  の関係

Fig. 10 The relation between scanning time and  $Q_{ov}$ .

以下の 3 項目について  $\alpha$  を求める。

A. 調歩半二重手順回線用 LA の LA の処理能力

$V=1,200 \text{ bit/sec}$ ,  $B=10 \text{ bit/CH}$

とし LA の処理能力を求める。目標値は 5.1 節(2)より 16 回線である。

試作した LA は 16 回線収容であり 17 回線以上は収容不能のため、収容可能回線数の限界値は  $V$  の加

速と折返し回路の組合せによりスループットを上げる加速試験による。

B. 同期半二重手順およびハイレベル手順回線用

LA の処理能力

$V=2,400 \text{ bit/sec}$ ,  $B=8 \text{ bit/CH}$

とし LA の処理能力を求める。目標値は 5.1 節(2)より 8 回線である。試作した LA は 8 回線収容であり、9 回線以上は収容不能のため収容可能回線数の限界は加速試験による。

C. LS の処理能力

LA 当り  $V=1,200 \text{ bit/sec}$ ,  $B=10 \text{ bit/CH}$

の回線を 16 回線収容し、本 LA を LS に 16 個接続する。これにより  $V=1,200 \text{ bit/sec}$  回線を  $N=256$  収容時の  $\alpha$  を求める。

(3) 評価結果

A, B, C の測定結果を表 8 に示す。いずれも  $\alpha=0.93\sim0.95$ ,  $P_{ov}=0$ ,  $Q_{ov}=0$  であり性能目標値を充足している。

調歩半二重、同期半二重、ハイレベル手順回線収容 LA は、いずれも目標値の 2 倍の回線収容で  $\alpha=0.90\sim0.94$ ,  $P_{ov}=0$  となった。本試験形態では  $\mu P$  プログラムは表 5 における平均値法に近い状態で走行しているためと考えられる。

本試験形態では  $P_{ov}=0$  であるため、オーバーランが発生するような試験環境を設定する必要がある。環境としては実端末接続等の対向試験が有効であるが、環境設定のための設備と試験工数が大きくなる欠点がある。このため、 $\mu P$  プログラムの最終 DS 値を求め

表 8 性能測定結果  
Table 8 Performance evaluation results.

項目	伝送制御手順名	目標値			実測条件			実測値 $\alpha$	
		V(bit/sec)	n	スループット (CH/sec)	V(bit/sec)	n	スループット (CH/sec)		
LA 性能	A	調歩半二重	1,200	16	1,920	1,200	16	1,920	0.95
						2,400	16	3,840	0.94
	B	同期半二重	2,400	8	2,400	2,400	8	2,400	0.95
						4,800	6	3,600	0.93
						9,600	4	4,800	0.90
						2,400	8	4,800	0.93
C	ハイレベル (全二重)	2,400	8	4,800	4,800	8	9,600	0.92	
					48 k	1	12,000	0.93	
LS 性能	C	調歩半二重	1,200	256	30,720	1,200	256	30,720	0.95

表1に示した待ちモデル法, シミュレーション法の机上評価によりオーバラン確率を求め性能の充足性を再確認した。

## 6. む す び

汎用の  $\mu P$  と通信制御用 LSI を用いた LA と LA をトリー状に接続した LS からなる機能分散型 LCU の設計法と評価結果について以下の諸点を示した。

まず一般論としてマルチマイクロプロセッサ方式 LCU ハードウェア構成をモデル化し, ① LA で収容可能となる機能分担範囲と回線数の算出法, ② LS 部の対プロセッサ部インタフェースであるアドレッシングと CW インタフェース方法, および LS の LA スキャンタイム設計法, を明らかにした。

次に具体的設計事例として汎用  $\mu P$  に Z-80, 通信制御 LSI として ECL-1533 を用いた LCU のハードウェア構成を示した。この場合, LA でブロックあるいはフレームの組立・分解レベルを分担し,  $\mu P$  プログラムをアセンブラ言語で記述した場合, 1,200 bit/sec 半二重・16回線相当を収容可能であり, 48 kbit/sec・1回線については二つの Z-80 を FIFO レジスタで接続すれば収容可能であることを示した。また 1,200 bit/sec・16回線収容の LA を 16個, すなわち 256回線収容可能とする LCU の場合, LA のスキャンタイムは  $5\mu s$  程度となることを示した。さらにプロセッサ部で走行するテストプログラムを用いた実測により, これら設計値に基づく性能目標値の達成を確認した。本 LCU 方式を採用した DIPS 7400/7410 CCP は商用に供され順調に稼動している。

本論文で示した設計・評価方法は, 他の  $\mu P$  機種, 通信制御 LSI を用いた LCU にも適用可能であり, クロックの高速化, 16ビット型の  $\mu P$  の採用等により LCU のなおいっそう高性能・高機能化が達成可能

と考えられる。

## 参 考 文 献

- 1) Nagel, D. M. et al.: Programmable Communications Subsystem Having Controller Incorporating Microprocessor, *IBM Tech. Discl. Bull.*, Vol. 21, No. 7, pp. 2633-2645 (1978).
- 2) 河村, 丹下: ネットワークノードプロセッサ, 沖電気研究開発, Vol. 47, No. 1, pp. 73-80 (1980).
- 3) Sarch, R.: Communications Processors, *Data Commun.*, Vol. 8, No. 1, pp. 39-46 (1979).
- 4) Monroe, R. M. et al.: The Tree-Structured Distributed Network Front-End Processor Architecture, NCC, pp. 461-468 (1979).
- 5) 内山, 有田他: 高機能化パケット多重化装置, 通研実報, Vol. 30, No. 3, pp. 719-725 (1981).
- 6) 戸谷, 前田他: 通信制御処理装置のハードウェア, 通研実報, Vol. 26, No. 2, pp. 733-752 (1977).
- 7) 奥, 下村他: DIPS 7400 系通信制御処理装置の実用化, 通研実報, Vol. 31, No. 6, pp. 1107-1120 (1982).
- 8) Oku, H. et al.: A Functionally Distributed Architecture for Communications Processors, *IEEE Proc. Compcon Fall '80*, p. 522 (1980).
- 9) 松本, 中島, 三浦: 汎用データ送受信 LSI, 信学会電子計算機研究会資料, EC-80 (1980).
- 10) Kimura, T. et al.: Interface LSI's for Data Terminals and Facsimile, *IEEE J. Solid-State Circuits*, Vol. SC-16, No. 4, p. 364 (August 1981).
- 11) 山田, 下村, 奥: 多重回線制御処理方式の性能評価についての一考察, 信学会全大, 情報システム部門, N-394 (1979).
- 12) 山田, 下村, 青山: 機能分散形通信制御処理装置における高速回線収容法に関する一考察, 信学会全大, N-1419 (1981).

(昭和 58 年 1 月 25 日受付)

(昭和 58 年 7 月 19 日採録)