

小堀 友義、山口 佳樹

丸山 勉、星野 力

筑波大学 機能工学系

## 1 はじめに

本研究では Field Programmable Gate Array (以下 FPGA) を用いた高速計算システムの実現について述べる。

近年、マイクロプロセッサの発展は目覚ましく、高速に演算処理を行うことが可能になってきている。しかし、従来のマイクロプロセッサではその構造上、繰り返し計算等の演算処理に実行時間の大幅な短縮を図ることは困難である。繰り返し計算等を高速化する場合には、ハードウェアでその演算処理を構成し、並列化、パイプライン処理等を施すことが有効である。

本研究では、書換え可能なハードウェアである FPGA を用い、マイクロプロセッサと FPGA とのデータ転送を行うシステムを構築する。専用アーキテクチャ等とは違いより柔軟な FPGA を用いることにより、このシステムはマイクロプロセッサの苦手とする演算処理を FPGA の演算回路で補い、プロセッサのさらなる高速化を実現する。今回、性能比較対象のアプリケーションとして、格子ガスオートマトン法では有名な HPP モデルを使用した。

## 2 システムの概要

ここでは本研究で構築する高速計算システムの概要について述べる。

図 1 はシステムを実現するために使用した PCI ボード RC1000-PP (ESL 社製) である。このボードには、1M ゲート相当の FPGA (Xilinx 社製 VIRTEX) が搭載されている。その他にも PCI バスとのインターフェースの役割を果たす、PCI9080 (PLX Technology, inc

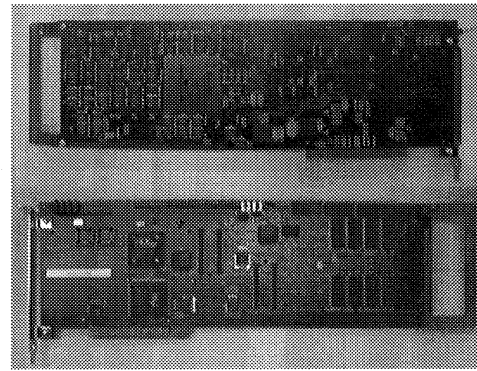


図 1: RC-1000-PP

製) や、合計 8MByte 容量のある SRAM を持つ。図 2 にこのボードの構成を示す。

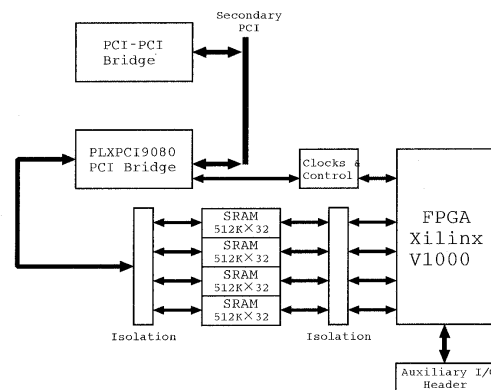


図 2: RC-1000-PP の構成

FPGA とマイクロプロセッサとのデータ送受信の手段として PCI バスを用いる。PCI バスを用いることでデータ幅 32bit、最大動作周波数 33Mhz で FPGA との通信を行うことが可能である。FPGA へのデータの書きだし、FPGA からのデータの読み取り命令は、C のプログラムからこのボード専用の Read、Write 関数を用いて行う。PCI バスコントロールを PCI9080 が行うので、FPGA をマスタとしてデータ通信を行うことも出来る。データ通信をコントロールする FPGA 内のモジュールを作成する。FPGA がマスタとスレーブの両方の機能を果たすことにより、積極的なデータ通信が可

能である。

FPGA への回路データのダウンロードは PCI バスを用いて行われる。実際ダウンロードする際には特別なアプリケーションを必要としない。ユーザは目的のプログラムの一部にダウンロードを行う関数を呼び出すだけでダウンロードが実行出来る。このため、図3のように C のプログラム実行中に何度も FPGA を書き換えながら演算を行う、言わば疑似動的書き換えが可能となる。

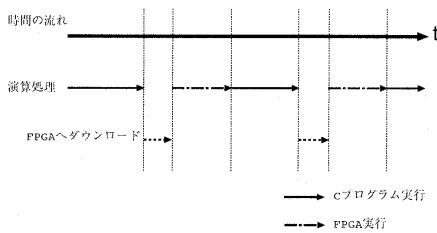


図 3: 疑似動的書き換え

### 3 実装例

アプリケーションとして格子ガスオートマトン法における HPP モデルを使用した。HPP モデルとは、セルオートマトン法を流体解析に適用する様にしたモデルである。基本格子として正方格子を用い、図4の様な2つの格子中の粒子を衝突則により、交互に変換させることによって、粒子の動きを表現することが出来る。

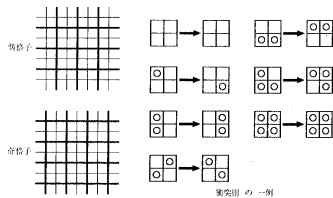


図 4: HPP モデル

### 4 ハードウェア化した HPP モデルの構成

実際に HPP モデルにおける偶格子、奇格子の変換を以下のような構成でハードウェア化した。この図5のように偶格子、奇格子2つのメモリを用意し、偶格子から奇格子へ、奇格子から偶格子へデータの Read と Write を繰り返し、変換を並列に処理する。変換の際に使用する回路は HPP モデルが正方格子の変換を基本とする事より、FPGA の特徴を生かし、4 入力 1 出力の LUT

(Look Up Table) を使用することにより回路規模を縮小することが出来る。

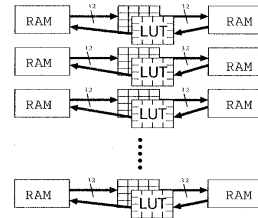


図 5: 演算回路の構成

### 5 結果

比較結果として以下のものが得られた。

表 1: 実行時間の比較

	実行時間 ( $\mu\text{sec}$ )	速度比
ソフトウェア	$8.1 \times 10^3$	1
ハードウェア	17.2	471

偶格子奇格子の変換回路の最大動作周波数は 29.8Mhz である。今回、比較対象となる格子数は  $160 \times 512$  に設定をした。ハードウェア化した場合、今回の設計では並列に 320 個の格子について、変換を行うことが出来る。格子全体の変換にかかる Clock 数は 1 回の変換に 1clock かかるので、偶格子変換、奇格子変換合わせて 512clock で終了する。そのため実行時間は  $1/29.8M \times 512 = 17.2\mu\text{sec}$  である。C のプログラムでの実行時間は、8.1msec (PentiumII 450Mhz 使用) であるので、約 470 倍の速度向上が得られる。

### 6 おわりに

本研究では FPGA を用いた高速計算システムの実現について述べた。ソフトウェアとの比較対象として格子ガスオートマトン法の HPP モデルを利用した。結果、約 470 倍の速度向上が見られた。今後は、本文中に述べた疑似動的書き換えを活かせるアプリケーションを用いてのシステムの実現を目指す。

### 参考文献

- [1] Preliminary Product Specification (1999) : Virtex™ 2.5V Field Programmable Gate Arrays
- [2] 加藤 恭義・光成 友孝・築山 洋 著 (1998): セルオートマトン法 - 複雑系の自己組織化と超並列処理 -, 森北出版株式会社