

6ZA-06 クロックスキューを考慮したIPバスアーキテクチャ*

平郡 政幸, 弘中 哲夫
広島市立大学 情報科学部 情報工学科

1 はじめに

近年, チップ内の微細化が進行し続けている. 微細化を行う事によって, 単位面積あたりのゲート数, 配線数を増加させることができ, これによりチップサイズの縮小による高性能化が進んでいる. また, ゲートサイズを縮小できる為, ゲートによる信号遅延を減少させる事ができる. しかし, 配線の微細化や配線量の増加等によって, ゲートによる遅延に対する配線抵抗, 配線間容量による配線遅延の比率は逆に劇的に増加する. 例えば, 配線長 1mm, 配線幅と配線高が $0.1\mu\text{m}$ の配線について, 配線間隔が $1\mu\text{m}$ と $0.1\mu\text{m}$ とのスキューの原因となる配線遅延の差は 186nsec となる. これは非常に大きなスキューが周囲の配線状況により発生する事を示している. この為, 現状ではチップ内部の遅延における支配的要因はゲート遅延から配線遅延に変化している. 今後, クロック周波数の向上に対して配線遅延により設計が困難となる事が予測される. 例えば通常の平行バスでは, 1GHz のクロック周波数を用いる場合には 1ns のスキュー発生を許容する事は出来なくなる. 前例では, 1GHz のクロック周波数には対応出来ない. よって, 配線遅延によるクロックスキューを考慮したバスアーキテクチャを考える事は有効であると考えられる.

本稿では, クロックスキューを考慮したバスアーキテクチャ SPBus (Skew Proof Bus) [3] 及び, SPBus に圧縮伸長機構を備えることにより同等の性能を圧縮伸長機構を持たないバスに比べ低いクロック周波数で実現することにより, クロストークやノイズについても抑制する事で性能向上を図るバスアーキテクチャ CSPBus (Compressing SPBus) について提案する.

2 SPBus

配線遅延の増加はクロックスキューの発生を招く為, 今後は配線遅延によるクロックスキューをより考慮する必要性が増すと考えられる. これらに対して物理的にスキューに対応する方法もあるが [1][2], SPBus はシリアル転送と同様に, 同期信号とデータを同じ線で送受信する事でアーキテクチャ的に対応する. 以下では現在設計中の SPBus アーキテクチャについて述べる.

2.1 特徴

SPBus (Skew Proof Bus) はクロックスキューについてアーキテクチャ的に対応したバスアーキテクチャ

*"IP Bus Architecture with Tolerance for Clock Skew"
HIRAGOURI, Masayuki, HIRONAKA, Tetsuo, Department of
Computer Engineering, Hiroshima City University.

である. これを実現する為に, シリアル転送と同様に同期信号とデータを同じ線で送信する. 同期信号を用いて受信側でクロックを生成する事で配線遅延を補正し, クロックスキューを抑えることが可能である.

また, 本方式は同期信号とデータを同じ線で送信することにより WAVE バイブラインの簡易な実現法としても有効である. 即ち, WAVE バイブラインはデータ経路の配線遅延をバイブラインレジスタとして使用する事により高速バイブライン転送を可能にする方法であるが, 一般の平行バスではスキューの為設計が困難である. 本方式はアーキテクチャ的にスキュー対策している為, 設計が容易に行なえる利点がある.

現在設計中の SPBus では, バンド幅の拡張が自由に行える. スプリットバストランザクションを行う事でバスを効率的に利用できる, といった特徴も備える.

2.2 構成と動作の流れ

図 1 に SPBus 全体図を示す. SPBus はバスヘデータを送出する「送信部」, バスからデータを受信する「受信部」, バスのアービトラージを行う「方向制御部」の 3 部で構成される.

2.2.1 送信部

送信部は SPB-DGi (SPB Data Gate of input), Packer, WSQ (Wait for Send Queue), PS (Parallel to Serial convertor) により構成される.

送信部では, まず SPB-DGi が入力データに対するフォーマットフィールドを生成し, フォーマットフィールドとデータ部をそれぞれ別のバスにより Packer へと送信する. Packer ではこれらを組み立ててパケットを生成し, WSQ へ送信する. 図 2 (1) は Packer で生成されるパケットで, その内容は (2) である. WSQ に入ったデータは PS によりシリアル信号に変換され, 一定ビット毎にチェックビットを付加した形でシリアル転送される.

2.2.2 受信部

シリアル転送されたデータはバスを経て SP (Serial to Parallel convertor) に転送され, 平行データに変換される. その際, 各バスにおける信号の位相のずれを補正する為, DLL (Delay Locked Loop) が各 SP に装備される. 受信したデータは DRQ (Data Request Queue) の各ブロックに書き込まれ, Depacker でデータをフォーマットフィールドとデータ部に分離して SPB-DGo へ転送し, SPB-DGo によりデータを元の型に戻して出力する.

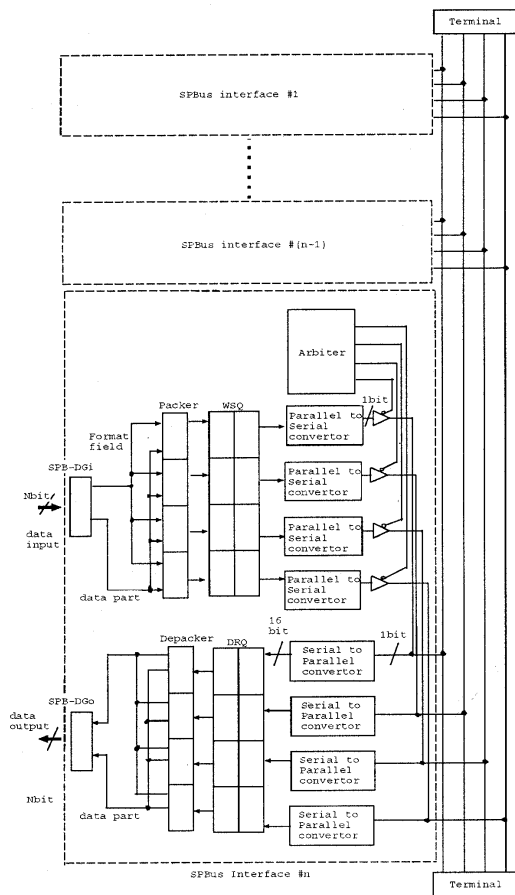


図 1: SPBus 全体図

2.2.3 方向制御部

バスのアービトレーションを行う部分。アービトレーション機構により得られる信号によってバス配線で送信ユニットの信号同士が衝突しないように3ステート制御を行う。

2.2.4 パケットフォーマット

図2にSPBusパケットフォーマットを示す。パケットはフォーマットフィールドとデータ部で構成される。フォーマットフィールドにはデータ長(2bit)、送信元ID(5bit)、アドレス/データ選択(1bit)を持つ。送信元IDは、受信側によって保持され、スプリットバストラッキングに利用する。アドレス/データ選択ビットはデータ部の中身がアドレスとデータのどちらであるかを表す。バスに送信する際には、同図(3)の様に数ビット毎にチェックビットを付加する。

3 CSPBus

本節では、現在設計中のバスアーキテクチャCSPBus(Compressing SPBus)について述べる。CSPBusは、図1で、SPBus送信部のSPB-DGiとPackerの

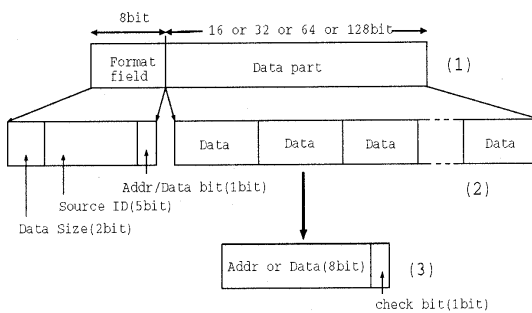


図 2: SPBus パケットフォーマット

間のデータバスに圧縮機構を、受信部のDePackerとに伸長機構を装備したものである。この為、CSPBusはSPBusの特徴を継承する。

送信部で送信データに対して圧縮を行い、圧縮されたデータを送信する。受信部では受信した圧縮データを元の形式に変換する。これにより、圧縮伸長機構を備えていない場合と比較した場合、同等の転送バンド幅をより低いクロック周波数で実現できる為、クロストークやノイズを抑える事が可能となる。また、バス間で圧縮データを送受信する事により、実効バンド幅をより拡張する事が出来る。

圧縮装置、伸長装置は現在Lempel-Ziv圧縮方式[4]を用いて設計を行っている。

4 まとめ

現在、SPBus, CSPBusについてVerilog-HDLを用いて記述を行っており、70%程度の記述が完了している。今後、完成した記述に対しシミュレーションによる評価を行う予定である。

SPBus, CSPBusは、配線数の増加により柔軟にバンド幅の拡張、クロック周波数の抑制等の変更が可能という特長を持つ。これらのアーキテクチャは、大量のデータをブロック転送で転送する装置間に有効で、マルチメディア用IPバス等、各種方面への活用が期待できる。また、SPBus, CSPBusはスキューを補正する為、簡易な設計でWAVEパイプラインを実現する方法としても有効である。

参考文献

- [1] 中沢喜三郎, 中村宏 監訳: VLSI システム設計 回路と実装の基礎, 丸善 (1995)
- [2] 桜井貴康: 消費電力, 配線遅延から見たLSIの集積化限界, Constraints on LSI by Power and Interconnection Delay. シリコンテクノロジー No. 1 (1998), pp28-33.
- [3] 弘中哲夫, 土江竜雄: 次世代の高速大容量シリアルリンクアーキテクチャの提案, 情報処理研報 ARC-126-6(1997)
- [4] 植松友彦: 文書データ圧縮アルゴリズム入門, CQ 出版 (1994)