

α -16 マルチマイクロプロセッサシステムの性能評価†

井 上 倫 夫†† 小 林 康 浩††

プロセッサ並列化の効果は、各プロセッサが同一のタスクを実行しているときのアクセス待ち時間の累積高を調べることによって定量的に論ずることができる。なぜなら、同一タスク実行時にアクセス競合が頻発し、それによるシステムのプロセッサレベルでの処理能力の低下が顕在化するからである。本報告は、低性能の μ P (マイクロプロセッサ) を用いて共有バス結合による並列処理システムを構成する場合、 μ P 使用台数に比例して処理速度の向上を図るのに有効なハード・ソフト両面からのアプローチを与えている。ここでは、タスクレベルでのアクセス待ち時間を求め、各プロセッサの稼働率、処理能力の低下率を導いた。さらに、この種の共有バス結合による並列処理システムにおいて処理速度の向上を図る場合のボトルネックを明確にし、その改善法および、システムの性能限界についても述べている。

1. はじめに

複数の μ P (マイクロプロセッサ) を結合して、処理能力の向上を図るマルチ μ P システムが各種提案されている¹⁾。このようなシステムでは、構成するプロセッサの数を n 倍にしたとき、システムの処理速度が n 倍 (処理時間が $1/n$ 倍) になれば、マルチ化の効果があったと評価できる。大規模並列処理システムでは、汎用性を有するシステムを構成するよりも、処理アルゴリズムに適した問題向き専用機としての構成が望ましい¹⁾。一方、小規模汎用並列処理システムは、処理速度がある程度満足されれば、システムの利便性がよく、実験室レベルでの特定ユーザ向け専用機として、その有用性が期待される。汎用性を有する小規模システムとして、一般に、共有バス結合による資源 (メモリ、I/O 装置) 共有型システムが考えられる。

資源共有型の並列処理システムでは、 μ P の台数が増加すると、共有バス (共有メモリ) でのアクセス競合が頻発に発生し、待ち時間の増加のためにシステムの処理速度が低下するおそれがある。このアクセス競合の解析には、一般に、待ち行列解法が用いられている^{2)~6)}。実システムでの実測の報告もある⁷⁾。阿江は、通信オーバーヘッド係数を定義することによって、システムの速度向上比を陽的に論じている⁸⁾。しかし、これまで、システムのハードウェア特性まで含めた解析、具体的な検討は見られない。

筆者らは、 n 台の μ P が同一のタスク (処理プログ

ラム) を実行しているとき、最もアクセス競合が頻発に発生して各 μ P の待ち時間が増加することに着目し、この待ち時間の累積を定量することによって、タスクレベルでのシステムの性能 (各 μ P の稼働率) を陽的に解析することを試みた。その結果、システムのハードウェア特性 (共有資源のアクセス時間、サイクル時間等) および、ソフトウェア特性 (タスクの処理時間、共有資源のアクセス回数) とを用いて、共有バス結合並列処理システムの処理速度向上のボトルネックを明確にできた。

本報告では、具体例として、共有バスでのアクセス競合の低減を図った多重化共有バス結合並列処理システム α -16^{9), 11)}を取りあげ、実システムでの性能評価を行う。具体的には、同一タスク実行時におけるアクセス競合による各 μ P の処理能力の低下率を導出し、その妥当性を実測値と比較することにより確かめている。さらに、共有バス結合並列処理システムの処理速度向上のボトルネックの改善法、および、システムの性能限界について述べる。

2. α -16 システム

α -16 は^{9), 11)}、安価な1チップ汎用 μ P を用いた低価格の並列処理システムである。 α -16 では、16 台の μ P に資源 (メモリ、I/O 装置) を共同利用させる。共有バスでのアクセス競合を軽減するために、共有資源を複数の共有バスに分散して配置している。さらに、複数の共有バスを能率よく利用するために、マトリックススイッチを用いている。図1に、 α -16 のシステム構成を示す。PU (処理装置) として、8ビット μ P (i 8085 A-2)¹⁰⁾ および 算術演算専用プロセッサ (i 8231)¹⁰⁾を用いている。 α -16 では、8 組の共有バス

† On the Performance Verification of the α -16 Multiple Microprocessor System by MICHIO INOUE and YASUHIRO KOBAYASHI (Department of Electrical Engineering, Faculty of Engineering, Tottori University).

†† 鳥取大学工学部電気工学科

が設けられており、メインメモリには4インタリーブのアクセス方式が採用されている。

実際の処理では、タスク単位に並列動作させ、処理プログラムをローカルメモリに、処理データをメインメモリに格納するようにしている。信号処理や画像処理を行う場合、16台の μ Pはそれぞれ異なるデータを取り扱うが、すべてほぼ同一のプログラムを用いてデータ処理を行う。とくに、多量のデータの場合、長

時間この処理が続く。このとき、ほぼ同時刻にすべての μ Pのアクセスがメインメモリへ集中し、並列化の効用を妨げることになる。

それゆえ、本報告では、並列計算システムにとって最悪のコンディション、すなわち、すべての μ Pがメインメモリ(4インタリーブ: CBUS₀~CBUS₃)を利用して、同一タスク(プログラム)を長時間実行している状態での各 μ Pの性能特性について述べる。

ここで、現在の α -16のハードウェア特性について示しておく。

$$t_c = 200 \text{ [ns]}$$

μ P (i8085 A-2) の基本クロック時間

$$t_A = 400 \text{ [ns]}$$

メインメモリのアクセス時間

$$t_s = 800 \text{ [ns]}$$

メインメモリのサイクル時間

$$t_B = t_{B0} + t_{B1} \log_2 n$$

$$\approx 200 \text{ [ns]}, n=16$$

バスドライバ、ケーブルおよびマトリックススイッチによる信号遅延時間。ここで、右辺第2項は、バスアービタでの調停時間¹¹⁾

3. μ P に挿入されるウェイト時間と μ P の稼働率

各 μ Pは、共有資源にアクセスするとき、図2に示すようにマトリックススイッチ内でバスアービタの調停を受ける。 μ Pが共有資源にアクセス

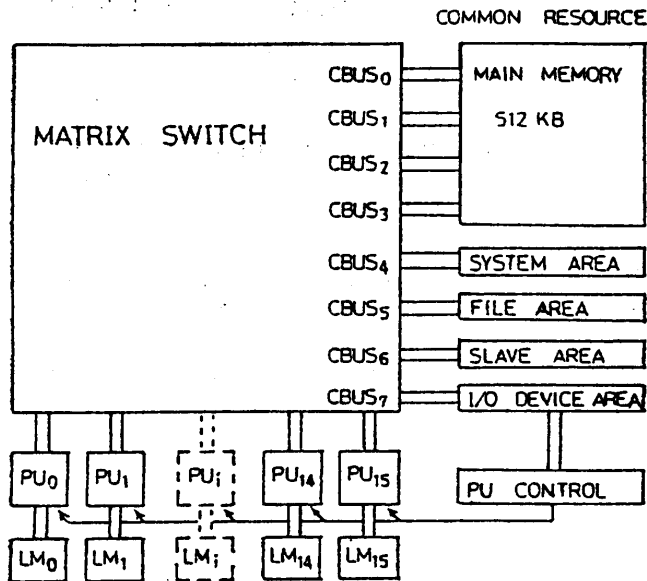


図1 α -16 システムのブロック図

Fig. 1 Block diagram of the α -16 system.
PU_i: Processing unit (μ P: i8085 A, APU: i8231),
LM_i: Local memory.

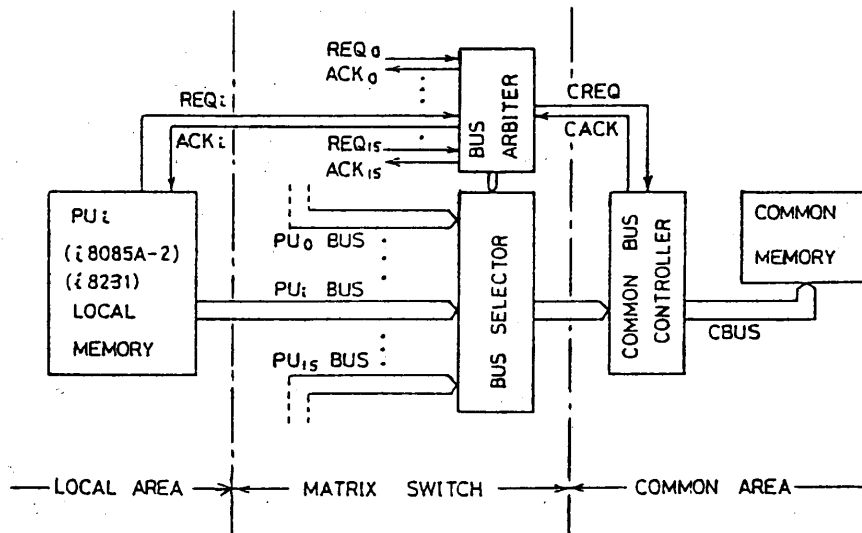


図2 μ P と共有メモリとの接続図

Fig. 2 Block diagram of an access-path from a microprocessor to the common memory.

するとき必要とする時間（共有バスのアクセス時間）は、資源本来のアクセス時間に加えて、バスドライバ、ケーブル、マトリックススイッチ（マルチプレクサ）等による信号遅延時間と、マトリックススイッチ（バスアービタ）での調停時間および待ち時間が加わる。このとき、各 μP は、基本クロックの整数倍のウェイトサイクルを挿入してデータ送受（アクセス）の同期を図っている。この挿入されるウェイト時間に比例して μP の実行時間が増加する。

あるタスク TASK を処理するために必要な μP の総クロック数を L （ただし、共有メモリを利用しないとき）とすれば、TASK の処理時間 $T_0[s]$ は、次式で与えられる。

$$T_0 = L t_c \quad [s] \quad (1)$$

ここで、データの一部を共有メモリより供給するとし、共有メモリへのアクセス回数を l 回、1 回のアクセス時に μP へ挿入される平均ウェイト時間を t_w とすれば、このときの TASK の処理時間 T_1 は次式で与えられる。

$$T_1 = L t_c + l t_w \quad [s] \quad (2)$$

共有メモリを利用したために、TASK の処理時間が $l t_w[s]$ 増加している。これは、 μP の処理能力の低下と見なされる。ここで、 μP の稼働率を次式で定義する。

$$P = \frac{T_0}{T_1} \times 100 \quad [\%]$$

$$= \frac{100}{1 + \frac{t_w}{T_h}} \quad [\%] \quad (3)$$

ただし、

$$T_h = \frac{L}{l} t_c \quad [s] \quad (4)$$

(4) 式は、共有メモリへ 1 バイトのデータをアクセスして、次にアクセスするまでの 1 バイトのデータの平均処理時間を表す。以下、この $T_h[s]$ をタスクの平均シンクタイムとする。

図 3 に、各ウェイト時間に対するシンクタイム T_h と μP の稼働率 P との関係を示す。ウェイト時間が長いと、シンクタイム T_h が短いとき、 μP の稼働率 P が大幅に低下してしまう。この対策として、

(1) ウェイト時間を短くする。

アクセス競合を極力回避する。共有バスのアクセス時間を短縮する。

(2) 一度にアクセスするデータ幅（バイト数）を

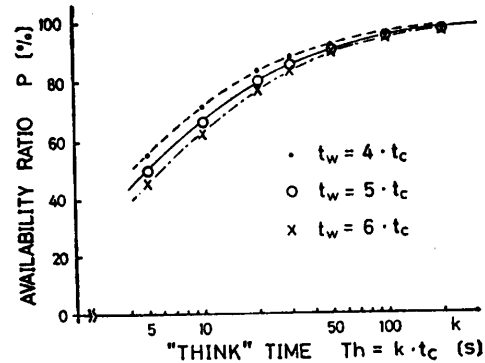


図 3 μP の稼働率

Fig. 3 Availability ratio of a microprocessor.
 T_h : "Think" time, t_w : "Wait" time.

表 1 四則演算のシンクタイムと μP の稼働率
Table 1 "Think" time for arithmetic operations and the availability ratio of a microprocessor.

演 算	クロック数 L	シンクタイム $T_h * t_c [s]$	μP の稼働率 $P [\%]$
$Z = X + Y$	510~824	42.5~68.7	89.5~93.2
$Z = X - Y$	526~826	43.8~68.8	89.8~93.2
$Z = X * Y$	602~624	50.2~52.0	90.9~91.2
$Z = X / Y$	610~640	50.8~53.8	91.0~91.4

多くする。

共有メモリへのアクセス回数を少なくすることによって、シンクタイムを見かけ上長くする。

などが必要である。汎用の単一システムでの大容量主メモリシステムでも、同種の問題が議論されており、その対策として、キャッシュメモリ方式が広く利用されている。

$\alpha-16$ では、ローカルメモリを設け、プログラムをこの領域に格納して実行させている。メインメモリはデータ格納用として利用されるので、比較的低い性能の μP であることから考えて、本システムでの平均シンクタイムは長いと予測される。表 1 に、 $\alpha-16$ で 4 バイトの浮動小数点データの四則演算を連続して実行する場合の平均シンクタイムと各 μP の稼働率を示す。ただし、稼働率は、アクセス競合が起こらないときの値である。また、データはすべてメインメモリに格納されているものとする。科学技術計算（浮動小数点演算）にかぎって言えば、各タスクの平均シンクタイム T_h は、 $50 t_c[s]$ 以上であると考えられる。したがって、アクセス競合が起こらないとき、各 μP を稼働率 $P \geq 90 [\%]$ で動作させるには、平均ウェイト時間 $t_w \leq 5 t_c[s]$ が望まれる。

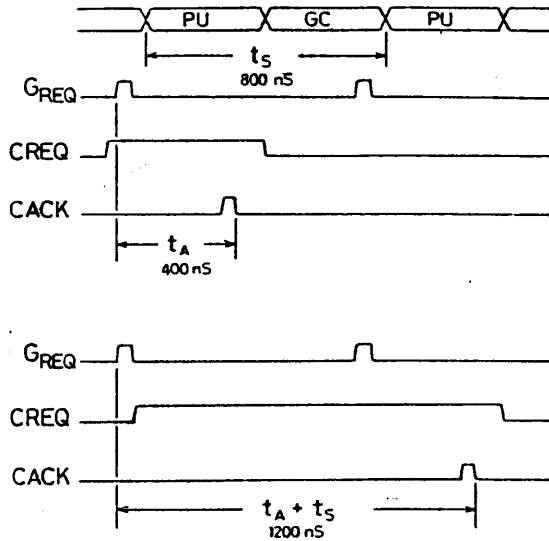


図4 メインメモリのアクセス時間

Fig. 4 Access-time of the main memory.

α-16 では、メインメモリを 16 台の μP とグラフィックコントローラとで時分割利用させている。図4に示すように、メインメモリのアクセス時間 $t_{AA}[s]$ は、次式で与えられる。

$$\begin{aligned} \min t_{AA} &= t_A \\ \max t_{AA} &= t_A + t_S \end{aligned} \quad (5)$$

したがって、メインメモリをアクセスするとき、 μP へ挿入される平均ウェイト時間 $t_w[s]$ (共有バスの平均アクセス時間 $t_{AC}[s]$) は、

$$\begin{aligned} t_w \approx t_{AC} &= t_B + t_A + \frac{1}{2} t_S \quad [s] \\ &= 5t_c \quad [s] \end{aligned} \quad (6)$$

である。これは、特定の μP が 1 台のみ動作しているときの平均ウェイト時間であり、アクセス競合が起こらないときの値である。

4. アクセス競合による μP の処理能力の低下

共有バス方式で最も問題とされるのは、共有資源の利用をめぐるアクセス競合による各 μP の処理能力の低下である。各 μP は、共有バスの使用权をめぐる相互に競争する。競争に負けた μP は、次の機会まで共有バスの利用を待たされウェイト時間が増加する。

n 台の μP が同一のタスクを同時に実行しているとき、共有バスアクセス時に各 μP に挿入される平均ウェイト時間は、1 台のみ動作しているときの共有バスの平均アクセス時間 t_{AC} と、 n 台の μP のアクセ

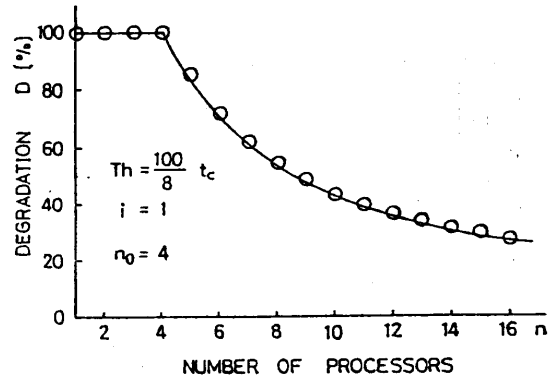


図5 単一共有バスでのアクセス競合に起因する性能低下

Fig. 5 Performance degradation due to conflicts in access to the single common bus line. $i=1$: uninterleaved.

ス競合によって加わるバスアービタでの平均待ち時間 (メインメモリのサイクル時間 t_s の整数倍) との和で与えられる。

$$t_w \approx t_{AC} + m t_s \quad [s] \quad (7)$$

ここで、 m は次式で与えられる。

$$m = \begin{cases} 0, & n \leq n_0 \\ \frac{n}{i} - n_0, & n > n_0 \end{cases} \quad (8)$$

ただし、

i : メインメモリのインタリーブ数. α-16 では、 $i=4$ 。

n_0 : シンクタイム T_h のとき、同一の共有バスでのアクセス競合による待ち時間の増加を起こさないで動作可能な μP の台数. 次式で与えられる。

$$n_0 = 1 + \frac{T_h}{t_s} \quad (9)$$

したがって、同時に動作する μP の台数が n 台のとき、各 μP の TASK 処理時間は、次式で与えられる。

$$T(n) = L t_c + l(t_{AC} + m t_s) \quad [s] \quad (10)$$

1 台のみ動作しているときの μP の処理能力を 1 としたとき、 n 台の μP が動作しているときのアクセス競合による各 μP の処理能力の低下率は、次式で表される。

$$\begin{aligned} D(n) &= \frac{T(1)}{T(n)} \times 100 \quad [\%] \\ &= \frac{100}{1 + \frac{m t_s}{T_h + t_{AC}}} \quad [\%] \end{aligned} \quad (11)$$

図5および図6に、(11)式の結果を示す。図5は、単一共有バス ($i=1$, インタリーブしない) におけるシ

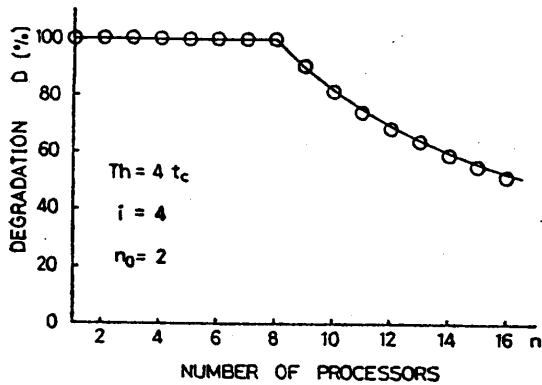


図 6 共有バスでのアクセス競合に起因する性能低下 (4 インタリーブ方式)

Fig. 6 Performance degradation due to conflicts in access to the common bus lines. $i=4$: 4 way interleaved.

シンクタイム $T_h = (100/8) \cdot t_c [s]$ のとき、図 6 は、4 組の共有バス ($i=4$, 4 インタリーブ方式) におけるシンクタイム $T_h = 4t_c [s]$ のときのアクセス競合による性能低下をそれぞれ示している。図中○印は、 α -16 での実測値を示す。理論値とよく一致している。

以上のことから、 n 台の μP が同一のタスクを同時に実行しているとき、システムのハードウェア特性 (共有バスの遅延時間 t_b , 共有資源のアクセス時間 t_A , サイクル時間 t_s) とタスクの平均シンクタイム T_h とを用いて、各 μP の稼働率 $P(n)$ および、共有バスでのアクセス競合による処理能力の低下率 $D(n)$ を陽的に解析できることがわかった。

5. 検 討

(1) μP の稼働率

α -16 で n 台の μP が同一のタスクを同時に実行しているとき、各 μP の稼働率は、(3)式と(7)式より次式で表される。

$$P(n, T_h) = \frac{100}{1 + \frac{t_{AC} + m t_s}{T_h}} \quad [\%] \quad (12)$$

図 7 に示すように、 α -16 では以下に示す二つの要因によって、共有資源アクセス時同期のために μP へ挿入されるウェイト時間が増加し各 μP の処理能力が低下する。

(i) 資源の共有 (t_{AC} の増加) : D_b

資源を共有化したために、資源本来のアクセス時間 t_A に加えて、バスドライバ、ケーブル、マトリックススイッチ (バスアービタを含む) 等による信号遅延

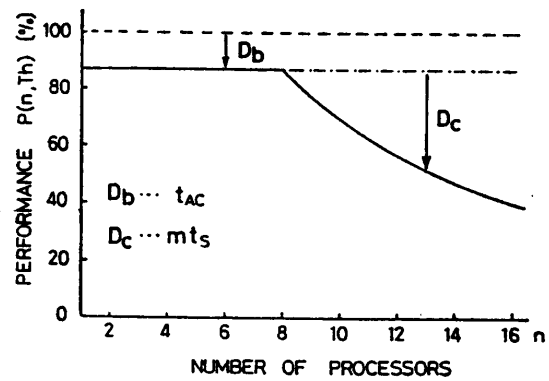


図 7 α -16 システムの μP の性能低下

D_b : アクセス時間の増加による性能低下, D_c : アクセス競合による性能低下

Fig. 7 Performance degradation of the α -16 system.

D_b : Degradation caused by increasing the access time through the common bus, D_c : Degradation due to conflicts in access to the common bus lines.

時間 t_b が加わる。したがって、この t_b を極力短くすることが望まれる。

(ii) アクセス競合 ($m t_s$ の増加) : D_c

アクセス競合による待ち時間の増加は、共有資源のサイクル時間 t_s の m 倍 (m は整数) と大きく、各 μP の稼働率を大幅に低下させる。ただし、特定のタスク (シンクタイム T_h) の並列処理に限定した場合、共有バスのインタリーブ数 i を以下のように定めれば、

$$i \geq \frac{n}{1 + \frac{T_h}{t_s}} \quad (13)$$

アクセス競合による待ち時間の増加を回避でき、 μP の稼働率の低下をほぼ起こさないで並列動作可能なシステムを構成できる。

システム領域、ファイル領域、I/O 領域 (CBUS₄ ~ CBUS₇) は、非同期式のアクセス方式であり、 μP の平均アクセス時間 t'_{AC} は次式で与えられる。

$$t'_{AC} = t_b + t'_A \quad (14)$$

ただし、

$$t'_A = 600 \quad [\text{ns}]$$

メインメモリ以外の共有資源のアクセス時間

$$t'_s = 800 \quad [\text{ns}]$$

サイクル時間

したがって、(12)式に代入すれば (ただし、 $i=1$)、同様の方法で μP の稼働率、共有バス (CBUS₄ ~ CBUS₇) でのアクセス競合による処理能力の低下率を求めることができる。

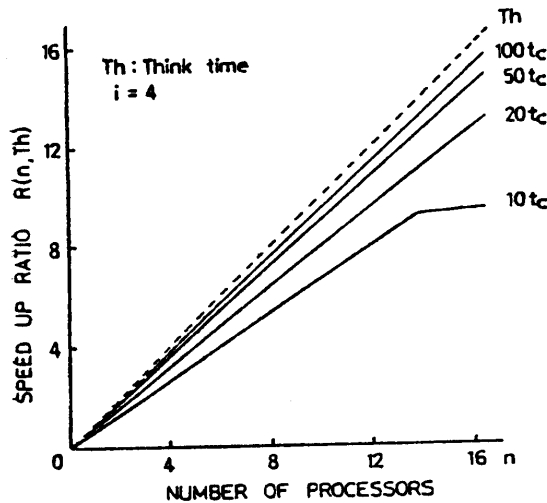


図 8 α -16 システムの速度向上比
Fig. 8 Speed up ratio of the α -16 system.

(2) α -16 システムの速度向上比
 α -16 の速度向上比を次式で表す。

$$R(n, T_h) = nP(n, T_h) = \frac{n}{1 + \frac{t_{AC} + mts}{T_h}} \quad (15)$$

図 8 に、 α -16 での各シンクタイム $T_h[s]$ に対する速度向上比を示す。 $T_h \geq 12tc[s]$ のとき、ほぼ μP の台数に比例した性能が得られる。 μP の台数をさらに増加させたシステム α - n の速度向上比を図 9, 10 に示す。図 9 は、 $i=4$ 、図 10 は、 $i=8$ としたときの値である。ただし、ハードウェア特性は、現在の α -16 と同等とする。 μP の台数を増加しても、それ以上速度向上比が増加しない飽和台数は、次式で与えられる。

$$n_{max} \approx i \left(1 + \frac{T_h}{ts} \right) \quad (16)$$

以上のことから、並列処理システム（共有バス方式）の性能特性は、処理するアルゴリズム（タスクの平均シンクタイム）に大きく依存することがわかった。タスクの平均シンクタイム $T_h[s]$ の大きいアルゴリズムが望まれる。

(3) 共有バス方式並列処理システムの性能限界
科学技術計算用システムの性能（処理速度）は、一般に、MFLOPS (Million Floating Operations Per Second) で表される。ここで、4 バイトの浮動小数点データをメモリより取り出して処理するのに要する時間を $T_i[s]$ とすれば、 n 台の μP を用いた並列処理システムの MFLOPS は、次式で与えられる。この

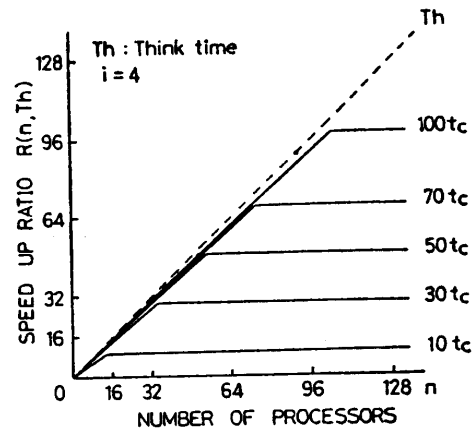


図 9 α - n システムの速度向上比（4 インタリーブ）
Fig. 9 Speed up ratio of an α - n system with 4 way interleaved memory.

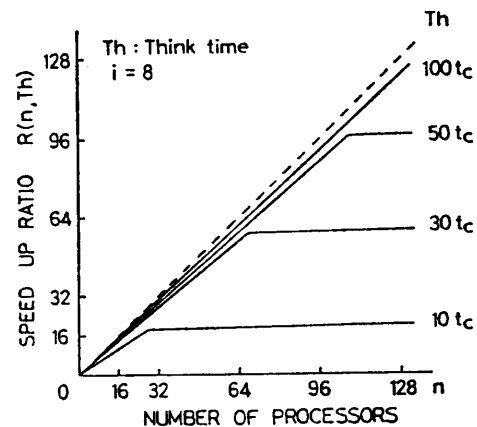


図 10 α - n システムの速度向上比（8 インタリーブ）
Fig. 10 Speed up ratio of an α - n system with 8 way interleaved memory.

とき、データ（4 バイト）は、共有メモリに格納されているものとする。

$$MFLOPS \approx \frac{1}{T_i} nP(n, T_h) 10^{-6} \quad (17)$$

ただし、タスクの平均シンクタイムを以下のようにする。

- 1) 共有バスのアクセス方式が 1 バイト/アクセス（8 ビット μP ）のとき、 $T_h \approx T_i/4$
- 2) 共有バスのアクセス方式が 2 バイト/アクセス（16 ビット μP ）のとき、 $T_h \approx T_i/2$

結果を図 11 に示す。ここで、システムのハードウェア特性は、現在の α -16 と同等であるとした。図中実線は 8 ビット μP の場合、破線は 16 ビット μP を用いた場合を示す。共有バス方式のマルチ μP システ

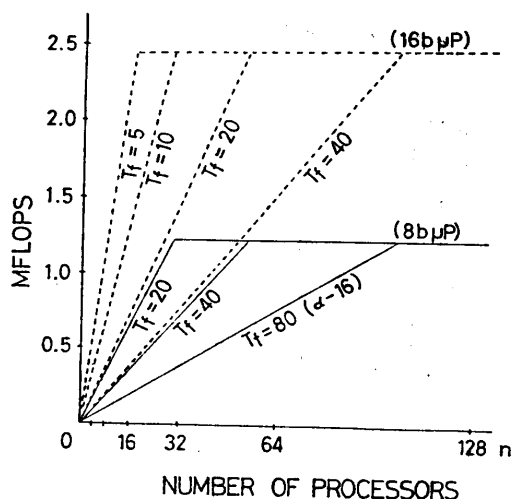


図 11 4 バイト浮動小数点データの処理速度
Fig. 11 Operating speed (MFLOPS) of 4-byte floating point data.

— : 1 byte/access (8-bit μ P), ---- : 2 bytes/access (16-bit μ P), $T_f[\mu$ S]: Processing time of 4-byte floating point data. $i=4$: 4 way interleaved memory.

ムには明らかにその性能限界がある。その限界は、利用する μ P の性能に関係なく、システムの構成法いかに大きく依存するという事である。高性能の μ P を使用すれば、シンクタイム T_h が短くなり、その結果、(1) で述べた各 μ P の稼働率が大幅に低下してしまうために、たとえアクセス競合を回避できたとしても、並列処理による処理速度の向上は望めなくなる。各 μ P の稼働率を $P \geq 80\%$ に保つためには、シンクタイム $T_h \geq 4t_{AC}$ であることが α -16 のアーキテクチャを適用できる限界と考えられる。

以上、タスクレベルでのシステムの性能特性を、陽的に解析できることを示した。本方法では、各パラメータ（ハードウェア、ソフトウェア特性）とも平均値を用いている。適用できる範囲は、各タスクが比較的大きく（データ数が多く）プロセッサが長時間ほぼ同一の動作を繰り返している場合に限られる。タスクが小さく（データ数が少なく）各プロセッサの同期が頻繁に行われる場合には、タスク起動時の初期競合による待ち時間（本方法では無視している）が累積し、無視できない値となる。

6. おわりに

共有バス結合によるマルチ μ P システムの性能特性の解析、評価について、 α -16 システムを例に述べてきた。各 μ P が同一のタスクを用いて並列動作して

いるとき、システムのハードウェア特性（インターリーブ数、共有バスの信号遅延時間、共有資源のアクセス時間、サイクル時間）と、ソフトウェア特性（タスクの平均シンクタイム）とを用いて、各 μ P の稼働率、アクセス競合による処理能力の低下率を陽的に解析できることを示した。さらに、共有バス結合による並列処理システムでの処理能力向上のボトルネックを明確にし、その対策についても述べた。

今後の課題は、多重化共有バスのジョブレベルでの解析法の確立にある。共有バスの多重度、共有資源の配置等は、動作させる処理アルゴリズムに大きく依存するものと考えられる。現在、数種のタイプの異なる問題を用いて、 α -16 システムの評価を行っている。

参 考 文 献

- 1) 高橋義造：並列処理のためのプロセッサ結合方式，情報処理，Vol. 23, No. 3, pp. 201-209 (1982).
- 2) Bhandarkar, P. D.: Analysis of Memory Interference in Multiprocessors, *IEEE Trans. Comput.*, Vol. C-24, No. 9, pp. 897-908 (1975).
- 3) Hoogendoorn, H. C.: A General Model for Memory Interference in Multiprocessors, *IEEE Trans. Comput.*, Vol. C-26, No. 10, pp. 998-1005 (1977).
- 4) 古谷立美：バス結合マルチプロセッサシステムの解析モデルと解析，情報処理，Vol. 17, No. 5, pp. 394-401 (1976).
- 5) 坂東他：制御用マルチコンピュータシステムにおける共有メモリの設計と解析，情報処理，Vol. 19, No. 9, pp. 810-816 (1978).
- 6) 樋口，内田：高機能接続装置による計算機複合体の接続方式とその評価，通信学論，Vol. J 65-D, No. 2, pp. 282-289 (1982).
- 7) 大森他：計算機複合体 MICS-II のシステム評価，情報学論，Vol. 20, No. 2, pp. 130-137 (1979).
- 8) 阿江，高橋，松本：共有メモリ結合によるマルチマイクロプロセッサの並列動作について，通信学論，Vol. J 65-D, No. 3, pp. 322-329 (1982).
- 9) 井上，小林：マイクロプロセッサを用いた並列処理システム α -16，シミュレーション第2回研究会資料，pp. 19-24 (1982).
- 10) Intel Component Data Catalog 1980, Intel Corp. (1980).
- 11) 井上，小林：マルチマイクロプロセッサシステム α -16 のアーキテクチャ，情報処理学会論文誌，Vol. 25, No. 4, pp. 632-639 (1984).

(昭和 58 年 8 月 17 日受付)

(昭和 59 年 1 月 17 日採録)