

(V) LSI 向けシステム設計技術の一考察と 構造解析用評価シミュレーション†

市古 喬 男^{††} 小高 康 邦^{†††} 松本 英 雄^{††††}

(V) LSI 高精度素子の進歩に伴い、現在、システム設計技術の新しいあり方がいろいろな角度から問われている。本稿では (V) LSI 向けシステム設計技術の現状および将来動向を分析した上で、(V) LSI 化に伴う諸問題を位置づけ、システム設計技術としての確かな方向を指向しよう (V) LSI 化に即応したシステム設計の考え方の一つを論じる。それと同時に、(V) LSI 向けシステム設計技術における主要な設計ファクタの一つである論理機能系での最適化に向け、ロジック (機能) デバイスを対象に拡張強化された構造解析用ソフトウェアを適用した機能評価シミュレーション事例にも言及する。

1. 序

汎用コンピュータ等の計数型電子装置システム (以下システムと称す) は、過去、真空管、トランジスタ、IC (Integrated Circuits) のようなハードウェア素子技術の進歩により、そのシステム構造、設計手法とも著しく改良されてきた。そして、現在 (V) LSI : (Very) Large Scale Integration 時代を迎えシステム設計は、かつてなかったほど、幅広くかつ奥行き深い見直しを迫られているといえる。周知のように、(V) LSI のような高精度素子では、性能/コストの最大化を目指してたえず集積度の向上に大きな努力が注がれている。しかし、ここでさらに重視されなければならないことは、素子レベルで得られている高性能/コストをいかに最終段階のユーザ利用時まで効果的に維持し発揮させるかということである。この (V) LSI 素子技術を効果的に活かした“(V) LSI 化システム”を実現するには、何が重視されなければならないか? ハードウェア素子の高精度化に伴い、システム設計情報は、多重化、多様化、高質化されてきており、しかもこのような状況のなかで高機能化、高性能化された素子を的確に駆使していくことがシステム設計者には要求される。

(V) LSI 時代到来が叫ばれて以来、今日まで少なからぬ日時が経過している。いまの PKG (Package) 製

造技術、相互配線のパターン印刷、サブストレート上の印刷技術等の姿は、すでに 20 年以上前に、米国の著名な設計者により予測されているし、とくに、数年来 LSI のシステム設計にもたらす意味について具体的に詳述されている^{1),2)}。さらに、最近のごとく (V) LSI とシステム設計の相互の関連性について頻りに論議されてきたにもかかわらず、その適用効果、制約等については必ずしも評価が定まっているとはいえない。たとえば、大型システムでは MSI (Medium Scale Integration) がよいと主張する設計者もいる³⁾、(V) LSI 向け最適ロジックのあり方についても種々の顕著な開発例を見る。少なくとも現状では、(V) LSI およびシステム設計技術間の相互インパクトをつねに的確に把握しつつ、双方の将来動向を見通した上で、(V) LSI 化システムの研究開発を段階的に進めていくことが一つの方策と考えられる。識者も指摘するように、システム設計技術における“VLSI”時代ははじまったばかりなのだから。この意味で、(V) LSI 向けシステム/チップアーキテクチャ、(V) LSI 向けロジックの研究開発も重要である^{4),5)}。一方、(V) LSI 化システム用設計ツールの実現も決して疎かにできない。本稿では、(V) LSI 向け汎用化システム/チップアーキテクチャの技術動向を踏まえた上で、(V) LSI 向け設計ツール (系) の実現に関連してシステム設計技術の観点から (V) LSI 向け設計/プロセスのあり方を論じ、事前の具体例として一評価実施例にも言及することとする。

2. (V) LSI/システム設計技術の主要動向と相互インパクト

ここでは、国内外で提示されてきた多くの主張とも

† A Concept of (V) LSI-Oriented System Design Shown with an Example of Evaluation for System Structural Analysis by TAKAO ICHIKO (C&C Systems Research Laboratories, NEC Corp.), YASUKUNI KOTAKA (EDP Planning Office, NEC Corp.) and HIDEO MATSUMOTO (NEC-TOSHIBA Information Systems Inc.).

†† 日本電気 C&C システム研究所 (旧 NTIS 研究所)

††† 日本電気情報処理企画室 (旧 NTIS 研究所)

†††† 日電東芝情報システム (旧 NTIS 研究所)

照合しつつ、著者らの重要と考える技術内容を中心に記述する。

まず、性能、機能/コストの面からは (V) LSI によりシステムコストの分布が大きく変動し、プロセッサ、メモリはコスト上の主コンポーネントとはならず、システム設計上の優先順位が大幅に低下するとみられている。たとえば、プロセッサの 1/2 近くを占めるロジック、メモリが 1/10 程度に低下する一方、周辺端末関係のコストは急増すると見る向きが多い。同時に、従来の複雑化、大規模化したソフトウェアも、(V) LSI の適用により著しい影響を受けることは必至である。次期システム設計では、構造の仮想化、階層化、機能の分散化等が重視されるが、過去のシステム設計上実現の困難視されていた諸概念ともども、効果的な実現が期待される。現在最新のアーキテクチャも (V) LSI の適用により、性能/コストの向上が可能であるし、最近注目の LSI モジュラーアーキテクチャにも期待がもてる。かつてのタグアーキテクチャ、パラレルアーキテクチャ (アレイ構成、パイプライン制御等) も、再びコスト他新たな観点から評価され直すであろう⁹⁾。とくに、RISC/CISC の両設計アプローチを越えた論議も始めているし、ソフトウェアを含めたシステムとしての広範囲なパラレル化の研究が進んでいる。

システムの実現面でも、モジュール化、標準化が進み、拡張性、融通性、サービス性が大幅に向上される。チップ、PKG、ボード等を含めたシステム全体としての統合的な実装方式が重視される。方式・形態により実装密度表示も容易でないが、共通の指標算出手法が要請される (例: 超大型システム 30 ゲート/立方インチ)。

(V) LSI 適用時の制約については、ピン数の制限と少品種大量生産を可能とするリピータビリティの確保が重要であるとみられている⁹⁾。しかし、ピン数は分割法と密接に関連しており、また広く指摘されるごとくピン数の多寡は回路の集積度との相対的な関連において論じられなければならない。少品種大量生産についても、CAD (Computer Aided Design) 等の進歩によっては多品種少量生産の可能性も存在しうるように、たんに超/高密度化技術のみに捉われず周辺技術との関連性に着眼する必要がある。(V) LSI の適用効果、制約条件等について、この点が重要である。

ここで、一般に論じられているように (V) LSI の適用効果としては、製造コストの低減、高性能化、高

機能化、ディメンジョン縮小、低消費電力化等がある。ただ、システムの製品化にあたっては、標準化、量産化、汎用性の可否等が重要である⁹⁾ (一品種当りの生産数が規定水準を越える必要がある。具体的数字を示す国外調査機関もある)。同様に、一般的制約としては、ピン数の制限の他、微細加工によるチップ集積度/チップ内占有面積、冷却能力から抑えられる消費エネルギー、スイッチング速度およびそれを左右する消費電力、試験機能 (テストビリティ)、フィールドでの保守・サービス技術、および実装技術等があげられる。次に、デバイス技術では、製造上歩留りがよく低消費電力で高集積化しやすいこと等の特徴をもつ MOS が優位を占めており、NMOS, CMOS 等が市場の成長と技術革新に即応し著しい展開を示している。たとえば、高速化でもスケールリング則に依りゲートチャネル長、酸化膜の縮小化を図る方向も次段階に入り、Mo ゲート方式、HMOS III 方式の採用にみられるようにポリシリゲートでの遅延等の諸問題が表面化しており 1 μ MOS 技術での課題と指摘されている。一方、その低電力性ゆえに早くから VLSI の有力候補と目されていた CMOS も、微細加工技術 (例: 2 μ ルール)、回路上の工夫等が着実に実を結びつつありロジック、メモリに重要な位置を示しつつある。ことに、昨今急伸長しつつある多品種少量生産方式に耐えうるゲートアレイでは、性能面でも HMOS 同様バイポーラを凌駕しうるともみられる CMOS 技術がその主力となりうると予測されている。従来の TTL, CML 等からの改良が続けられてきたバイポーラでは、低電力/ショットキ TTL, ECL が注目される。とくに、高速ロジック用素子としての ECL は、サブナノ秒の超高速領域に達しうる F100K の例にみられるように高性能システムにとって必須ともいわれている。しかし、高集積化だけでなく高性能化の面でも MOS に追い上げられつつあるように見えるバイポーラ技術は、従前の中大型システムが VLSI 技術に裏打ちされた新規アーキテクチャの開発・実用化とともに衰退するようなことがあれば、一部識者の指摘するごとくバイポーラの前途は決して楽観できないともいえる (10 数ピコ秒、ピコ秒レベルの GaAs, JJ 素子等を例に出すまでもなく)。上記の含意からも、高速性に問題があり 80 年代での予測が困難視されていた IIL は、過去ロジックデバイスとして 5 千ゲートアレイ/PLA も発表されているし高集積化・高速化の両面での著しい進歩が注視される。たとえば、酸化膜分離、ポリシ

り構造等への改良移行に伴い、VLSIとして重視される1チップ複合素子化への期待を担うものとの見方も首肯される。低電力化が図られデバイス技術の主流を占めることもありうるとされていたIILの開発方向に今後の解の一つを見いだせるかもしれない。

個々には、現在メモリ素子としてMOS/DRAMで16kから64kへの完全な移行が著しく、一方SRAMでも主力の4kが16kに交替するといわれている。とくに、前者の64kでは、ビットコストの面でもアクセスタイムの面(例:主流150~200nsec,高速向け120nsec前後)でも十分競争力をもってきており、予測どおり80年代に入り次々量産化に移行しつつある。ただ商用化も間近い256kDRAMをはじめ今後のVLSIメモリ素子として、素子数の高密度化に加え製造、設計、利用面等を容易化する種々のソフトウェア的配慮が試行・検証されるべきとみられる(たとえば、VLSI向けメモリアーキテクチャを背景にした冗長性の導入、不良個所の救済方式等)。また高速化・低電力化が同時に要求される後者では、CMOS技術の利点をもあわせ活かした高速低電力型MOSRAMが64kSRAM(256kDRAM相当)実現の最有力と強調する向きもある。とくに周辺のみCMOS技術を配した64kCMOSSRAMで同NMOSのアクセスタイム(50nsec)にも接近しつつある状態である(例:65~70nsec)。この他4kSRAMでも、たとえばNMOS/20nsec, CMOS/35nsecの発表例にも示されるとおり従来のバイポーラTTLは駆逐されかねない状況ともいえる。ただ過去高性能システム向け高速DAT, キャッシュ制御向け等に発表された高性能バイポーラRAM(4k)の表示性能に引き続き82年度内にアクセスタイム10nsec以下が実用化とも観測された。市場の主流(ECLRAM)は、アクセスタイム10~15nsecといわれる。このように著しい高集積化・高性能化を背景に、今後アドレス能力の向上等の多機能化、構造の階層化、分散化、新規概念/方式にもとづくメモリ構成等のソフトウェアレベルにおける研究開発成果が重視される。

ロジック素子では、従来高速性の点で問題視されていたゲートアレイロジックも超大型システム向けでは1200~1500ゲートの高集積化(ECL)が実現され、国内外技術ともサブナノ秒の性能に大きく改善されてきている(ゲート当り0.8nsec/1500ゲート)。さきに触れたCMOS技術ゲートアレイも、6千ゲートチップが発表されてきている(2 μ ルール)。ただ、今

後高速性の面だけでなく多機能化・複合化等の観点からも、数年前から主張されているメモリ、マイクロプロセッサ等との複合化方式の面で効果的な成果が待たれる。とくに、高速化、複合化等でのそのキイとなるVLSI/CAD技術は、各研究開発機関でのその高機密性のため詳細を把握しにくいが従来以上にデバイス~システム間のブリッジとしての意義が高まるとみている。いわゆるマイクロプロセッサでは、32ビット化の発表が続いているが、技術の先導的意義を別にすれば80年代半ばまでの予測から8ビット/シングルチップが漸増するも、なお4ビット型が全世界需要量の過半数を占めるとされている。とくに、16~32ビット型では高集積化の面だけでなく(VLSI技術では従来の小~中型システムにおけるハードウェア/ソフトウェアの進歩過程と機相が異なると予想されるが)、O/Sをはじめソフトウェアレベルの先駆的システムアーキテクチャに見合う開発指向が重視される。ゲートアレイ方式に昨今押され気味にみえる標準機能デバイスとしてのマイクロプロセッサも、前記複合化等の研究開発に加え、大型システムの高インテリジェント端末/周辺部分等として高知能化・高集積化への指向を要請する向きが多い。

前記デバイス技術個々の動向の他、2章の末尾としてシステム能力に影響する数値指標を集約しておく。ゲート当りの遅延では、80年までに0.1~0.01nsecの間に縮められると予測されていたが、バイポーラで前記のとおりである(非Siデバイスでは、10psec台/演算速度が記録されている:JJ素子)。消費エネルギーも論理機能動作当りの計算では、1940年代 10^{-3} J近傍であったものが、I²L, CMOS(SOS)等で0.1~0.01pJ前後の数字が出ており、現状ではたとえばゲートアレイ/I²Lで:0.05~0.1mW, 15~50nsec(いずれもゲート当り)との近い値が示されうる(CMOSは、さらに低めである)。このような予測・修正をくり返しつつ、性能、機能をはじめ冷却方式のような実装面でも、将来像を的確に探っていくことができる。(V)LSI技術は、今後ともディメンジョンの縮小化が進められる一方、チップ面積は増加する傾向にあり、チップ当りのトランジスタ機能数は、(80年で10年前の5倍(5 $\times 10^6$)), 90年には20倍(2 $\times 10^8$)との指標が提示されており、とくにこの面でデバイス、回路設計の工夫の余地が著しく増大するとみられる¹⁰⁾。

具体的には、上記数字を裏づけに(V)LSI向けシ

システムを論じることが肝要である。さきに次世代システム構造の特徴をあげたが、機能的に分割されたシステム構成を採用することにより信頼度を向上し、同一デバイスを大量使用してリピータビリティを確保し、いわばトップダウン設計方法において少品種量産化による適用効果を実現しうる分散型構造が（システム設計の観点から）有望視されるものの一つである。規格化された分散型機能ブロック構造は、(V) LSI 化で重視される設計の容易化、設計ミスの抑止等からも設計方式として追跡に価するものの一つといえる。

3. システム設計における (V) LSI 化の諸問題

すでに、2章で (V) LSI 化に伴う諸条件として一般的な観点から論じたが、ここではシステム設計の観点から着眼されるべき問題点を捉える。

ハードウェア素子として高集積化の進むシリコンデバイスの限界については^{*}、理論的に Mead らが示している。サブミクロン技術によりデバイスがどれほど縮小化されても、印加電圧等が無限に小さくなるわけではなく 0.1~0.2 μm /最小デバイスディメンジョンの限界を克服することはできないと指摘されているが、サブミクロン技術に移行していくとディメンジョンの縮小により種々の複雑な問題が現出してくる。そのなかで主たるものとして、たとえば信号伝播等の遅延時間、回路の発熱量、配線容量等の問題があるが、相互に数多くの要因が深く関連し合っていることが特徴である¹¹⁾。このなかで、キイとなる設計ファクタを的確に抑え、システム設計目標に沿う最適化設計を実現することが、(V) LSI 向けシステム設計技術として最大のポイントの一つと考える。とくに、この最適化は従来のゲート数最小化というようなものでなく、高接続コスト/低計算コスト化の VLSI よりみればシステム定義からデバイス内機能セル実現に至る設計ステージでトポロジカルな規則性を導入し接続数を最小化することにより設計の容易化を図り設計ミスの多発を抑え VLSI の利用効果を実現することにあるともいえる。(V) LSI のシステム設計への適用については、1章にも少し触れたが、著者らは性能、機能、コストまたはハードウェア、ファームウェア、ソ

フトウェア等内の種々の設計ファクタ間トレードオフを設計目標に合わせて最適に実現することが、初めに着眼され進められるべきと考える。それにより、従来のシステム設計における数多くの面での不均衡が是正され、マンマシン系システムインタフェースとしての改良/改革が可能になると考えるからである。(V) LSI の適用効果、制約については、設計プロセスで一義的に解を出せるものでなく、将来指向システム構造、設計プロセス、設計ツール等が順次確立され、しかも設計ファクタ間で統合的な最適化が実現できてはじめて解が得られるものとする。このとき、(V) LSI の製造コストのみだけでなく、急増しつつある設計開発コスト等も含めたトータルコストの削減が可能になり、いわゆる均衡のとれたよいシステムが実現する。とくに、現在 LSI/システムの開発競争がますます熾烈になっており、設計開発現場でも (V) LSI 化に伴う開発リスクの極小化、設計サイクルの短縮化が必須となっているが、この面への貢献も少なからぬものがあると見られる。本稿ではマスクメーカーをはじめ数多くの設計サイクル上の隘路をもつ論理設計~実装設計までを単独に論じることはせず、アーキテクチャ設計と論理設計以下との設計情報の授受に着眼し、その効果的な手段・方式の実現をおもに論じている。これをベースに (V) LSI 化に伴う主要問題を論じ、(V) LSI (チップ) 設計とシステム設計 (ファクタ) 間の断層を除去し、(V) LSI 向け設計最適化の実現に寄与せんとするものである。なお、これまでの概念でいえば、大型~小型システムというシステム規模により設計ファクタの捉え方が異なる。たとえば、前者では高速化に、後者では低コスト化にそれぞれ最重点をおく。しかし、ここでは設計プロセスにおけるトレードオフの最適選択という双方にわたる共通技術に視点を置いている^{*}。

4. (V) LSI 向けシステム設計プロセス

一般的なシステム設計プロセスをワンチップの高集積化システム (Integrated System) を例としてマクロにかくと、図1のようになる。これは、アーキテクチャ設計とそれ以降の設計ステージに二大別できる。前者は、概念設計を含めシステム設計目標、性能仕様、機能仕様等のシステム仕様を固める段階であり、後者は、その結果に従って目的のシステムを実現していく

^{*} 非シリコンデバイスも期待されるが、本稿では、とりあえずシリコンデバイスを対象にしたシステム設計を論じている(たとえば、ジョセフソン/JJ 素子でも初期に、シリコンデバイスによるシステム試作開発が進められる)。

^{*} 従来のシステムファミリーにおけるモデルの概念が変容していくものとする(それを具体的に示した識者もいる)。

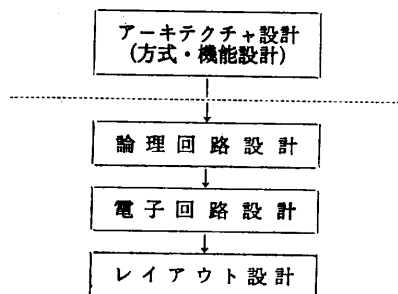


図1 高集積化システム設計プロセス

Fig. 1 General design process in integrated system.

ステージである^{*}。(V) LSI のような高精度素子を適用する高度化、多様化されたシステム設計プロセスでは、システム設計目標的確な実現のため個々の設計ステージでのフィードバックループだけでなく、各設計ステージ間で統合的なフィードバックループが実現される必要がある。従来、経験的にはこのようなフィードバックが部分的に実現されていたともみられるが、初期のステージから最終ステージまで (V) LSI 向けシステム設計では、大量・高度の設計情報が授受されるため、勘、経験により数多くの設計判断を誤りなく行うことは困難である。まして、図1に直接示されない詳細プロセスでは、(V) LSI の種類、適用方式等により大きく変わってくる。これは、いわばシステム設計～(V) LSI 技術間の関連性に起因し、現状および将来の技術動向でも大きく変動しうる。したがって、上記プロセス間で変動しにくいかつ伝達可能な設計情報(群)をベースに設計判断を行うようにする必要がある。とくに、アーキテクチャ上システム構造をきめる役割をもつと同時に、論理設計以下のロジック決定に主要な判断指標となりうる設計ファクタを確立することである。これによりアーキテクチャ設計まで含めた設計技術の統合化を指向しうる(例: 5章の記述参照)。

ところで、設計技術の自動化 (DA: Design Automation)¹²⁾ では、従来図1のうち論理設計ステージ以降においては、仕様で定められたロジックそのものの実現をいかに迅速にかつ低コストで行うかに向けられていた。最近、ロジックシミュレータの分野で機能レベルのものの研究が進み過去のゲートレベルから大幅に上位設計ステージに近づきつつあるとはいえ¹⁷⁾、該

* 本稿では、設計プロセスの各段階を設計ステージと呼ぶ。将来、設計プロセス上4ステージが統合化され1プロセスとしての各局面という性格が強くなるとみる。なお、“プロセス”とは、主として設計プロセスの意味で用いており、(V) LSI 等におけるデバイスプロセスではその旨明記している。

設計ステージでの設計データの大量化、処理の高速化に対処することが主目的であって、アーキテクチャ、論理設計以降間の設計情報となるには至らず、両者間で明確な区分がなされている。本来、識者によっては、システムのアーキテクチャはあまり変わらぬもので、アーキテクチャ設計自身とそれ以降とは明確に区別して考える向きもあるが、これとて技術動向に左右されるし、現実にはどのようなロジック構成でアーキテクチャが実現されているかは考慮の外にあるとはいえない。とくに、(V) LSI 適用によるワンチップシステムでは、該設計ステージ間の距離が縮まり相互インパクトが大きくなり種々の設計ファクタ間での最適化が避けられなくなる。他方、LSI 論理設計方式そのものについても、カスタム LSI、マスタスライス、汎用 LSI 等があり、ロジック実現の最適化をコストとの観点からみると、それぞれ利害得失がある。さらに、セミカスタム LSI のようにきめ細くなる傾向も強いが、ロジックに密着した効果的な LSI の切出しが問題である。現在、二つの強力な方向を中心に汎用～セミ/フルカスタム LSI にわたりきめ細かく利用側への対応が進んでいる^{*}。一つは、PLA のような従来のアレイロジックの延長線上にある実現方式であり、過去 PAL(Programmable Array Logic)、PMUX(Programmable Multiplexor)、SLA (Storage/Logic Array) 等も注目されたが、昨今ゲートアレイはデバイス技術、とくに CMOS 技術の導入により高速化、低電力化が同時に可能となり大きな需要量も期待されセミカスタムとしての位置を占めつつあるとする向きが多い。他は、最近の高性能、高機能のマイクロプロセッサのような標準型機能デバイスによる実現方式である。ハードウェア素子としての特定化だけの問題でなくソフトウェアのような利用技術とも関連して考え合わせる必要が従来以上に高まりつつある^{**}。通常、LSI 論理設計は、論理設計、回路設計、デバイス設計、配線配線設計とネットワーク処理、および検査系列設計

* 最近の高速化商用システムのうち、設計手法としてマスタスライス/ゲートアレイ方式 (ECL テクノロジー) を採用した顕著な例を眺めてみると、初期の MECL10K (ゲート遅延 2nsec, 消費電力 25mW) に比してゲート遅延で 2~3 分の 1 に、消費電力で 20~30 分の 1 前後改良された開発例 (電力遅延時間積で数十分の 1 程度に向上) がある。また、マイクロプロセッサを多用した初の商用化例にも関心が高まっている。(V) LSI 化システムとして前記は最終的な解でないにしても今後にもつ意味は小さくない (性能は詳細不明であるが、たとえば汎用型で 10 MIPS: Million Instructions Per Second 以上とみられ、該競合機種等に比して遜色はない)。

** マイクロプログラム方式は、システム設計の自由度をいちだんと向上させうるが、本稿では深く言及しない。

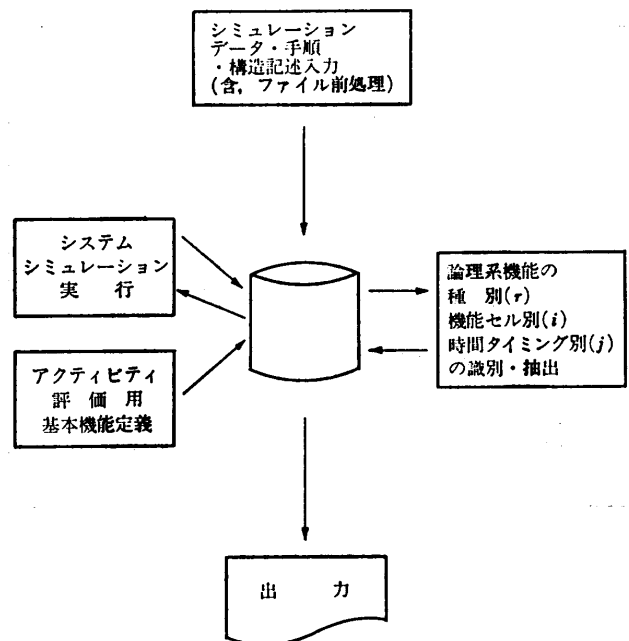
とテスタテープ作成等に大別され¹³⁾、この間の設計プロセスをいかに効果的に実現するかに重きがおかれ、論理設計より前の設計ステージとは一線が画されている。しかし、システムのワンチップ化の傾向にも強く見られるように、著者らは以前から、本来システム設計目標に沿った (V) LSI 化システム実現という立場からみて、設計プロセスは初期の概念設計から実現に至るまで一体化したものであり、論理設計以降からきり離して考えるべきでない、とのことを主張している。ちょうど、論理設計以降でも、たとえば動作速度、消費電力等の余裕で問題解決をするように、アーキテクチャ設計でも、ロジックの実現のしかたに多くの余裕が存在しうる。本来、設計プロセスとは、大小種々のレベルで階層構造をなしており、トップダウン、ボトムアップ方式という表現も、実現は容易とはいえぬが厳密な意味で論理設計の前後の設計プロセスが整合化できれば一つになりうるもので、設計プロセスの詳細に起因する相違が残るのみともいえる。最近、このような設計を統合化して見直そうとする動きが内外でも顕著になりつつある。ただ、その趣旨に沿う設計ツールの実現一つをとりあげても困難であり、具体化例は見いだしがたい。漸次、システム設計者と CAD 設計者の仕事は区分しにくいものとなっていくと見ているが、形式言語によるシステム仕様の取扱いをはじめ解決されねばならぬ問題は多い。かつて、IC, SSI (Small Scale Integration)~MSI が設計者の仕事の質を変えたように、(V) LSI はさらにシステム設計プロセス全体を含めた改良を要求しているといえよう。とくに、部分的な設計プロセスの従事に慣れている設計者には、縦割り、横割り方式の設計手順が整合化されかつ統合化された一貫プロセスを追跡できる資質が要求されているともいえる。最近、システム設計者、デバイス設計者の相互交流が盛んになりつつあることは、この先駆ともいえる。とくに、上記の趣意からライフサイクル内でクリティカルなシリコンコンパイルーションを越え、システム定義からパターン発生までにわたる設計ツールの統合化を図り利用可能な CAD 技術の最大値をひきだせるよう指向することが望まれる (例: シリコン設計環境の構築)。そのための一つのアプローチとして、VLSI 化に顕著な設計問題を扱いうる統合化シミュレーション解析系を実現し VLSI の利用効果に関する評価方式を見い

だすことである。そして、VLSI 化に見合う設計ツール群記述系を設計言語ベースで構築する方向が有効とみられる。

5. 構造解析用ソフトウェアによる評価実例

前章までに論じたように、(V) LSI 向け設計技術の統合化、最適化を目標に、その一環として諸種設計ファクタ (付録参照) のうちから最も困難視されているものの一つ、論理 (機能) 系の解析を試みたので、ここにまとめる。

論理系では、システム設計上論理設計以降に伝達可能な設計情報として、ハードウェア素子等のシステム実現資源を駆使しシステム設計目標に沿って遂行される論理機能動作が重視される。たとえば、論理系、熱系、電磁系等の設計各系のうち論理系は、システムのアーキテクチャに深く根ざしたもので、次の論理設計以降へのマクロな設計指標になりうる論理機能動作が重要である。従来、製造/保守/試験単位等に依存した SSI, MSI の分割単位に加えて、新しく (V) LSI では、いわば論理上の設計単位という概念を導入しようとする。本稿は、そのためのベースとすべき設計



注) r, i, j は、それぞれ基本機能定義番号、セル識別番号、時間タイミング順序を示す (後掲の例に示す如く機能セル別のセルマップで r, j は個別・連続番号指定共に可)。

図 2 論理系機能識別・抽出の概念図

Fig. 2 Conceptual figure in logic function verification.

TJ 4-7 FR 8-8 <CELL F (CNT)>

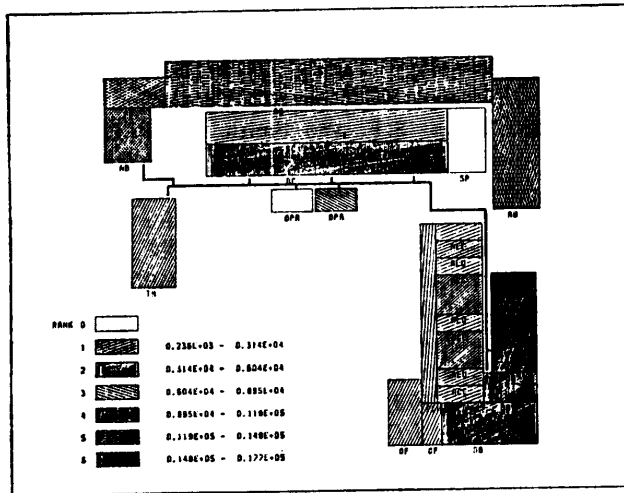


図 3 論理機能数出力図 (3)

Fig. 3 Logic function count output diagram (3).

表 1 基本機能セット評価事例

Table 1 An example of basic function assigned.

	パラメータ (r) 設定値	注
論理・算術演算	1-5	AND/OR/EX. OR ADD/SUBTRACT etc.
非論理・算術演算	6-9*	LOAD/STORE TRANSFER CLEAR etc.
転送	8-8	TRANSFER

チップ内機能セル α, β の間で遂行され、演算結果 r の内容とともに識別される演算の種類が、上記のように定義される。機能セル r は、 α または β と同一になりうる (転送については、 β は存在せず α のみとなる)。

* メモリ間転送モードの可否指定あり。

非論理・算術演算/転送動作を選び各詳細動作の種別/回数等をセル対応に識別した評価結果を図 3 に示す (図 3 参照: 本評価は、ある一つのセルにつきビット長の相違による動作回数も同様に累積している)。図 3 は、漸化式等による数値計算の実例 (複数 ROM チップにわたるも可) であり、表 1 に素動作となる基本機能定義例が与えられる。

ここに、 α, β, r とは、アドレス/データバス (AB/DB)、命令カウンタ (SC)、記憶アドレスレジスタ (AC)、命令レジスタ (OPR/A)、演算制御部 (ALU/OF)、アキュムレータ (ACC)、補助レジスタ (TM)、

スタックポインタ (SP)、ROM/RAM の一つを意味し、表 1 に関連する演算上の機能セルを示す。それぞれ表 1 に従い $r=1\sim 9$ に関し時間タイミング $j=1\sim 10$ で、表 1 の各詳細動作の 1 セルごとにおける種別/回数として示される論理機能数を、前述のようにセル上のビットパターン照合方式により評価したものである (単位は LOGIC FUNCTION COUNT; CNT である)。

図 3 は、本対象デバイスのレイアウト上におけるセルマップに従い、CNT 値を 0~6 の 7 ランクに分け描画されている (等号は下限値のみ適用)。本系では、シミュレーション実行後の累積データだけでなく、タイミング、セル等の各単位ごとに解析すれば、それぞれの中間特性もわかる。観点を変えて基本機能を一単位として解析することも可能である。この基本機能をセットとしてプロセッサ構造から指定した論理機能を切り出すことにも利用しうる。なお、ソフトウェア的にはコントロール遷移が複雑であり (再帰呼出し等)、効果的なモジュール化構成が図られている。またメッセージ転送 (シミュレーションインタフェイス)/プロセスコントロール (並列実行) 等にセマフォ機構¹⁵⁾のような高機能も要求される。ファイル規模を拡張すれば、論理機能特性の付加情報を本シミュレーションデータ構造に増設することも容易である。

6. 結 言

本稿では、(V) LSI/システム設計技術の現状/将来動向に照らして (V) LSI 向けシステム設計の一つの考え方を示し、その具体化のための解析実例として構造解析用ソフトウェアの機能評価を論じた。(V) LSI デバイスの高精度化を論ずるには、従来のようにたんにゲート数の多寡のみでは十分ではなく¹⁶⁾、システムとして実際に発揮され、かつ設計情報となりうる (高集積化) 機能に着眼する必要がある。とくに、本研究は、異種領域にわたり統合化された解析・評価系に着眼する研究手法を重視しており、設計の自動化、チップ設計等で大きく問題となりうる論理機能評価に一石を投ずべく試みられた。今後、さらに規模の大きい設計の統合化、最適化のための拡張強化を必要とする。したがって、多くの結論を引き出すことは適当でないが、次の諸点は重視される：

• 論理系における設計ファクタの定量化が可能であり電磁系を含め統合化手法に見通しを得たこと

• (V) LSI 向けシステム設計の最適化研究にも、シミュレーションソフトウェアが有用で、設計援助手段となりうること

• 異種設計ステージ間での整合化のため、(V) LSI 向け設計単位の導入がリピータビリティ他から効果的で可能性のあること

• プロセッサ構造に大きな影響をもち、論理設計の前後間で伝達可能な設計情報が存在し、それをベースに設計の階層構造化を指向しうること。

なお、論理機能上の動作データパスを介在に試行された本研究例は、VLSI 向け高集積化システム構造における論理系・物理系(電磁系、熱系)両系の設計ファクタに関する統合化解析・評価シミュレーション系のベースになりうること、同時に高集積化システム内機能セルの利用頻度に応じた性能・機能/コスト等の設計品質における(次代の)最適化を指向しうること、等々は重要であるが、ソフトウェアの観点から、設計ツールとして拡張のためファイル変換の充実化をはじめ、さらに高度の融通性、性能/機能面での向上等に改良の余地は残る。とくに、設計の記述性の強化、ハイブリッドシミュレーション(ハードウェア化の採用)の実現性、設計ツールの統合化(論理/ハードウェア回路/実装各構造解析のみならず種々の設計援助の可能性も)、等に対し研究の継続される必要がある(本評価例は、それらへの拡張性も考慮された)。

最後に、最近システムアーキテクチャとしても、マルチマイクロプロセッサ方式の実用化をはじめ、将来の非ノイマン型(例:データドリブン方式)システムの実現性等で再び急速に研究開発が盛んになってきたが、今後もこのような動向はたえず注視されなければならない。それから、(V) LSI デバイスサイドからの新規/改良アプローチを過小評価せずその潜在力を見通す努力も要求される。(V) LSI 技術自身の著しい進歩の中に新たな解が存在しうるからである。(V) LSI/システム設計技術は相互に補完し合っており、双方相俟って成長していくと考えるからである。

謝辞 本研究に関しては、日本電気、日本電気ソフトウェア、東京芝浦電気、日電東芝情報システム等より多くの援助を与えられたのでここで謝意を表す。とくに、本研究の遂行にあたりご助言、ご批評を与えていただいた関係各位に深く感謝する次第である。

参考文献

- 1) Greenblott, B. J. and Hsiao, M. Y.: Where is Technology Taking Us in Data Processing Systems?, NCC, pp. 623-628 (1975).
- 2) Dennis, S. F. and Smith, M. G.: LSI-Implications for Future Design & Architecture, SJCC, pp. 343-351 (1972).
- 3) Eberlein, D. D.: Custom MSI for Very High Speed Computers, COMPCON SPRING, Digest of Papers, pp. 295-298 (1979).
- 4) Rallapalli, K. and Verhofstadt, P.: MAC-ROLOGIC-Versatile Functional Blocks for High Performance Digital Systems, NCC, pp. 67-73 (1975).
- 5) Logue, J. C. et al.: Hardware Implementation of a Small System in Programmable Logic Arrays, IBM J. Res. Dev., Vol. 19, No. 2, March, pp. 110-119 (1975).
- 6) Feustel, E. A.: On the Advantages of Tagged Architecture, IEEE Trans. Comput., Vol. C-22, No. 7, pp. 644-656 (1973).
- 7) 石井善昭, 発田 弘, 箱崎勝也, 市古喬男: 高水準言語プロセッサおよび制御プログラムにおけるハードウェア/ソフトウェア機能分担の改善について, 電子計算機研究会資料, EC 74-19, pp. 49-58 (1974).
- 8) 元岡 達: 計算機のアーキテクチャ, 情報処理, Vol. 16, No. 12, pp. 1039 (1975).
- 9) 相磯秀夫: マイクロコンピュータのアーキテクチャとシステム構成, 情報処理, Vol. 17, No. 4, pp. 259-270 (1976).
- 10) Stein, K. U.: Mikroelektronik Jenseits von 1984, 7th Microelectronics Conference, pp. 189 (December, 1976).
- 11) Keyes, R. W.: Physical Limits on Computer Devices, COMPCON SPRING, Digest of Papers, pp. 294-296 (1978).
- 12) Levendel, Y. H. and Schwartz, W. C.: Impact of LSI on Logic Simulation, COMPCON SPRING, Digest of Papers, pp. 102-119 (1978).
- 13) 可児賢二: LSI の CAD, 電子通信学会誌, Vol. 61, No. 7, pp. 710-713 (1978).
- 14) 金井久雄: 大型システムからみた LSI, 西沢潤一編著/財団法人半導体研究振興会, 超 LSI 技術 2, 回路設計, 446 pp., pp. 291-315, 工業調査会 (1978).
- 15) 北村拓郎, 市古喬男: ACOS シリーズ NEAC システム 300/400/500 のアーキテクチャ, 日本電気技報, No. 114, pp. 6-12 (1975), 他.
- 16) 永田 穰: 複合デバイスをめぐる新しい動き, 電子材料, Vol. 18, No. 8, pp. 22-24 (1979).
- 17) 佐々木徹, 加藤俊一, 青山敏矩, 山田昭彦: MIXS (ミックスレベルシミュレータ) の概念,

情報処理学会第 21 回全国大会講演論文集, pp. 1159-1160 (1980), 他.

付 録

本研究では, シリコンコンパイルーション技術と相前後して最近急速に関心の高まりつつある VLSI 向けシリコンエンジニアリング環境構築技術と比較検討しつつ, さらに本試作シミュレータより高度かつ広範な統合化を図り, 次代の VLSI 向け高集積化システム設計評価指標算出技術の確立を高集積化システム論理機能シミュレーション (I) と高集積化システムデバイスパターン解析による回路/デバイスの物理特性シミュレーション (II) とから目指している (図 4).

現在, 本研究では, I, II の試作が完了しており, III の統合化評価のためのベース情報を提供できる状態にある (III も一事例研究可). III については, 今後, 次代高集積化システムアーキテクチャをはじめツール, デバイスの先端技術と比しさらに検討を加えていく必要があるが, VLSI 向け高集積化システム設計で重視されるのは, VLSI の利用効果に関する的確な評価技術である. すなわち従来のたとえばゲート数最小化等の設計指標に代わりうる新たな設計評価指標が要求されており, 本研究は, そのため次代 VLSI システムの設計概念, 方法, 手段等の技術動向とあわせて統合化設計技術の一実現形態を指向しているところである.

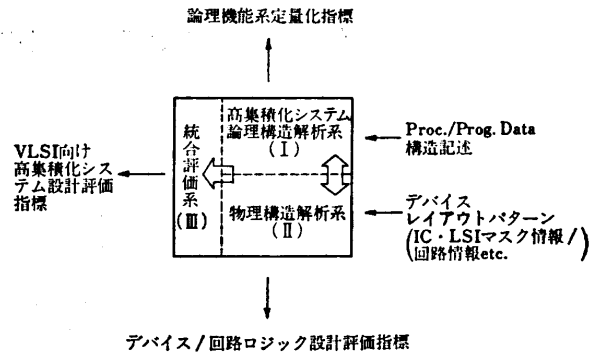


図 4 本系における設計情報入出力概要
Fig. 4 Input/Output design information flow in this procedure.

本系の実現については, 従来の設計概念, ツール技術等を拡張強化し, かつ新規開発を加えつつ確立されてきたもので, 上記の高集積化システム構造解析のほか論理的不整合の改良をはじめ本研究の今後の波及効果として, 最近海外にても散見されつつある一定のスピード (S)/スペース (S)/パワー (P) 定量値の下で (高集積化) システムが動作すべきであるという視点に具体的な指標を与えるだけでなく, I・II 両面からの実特性データを併せ導入した高集積化システム向け設計評価さらには VLSI 化に沿う設計最適化への方途が見出しうると考えている.

(昭和 58 年 8 月 29 日受付)
(昭和 59 年 6 月 19 日採録)