

CMOS LSIにおけるエネルギー最小点追跡のための 電源電圧としきい値電圧の動的調節指針

竹下 俊宏¹ 塩見 準¹ 石原 亨^{1,a)} 小野寺 秀俊¹

概要：電源電圧としきい値電圧を同時に調節することにより集積回路のエネルギー消費を大幅に削減することができる。MOS トランジスタのしきい値電圧はバックゲート電圧を変更することにより動的に調節可能である。マイクロプロセッサなどの集積回路のエネルギー消費を最小化する電源電圧としきい値電圧は、1) 回路に対する要求性能、2) 回路の活性化率、3) 回路の動作温度、に強く依存するため、エネルギー消費を常に最小に保つためには上記 3 つの条件の違いに合わせて電源電圧とバックゲート電圧を適切に調節することが重要である。本稿では、要求性能に合わせて CMOS LSI 回路のエネルギー消費を常に最小点に保つための電源電圧としきい値電圧の動的調節指針を提案する。プロセッサのクリティカルパスを模擬したインバータチェーン回路を用いて上記の指針を検証する。

1. はじめに

携帯型情報通信機器の世界的普及を背景に機器に組み込まれるプロセッサシステムの省エネルギー化が最重要課題の一つとなっている。2000 年には Dynamic Voltage and Frequency Scaling (以下 DVFS) 技術がパーソナルコンピュータ向けのプロセッサに採用され、低消費電力プロセッサの一つの流行を形成した。DVFS 技術は電源電圧と動作周波数を動的に変更することにより高速性能が要求されないときのプロセッサのエネルギー消費を大幅に低減することができる。プロセッサが電源電圧を下げた低電圧動作するときにはトランジスタのリーク電流による静的エネルギー消費の割合が大きくなる。2000 年代に入ると、動的エネルギーと静的エネルギーの合計を最小化するための技術として電源電圧だけでなくトランジスタのしきい値電圧を動的に調節する技術が研究された [1], [2], [3]。トランジスタのしきい値電圧はバックゲートに印加するバイアス電圧を変更することにより調節可能である。デバイスの微細化と回路の低電圧化が進むと、プロセスばらつきが回路の遅延時間に与える影響が大きくなるため、チップ製造後に回路性能を補償するための技術としてもしきい値電圧の動的調節技術が活発に研究された [4], [5], [6]。近年、しきい値電圧の制御性が高い完全空乏型 Silicon on Insulator (以下 FD-SOI) の量産プロセスを ST マイクロシステムが提供開始したことにより、しきい値電圧の動的調節技術がさ

らに高い注目を集めている。FD-SOI はしきい値電圧の制御性が高いため、広い動作電圧範囲でリーク電流を適切な値に調節可能である。日本国内においてもルネサスエレクトロニクスが 2016 年 3 月期中にも薄膜 BOX-SOI と呼ばれる FD-SOI 技術を用いたマイコンを製品化する方針で開発を行っていることを発表している。

本稿では、まず、CMOS LSI 回路のエネルギー消費を最小化する電源電圧としきい値電圧は、1) 回路に対する要求性能、2) 回路の活性化率、3) 回路の動作温度、に強く依存することを示す。次に、回路に対する要求性能の変化に合わせて電源電圧としきい値電圧を動的に調節することにより、与えられた要求性能の下で回路のエネルギー消費を最小化するための電圧調節指針を提案する。商用の 28 nm FD-SOI プロセスモデルを使用して設計したインバータチェーン回路を用いて上記の指針を検証する。

本稿の構成は次のとおりである。2 章で先行研究と本研究の違いを説明し、本研究の貢献を明らかにする。3 章では、ある要求性能の下で回路のエネルギー消費を最小化するための電圧調節指針を示す。4 章では、マイクロプロセッサのクリティカルパスを模擬したインバータチェーン回路を用いて上記の電圧調節指針を検証する。5 章では、回路の活性化率とチップの動作温度が回路のエネルギー消費を最小化する電源電圧としきい値電圧に与える影響を述べる。6 章で本稿をまとめる。

2. 関連研究と本研究の貢献

文献 [7] では、CMOS LSI 回路の消費電力が最小になる

¹ 京都大学大学院情報学研究科

^{a)} isihara@i.kyoto-u.ac.jp

ときの動的消費電力と静的消費電力の最適な比について簡単は解析モデルを用いて議論している. 文献 [8] では同様の議論を定性的に行っている. 文献 [2], [3], [5] は, 上記解析モデルを用いて消費電力を最小化する手法を提案している. 具体的には, 文献 [7] では, 回路が取りうる温度条件とプロセス条件の中で動作温度が最も高く, しきい値電圧が最も低くなるプロセスコーナーにあるときに下記式 (1) が成立し, 回路の消費電力が最小になるときの静的消費電力が全消費電力のおよそ 30% になることを述べている.

$$\frac{P_{LEAK,max}}{P_D} = \frac{2N_S\alpha}{\alpha - 1} \quad (\alpha > 1.1) \quad (1)$$

式 (1) の右辺は電圧 1 V で正規化することにより無次元化されている. ここで, $P_{LEAK,max}$ は, 回路が取りうる動作条件でのリーク電流による静的消費電力の最大値, P_D は動的消費電力, N_S は理想係数 (n_i) と熱電圧 (ϕ_t) の積, α は強反転領域における電流モデルである α 乗則 [10] のフィッティングパラメータを表す. 式 (1) が示すとおり, 30% の比は対象とする回路の活性化率や論理段数あるいは動作周波数に依存しない. 文献 [7] では, 式 (1) を導出する過程でテイラー展開による近似を行っているが, 強反転領域内の広範囲で電源電圧を変更する場合には, 静的消費電力が全消費電力に占める割合は対象とする回路構造や活性化率に依存する.

本稿では, α 乗則モデル [10] と典型的な消費電力の解析モデルを使用し, 以降の近似を一切行うことなく, 消費電力が最小になるときの静的消費電力の割合を示す. 本稿の解析結果にもとづくと, 消費電力が最小になるときの静的消費電力の割合は活性化率や動作温度および回路構造やプロセスばらつきに依存し, およそ 10% から 35% の間で変化する.

文献 [9] では, CMOS LSI 回路の弱反転領域における電流特性にもとづきサブスレッショルド回路の消費エネルギーに関する議論を行っている. 弱反転領域における回路遅延はしきい値電圧の指数関数に比例し, リーク電流にもとづく静的消費電力はしきい値電圧の指数関数に反比例するため, 遅延と静的消費電力の積によって求まる静的消費エネルギーは弱反転領域ではしきい値電圧を変化させても変化しないことを解析的に示している.

本稿では, 文献 [9] の議論にもとづき, 弱反転領域で回路の消費エネルギーが最小になるときの静的消費エネルギーの割合を解析モデルを用いて示す. 強反転領域での解析結果と同様に, 回路の消費エネルギーが最小になるときの静的消費エネルギーの割合は活性化率や動作温度および回路構造やプロセスばらつきに依存し, およそ 15% から 30% の間で変化する.

本稿ではさらに, 上述の解析モデルにもとづき, 強反転領域と弱反転領域の両領域において, 与えられた要求性能の下で回路のエネルギー消費を最小化するための電圧調節

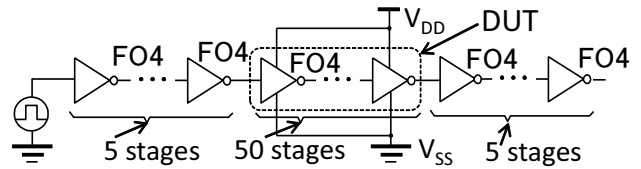


図 1 50 段ファンアウト 4 のインバータチェーン回路.

指針を提案する.

3. エネルギー最小化のための電圧調節指針

3.1 遅延と消費エネルギーのモデル

CMOS LSI 回路の電源電圧 (以下 V_{DD}) としきい値電圧 (以下 V_{TH}) を動的に変更して, 与えられた遅延制約の下で消費エネルギーを最小化する状況を考える. 本稿では, 図 1 に示すようなファンアウト 4 の出力負荷を持つ 50 段のインバータチェーンを対象に議論する. CMOS LSI 回路の消費エネルギーは式 (2) に示すとおり, 動的消費エネルギー (以下 E_d) と静的消費エネルギー (以下 E_s) で構成される. 式 (3) と (4) に示すとおり E_d は V_{DD} の二乗に比例し, E_s は V_{TH} の指数関数に比例する. k_1 と k_2 はフィッティング係数で, N_S は MOSFET の理想係数 n_i と熱電圧 ϕ_t の積 ($n_i \cdot \phi_t$) である. 文献 [7] と比較しやすくするために N_S は [7] と同じ記号を用いる. 理想係数の値は 1 以上 2 以下の値を取り, 本稿では 1.6 を使用する. 熱電圧は室温でおよそ 26 mV であるため, 簡単化のため本稿では室温での N_S の値として 42 mV を使用して議論する.

$$E = E_d + E_s \quad (2)$$

$$E_d = k_1 V_{DD}^2 \quad (3)$$

$$E_s = k_2 D V_{DD} e^{-\frac{V_{DD}}{N_S}} \quad (4)$$

強反転領域 ($V_{DD} \gg V_{TH}$) では, 式 (5) に示すとおり, α 乗則 [10] を用いて回路遅延を正確に近似できることが知られている. ここで, $V_{DT} = V_{DD} - V_{TH}$ であり, α の値は微細プロセスではおよそ 1.3 である. 文献 [11] は, V_{DD} が V_{TH} の近傍 ($V_{DD} \simeq V_{TH}$) の値になると α 乗則の誤差が大きくなり, 式 (6) に示す近似モデルが必要になると指摘している. V_{DD} が V_{TH} 以下になる弱反転領域では回路遅延は式 (7) によって近似できる [11]. k_4 から k_8 は回路遅延を近似するためのフィッティング係数である.

$$D = \frac{k_4 V_{DD}}{V_{DT}^\alpha} \quad (V_{DD} \gg V_{TH}) \quad (5)$$

$$D = k_5 V_{DD} e^{-k_6 V_{DT} - k_7 V_{DT}^2} \quad (V_{DD} \simeq V_{TH}) \quad (6)$$

$$D = k_8 V_{DD} e^{-\frac{V_{DT}}{N_S}} \quad (V_{DD} \leq V_{TH}) \quad (7)$$

3.2 消費エネルギー最小の必要条件

図 2 は図 1 に示すインバータチェーン回路に対する遅

延等高線とエネルギー等高線を示している。縦軸は回路に与える V_{DD} を、横軸は V_{TH} を示している。遅延値と消費エネルギーの値は 28 nm の FD-SOI CMOS プロセスモデルを用いて回路シミュレータにより導出した。図 2 中の破線が遅延等高線を、木目状の実線がエネルギー等高線を示している。与えられた遅延時間の下で消費エネルギーを最小にする電源電圧としきい値電圧をそれぞれ $V_{DD,opt}$, $V_{TH,opt}$ と定義すると、 $V_{DD,opt}$ と $V_{TH,opt}$ の組は、図 2 に示したとおり V_{DD} と V_{TH} の座標空間上では L 字型の曲線を描く。また、 $V_{DD,opt}$ と $V_{TH,opt}$ の組は、遅延等高線とエネルギー等高線が接する点であるため、エネルギー最小点では式 (8) が成り立つ。

$$\frac{\frac{\partial E_d}{\partial V_{DD}} + \frac{\partial E_s}{\partial V_{DD}}}{-\frac{\partial E_d}{\partial V_{TH}} - \frac{\partial E_s}{\partial V_{TH}}} = \frac{-\frac{\partial D}{\partial V_{DD}}}{\frac{\partial D}{\partial V_{TH}}} \quad (8)$$

式 (8) の左辺はエネルギー等高線の傾きを、右辺は遅延等高線の傾きを示している。式 (8) はエネルギー最小点において常に成り立つため、回路の消費エネルギーが最小であるための必要条件である。

3.3 弱反転領域動作におけるエネルギー最小点の軌跡

しきい値電圧以下の電源電圧で回路を動作させるサブスレッシュヨルド動作ではトランジスタが弱反転領域で動作するため、リーク電流は V_{TH} の指数関数に反比例して変化し、遅延は式 (7) のとおり V_{TH} の指数関数に比例する。したがって、弱反転領域ではリーク電流に起因する静的消費電力の変化と遅延時間の変化が相殺されて、静的消費エネルギー E_s は V_{TH} に対して変化しない [9]。サブスレッシュヨルド動作における E_s の V_{TH} 非依存性は、式 (4) に式 (7) を代入して得られる式 (9) によっても確認できる。

$$E_s = k_2 k_8 V_{DD}^2 e^{-\frac{V_{DD}}{N_S}} \quad (9)$$

また、式 (3) が示す近似モデルにおいては動的消費エネルギー E_d は V_{TH} に非依存である。上述した弱反転動作にお

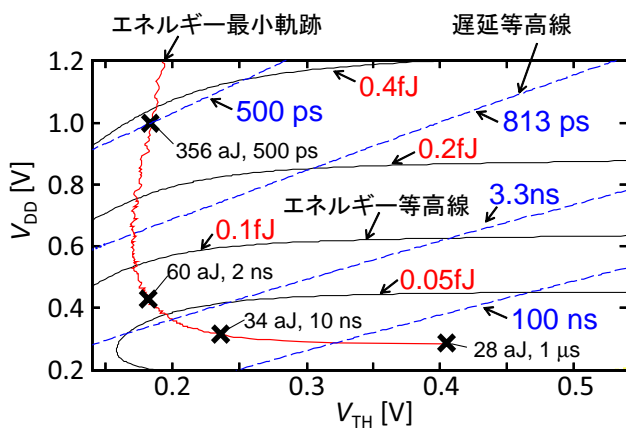


図 2 50 段インバータチェーンのエネルギー等高線と遅延等高線。

ける消費エネルギーに関する性質を式 (8) に反映させて整理すると式 (10) が得られる。

$$\frac{E_d}{E_s} = \frac{V_{DD}}{2N_S} - 1 \quad (10)$$

関数形から式 (10) を満足する V_{DD} は二点存在するが、二点のうち低い方の V_{DD} の値はおよそ $2N_S$ ($= 84$ mV) であり、ノイズマージンの観点から実用的な電源電圧ではない。そこで、式 (10) を満たす二点の V_{DD} のうち高い方の値のみを採用することを前提とすると、 $V_{DD,opt}$ はサブスレッシュヨルド領域では一点のみとなりエネルギー最小点における動的消費エネルギー (以下 $E_{d,opt}$) の値は変化しない。したがって、サブスレッシュヨルド領域で実用的な電源電圧を用いて回路を動作させる場合には、式 (10) は消費エネルギーが最小となるための必要十分条件である。図 3 に示すサブスレッシュヨルド領域でエネルギー最小点が水平に移動するのは上述したサブスレッシュヨルド動作の性質が理由である。つまり、回路の消費エネルギーは式 (7) の影響が強くなる領域 ($V_{DD} \simeq V_{TH}$) で改善しなくなり、サブスレッシュヨルド領域では一定となる。したがって、回路遅延に制約がない状況での最適な電源電圧 $V_{DD,opt}$ はしきい値電圧近傍の一定値となる。

3.4 しきい値近傍電圧におけるエネルギー最小点の軌跡

しきい値近傍の電源電圧で動作する回路のエネルギー最小点 (図 3 の Near-threshold と書かれた領域におけるエネルギー最小点) はサブスレッシュヨルド領域と同様である。式 (6) に示すとおり、しきい値近傍の電源電圧領域においても遅延は V_{TH} に対して指数関数的に変化するためである。リーク電流に起因する静的電力は常に V_{TH} の指数関数に反比例するため、静的電力の変化と遅延の変化が相殺されることにより、 V_{TH} を変化させても静的消費エネルギーはほとんど変化しない。一方、 V_{DD} が高くなり、 V_{DD} と V_{TH} の差が大きくなるとトランジスタの強反転動作の性質が次第に強くなり、 V_{TH} の低減に対して遅延が指数関数的に改善しないようになる。つまり、図 3 に示すとおり、ト

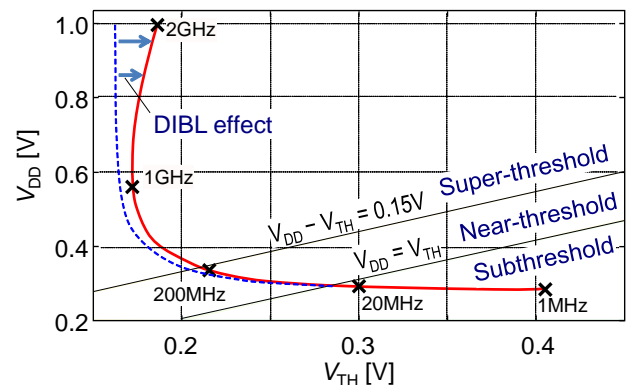


図 3 28 nm FD-SOI プロセスにおけるエネルギー最小点の軌跡。

ランジスタの強反転動作の性質が強く現れるようになるとエネルギー最小点の軌跡の傾きが次第に急峻になる。

3.5 強反転領域動作におけるエネルギー最小点の軌跡

強反転領域動作における遅延式 (5) をそれぞれ V_{DD} と V_{TH} で偏微分して整理すると式 (11) を得る。

$$-\frac{\partial D}{\partial V_{DD}} = \frac{\alpha V_{DD} - (V_{DD} - V_{TH})}{\alpha V_{DD}} \frac{\partial D}{\partial V_{TH}} \quad (11)$$

式 (3) が示すとおり, E_d は V_{TH} に非依存であるため, E_d の V_{TH} に関する偏微分は 0 である. 式 (11) と上述した E_d の V_{TH} 非依存性を式 (8) に反映させて整理すると式 (12) を得る.

$$\frac{E_d}{E_s} = \frac{\alpha V_{DD} - (V_{DD} - V_{TH})}{2N_s \alpha} - \frac{1}{2} \quad (12)$$

上式 (12) は文献 [7] で示されている式 (1) と類似しているが式 (12) が V_{DD} と V_{TH} に依存するのに対して式 (1) が V_{DD} と V_{TH} に非依存である点において本質的に異なる. 図 2 に示すとおり, 広い動作速度の範囲で回路を動作させるとき, $V_{DD,opt}$ と $V_{TH,opt}$ の組は要求される動作速度に応じて大きく移動する. さらに, 5 章で詳しく説明するが図 7 に示すとおり, $V_{DD,opt}$ と $V_{TH,opt}$ の組は回路の活性化率や温度にも依存して変動する. したがって, 式 (12) の値は一定ではなく, およそ 2 から 7 の範囲で変動する. 例えば, 図 2 に示すとおり評価回路を 500 ps で動作させるときには $V_{DD,opt}$ と $V_{TH,opt}$ の値はそれぞれ 1.0 V と 0.18 V であり, 静的消費エネルギーが全消費エネルギーに占める割合はおおよそ 20% である. 一方, 回路を 10 ns で動作させるときには $V_{DD,opt}$ と $V_{TH,opt}$ の値はそれぞれ 0.35 V と 0.25 V となり, 静的消費エネルギーが全消費エネルギーに占める割合はおおよそ 27% である.

式 (12) の右辺は上述のように 2 から 7 の範囲で変動する. 一方, 左辺の E_d/E_s は V_{DD} のおおよそ線形関数であるのに対して V_{TH} の指数関数に比例するため, 式 (12) が成立するためには, 要求性能の変化に対する $V_{TH,opt}$ の変化は $V_{DD,opt}$ の変化に比べて小さく抑えられる必要がある. 図 3 に示すスーパースレッショルド領域でエネルギー最小点がおおよそ垂直に移動するのは, E_d/E_s に対する V_{DD} と V_{TH} の感度が大きく異なることが理由である.

次に, 式 (12) がエネルギー最小点の十分条件であることを示す. 回路の遅延がある一定値 D_0 となる条件の下でのエネルギー最小点を考えるとき, 式 (3), (4), (5) を式 (12) に代入して整理すると下記式 (13) を得る.

$$\frac{k_1 V_{DD}}{k_2 D_0 e^{-\frac{V_{TH,D_0}}{N_s}}} = \frac{(\alpha - 1)V_{DD} + V_{TH,D_0}}{2N_s \alpha} - \frac{1}{2} \quad (13)$$

ここで V_{TH,D_0} は回路遅延が D_0 となるときのしきい値電圧であり, 式 (14) に示すとおりおおよそ V_{DD} に比例する.

$$V_{TH,D_0} = V_{DD} - \left(\frac{k_4}{D_0} V_{DD} \right)^{\frac{1}{\alpha}} \quad (14)$$

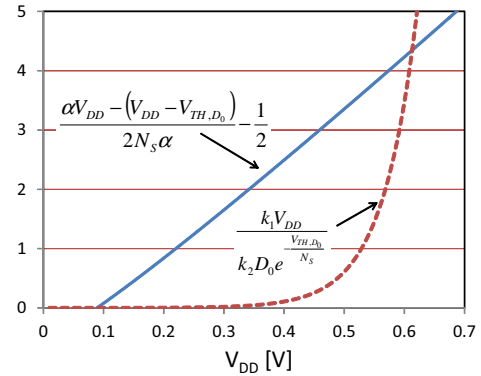


図 4 強反転領域におけるエネルギー最小点の電源電圧.

式 (13) の比例係数に適当な値を代入して左辺と右辺の値を比較した結果を図 4 に示す. 式 (13) の左辺を破線で, 右辺を実線で示す. 式 (13) を満足する V_{DD} は 2 点存在するが, 3.3 節の議論と同様に, 低い方の V_{DD} は N_s のおおよそ 2 倍から 4 倍の非常に小さい値となり実用的ではない. そこで, 2 点のうち大きい方の V_{DD} のみを採用することを前提とすると, ある特定の遅延時間で動作する回路のエネルギー最小点は一点のみ存在する. したがって, V_{DD} が V_{TH} より大きいスーパースレッショルド領域で現実的な V_{DD} を用いて回路を動作させる場合には, 式 (12) は与えられた遅延制約のもとで回路の消費エネルギーを最小にするための必要十分条件である.

3.6 DIBL がエネルギー最小点の軌跡に与える影響

スーパースレッショルド領域において消費エネルギーが最小になるように回路を動作させるとき式 (12) に従えば, $V_{TH,opt}$ は $V_{DD,opt}$ の低下にともなって増加する. つまり, 図 3 の破線に示すように, V_{DD} と V_{TH} の座標空間上ではエネルギー最小点は右肩下がりに移動する. 式 (12) のモデルと異なり, 図 3 の実線が示す回路シミュレーションの結果が左肩下がりとなる主な原因は Drain-Induced Barrier Lowering (以下 DIBL) であると考えられる. DIBL はトランジスタの実効的なしきい値電圧 (以下 $V_{TH,eff}$) がドレイン電圧の増加にともなって低下する現象である. DIBL の影響による $V_{TH,eff}$ の変化は式 (15) でモデル化できる.

$$V_{TH,eff} = V_{TH0} - \eta V_{ds} \quad (15)$$

ここで, η は DIBL 係数であり, 0.1 程度の値である. V_{TH0} は無バイアス時のしきい値電圧である. DIBL の影響が強ければ, バックゲート電圧を制御することなく V_{DD} の低下とともに $V_{TH,eff}$ が上昇しリーク電流が指数関数的に減少する. 図 2 と図 3 の横軸には DIBL の影響を反映していないため V_{DD} が高い領域では実際のしきい値電圧 ($V_{TH,eff}$) の値より V_{TH} の値が大きくなっている. したがって, DIBL の影響を考慮すれば式 (12) のモデルは回路シミュレーションの結果と整合している.

4. エネルギー最小動作のための電圧調節指針

3章までで行った議論が示唆する最小エネルギー動作に関する性質は以下のとおりである。

- (1) サブスレッショルド領域では要求性能に応じて V_{DD} または V_{TH} を調節しても消費エネルギーは改善しない。
- (2) しきい値近傍電圧領域では V_{DD} を固定して V_{TH} のみを要求性能に応じて調節することにより消費エネルギーを最小化できる。
- (3) スーパースレッショルド領域では V_{TH} を固定して V_{DD} のみを要求性能に応じて調節することにより消費エネルギーを最小化できる。

上述の性質を検証するために図1に示すテスト回路に対して異なる電圧設定の下でシミュレーションを行った。スーパースレッショルド領域としきい値近傍電圧領域に対する結果をそれぞれ図5と図6に示す。横軸は 10^6 サイクルの実行に対する時間制約を示し、縦軸は 10^6 サイクルの実行に要する消費エネルギーを示している。図5において時間制約が 0.5 ms のとき回路は 2 GHz で動作し、制約が 5 ms のとき 200 MHz 動作する。破線は、常に最適な V_{DD} と V_{TH} を使用できるときの消費エネルギーを示している。つまり、破線は理想的な状況における消費エネルギーに対応する。実線は、 V_{TH} を適切な値に固定し、 V_{DD} のみを時間制約に合わせて最適に調節したときの消費エネルギーを示している。 V_{DD} は 1.2 V から 0.35 V の範囲で変更するが V_{TH} は 0.21 V に固定している。破線と実線がほぼ一致していることが確認できる。両者の誤差は時間制約が 5 ms のときに最大となるが、高々 4% である。

図6において時間制約が 5 ms のとき回路は 200 MHz で動作し、制約が 50 ms のとき 20 MHz 動作する。破線は、スーパースレッショルド領域の実験と同様に、常に最適な V_{DD} と V_{TH} を使用できるときの消費エネルギーを示している。実線は、 V_{DD} をある適当な値に固定し、 V_{TH} のみを

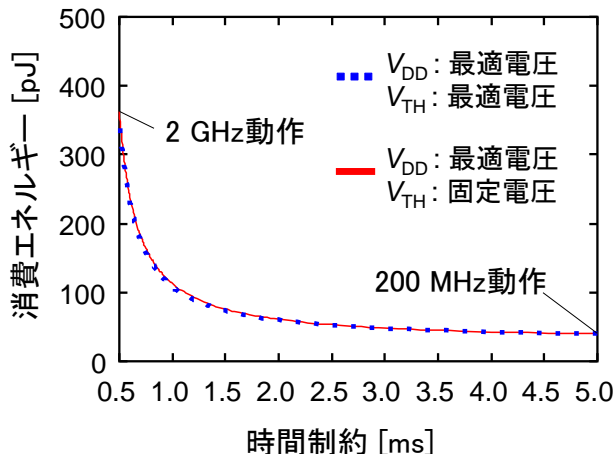


図5 スーパースレッショルド領域での動的電圧調節。

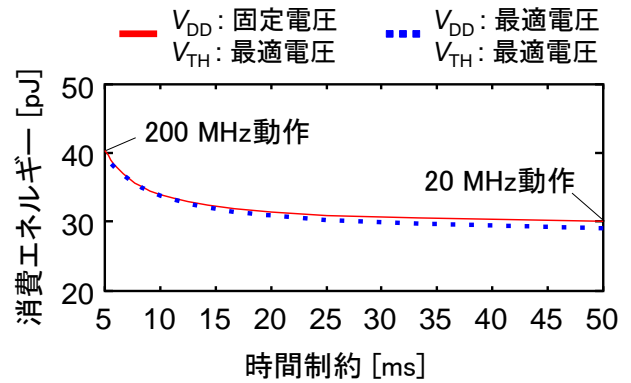


図6 しきい値近傍電圧領域での動的電圧調節。

時間制約に合わせて最適に調節したときの消費エネルギーを示している。 V_{TH} は 0.22 V から 0.3 V の範囲で変更するが V_{DD} は 0.32 V に固定している。スーパースレッショルド領域の結果と同様、破線と実線がほぼ一致していることが確認できる。両者の誤差は時間制約が 50 ms のときに最大となるが、高々 3% である。

上述 (1) のサブスレッショルド領域における性質は 3章で述べた解析結果より明らかである。したがって、動作電圧領域に応じて V_{DD} または V_{TH} の片方のみを時間制約に合わせて動的に調節することで回路の消費エネルギーを最小化できることが確認された。

5. 動作環境がエネルギー最小点に与える影響

温度と活性化率を変更したときのエネルギー最小点を図7に示した。活性化率は1クロックサイクル内に論理ゲートの出力が 0 から 1 に変化する確率と定義する。温度が上昇するかまたは活性化率が低下するとエネルギー最小点の軌跡は遅延等高線に沿って右上方向に平行移動し逆もまた同様であることが確認できる。

エネルギー最小点の軌跡が遅延等高線に沿って平行移動する理由は3章で述べた性質を用いて説明することができる。例えばスーパースレッショルド領域で回路を動作させるとき、式(12)に示したとおり静的消費エネルギーと動的消費エネルギーの比 (E_d/E_s) はおよそ 2 から 7 の範囲で変動する。一方、例えば活性化率が 0.1 のときにエネルギーが最小である回路の活性化率が 0.01 に減少するとき、動的消費エネルギーのみが 1/10 に低減することになるため式(12)に示す条件が成立しなくなる。回路の遅延を一定に保ったまま式(12)を成立させるためには V_{DD} と V_{TH} の両方を増加させる方向に変更する必要がある。つまり、あるエネルギー最小点から活性化率のみが減少するとエネルギー最小点は遅延等高線に沿って右上に移動する。温度が変動する場合も同様に解釈でき、しきい値近傍電圧領域やサブスレッショルド領域でも同様である。遅延等高線の傾きは式(8)の右辺の逆数であり、 $V_{DD} \geq V_{TH}$ の領域では式

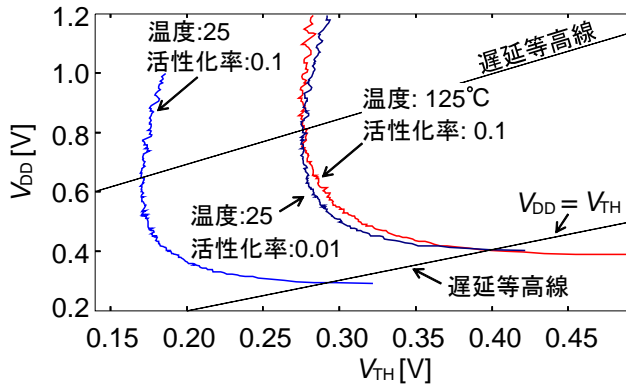


図 7 温度と活性化率がエネルギー最小点の軌跡に与える影響.

(16) で表すことができる.

$$\frac{\frac{\partial D}{\partial V_{TH}}}{-\frac{\partial D}{\partial V_{DD}}} = \frac{\alpha V_{DD}}{\alpha V_{DD} - (V_{DD} - V_{TH})} \quad (16)$$

遅延等高線の傾きはサブスレッショルド領域では常に 1 であり、スーパースレッショルド領域では V_{DD} と V_{TH} の差分におよそ比例して変化する。したがって、エネルギー最小点の軌跡における垂直部分は温度上昇または活性化率の低下にともない長くなる。しかし、エネルギー最小点を作る軌跡の L 字形状は温度や活性化率が変わっても変化しない。したがって、異なる温度条件や活性化率に対しても 4 章で述べた電圧調節指針が成立する。例えば活性化率が本質的に小さいメモリ回路などは活性化率の高い演算器と比べて高い V_{DD} と V_{TH} が消費エネルギーを最小化する。

回路の動作中にチップの温度や活性化率が変動する場合は、動的に最適な V_{DD} と V_{TH} を探索する必要がある。回路の動作中に温度や活性化率が動的に変動する場合の電圧調節手法の構築は今後の課題である。

6. おわりに

本稿では CMOS LSI 回路を強反転領域で動作させる場合と弱反転領域で動作させる場合の V_{DD} と V_{TH} の調節指針を示した。まず、 V_{TH} 以下の V_{DD} を使うサブスレッショルド動作はエネルギー消費の観点で優位性が無いことを示した。つまり、サブスレッショルド動作は V_{TH} 近傍の V_{DD} を使う場合と比べてエネルギー消費は同等であるが、速度性能は V_{DD} と V_{TH} の差分の指数関数に比例して劣化する。次に、 V_{TH} より十分に大きい V_{DD} を使って回路を動作させる場合は V_{TH} を比較的低い値に固定し、 V_{DD} のみを要求性能に合わせて動的に調節することにより回路の消費エネルギーを最小化することができることを示した。また、 V_{TH} 近傍の V_{DD} を使う場合は、 V_{DD} を適切な値に固定し、要求性能に合わせて V_{TH} のみを動的に変更することにより回路の消費エネルギーを最小化できることを示した。上記の性質は異なる温度や活性化率においても成り立つ。しか

し、回路の温度や活性化率が動的に変動する場合には、温度や活性化率の変動に合わせて V_{DD} と V_{TH} を動的に調節することが必要となる。温度や活性化率の変動に合わせた V_{DD} と V_{TH} の動的調節技術の開発は今後の課題である。

謝辞

本研究の一部は、総務省戦略的情報通信研究開発推進事業 (SCOPE) 課題番号 151107001 の助成により行われた。本研究の一部は、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社の支援により行われた。

参考文献

- [1] L. Yan, J. Luo, and N. Jha, "Joint Dynamic Voltage Scaling and Adaptive Body Biasing for Heterogeneous Distributed Real-Time Embedded Systems," *IEEE Trans on CAD*, vol. 24, no. 7, pp. 1030–1041, 7 2005.
- [2] K. Flautner, T. Mudge, and D. Blaauw, "Combined Dynamic Voltage Scaling and Adaptive Body Biasing for Lower Power Microprocessors Under Dynamic Workloads," in *Proc. of ICCAD*, 11 2002, pp. 721–725.
- [3] A. Basu, S.-C. Lin, V. Wason, and A. Mehrotra, "Simultaneous Optimization of Supply and Threshold Voltages for Low-Power and High-Performance Circuits in the Leakage Dominant Era," in *Proceedings of the 41st Design Automation Conference*, 7 2004, pp. 884–887.
- [4] P. Pant, V. K. De, and A. Chatterjee, "Simultaneous Power Supply, Threshold Voltage, and Transistor Size Optimization for Low-Power Operation of CMOS Circuits," in *IEEE Trans on VLSI Systems*, vol. 6, no. 4, pp. 538–545, 4 1998.
- [5] M. Nomura, Y. Ikenaga, K. Takeda, Y. Nakazawa, Y. Aimoto, and Y. Hagihara, "Delay and Power Monitoring Schemes for Minimizing Power Consumption by Means of Supply and Threshold Voltage Control in Active and Standby Modes," in *IEEE JSSC*, vol. 41, no. 4, pp. 805–814, 4 2006.
- [6] N. Mehta, and B. Amrutur, "Dynamic Supply and Threshold Voltage Scaling for CMOS Digital Circuits Using In-Situ Power Monitor," in *IEEE Trans on VLSI Systems*, vol. 20, no. 5, pp. 892–901, 5 2012.
- [7] K. Nose and T. Sakurai, "Optimization of V_{DD} and V_{TH} for Low-Power and High Speed Applications," in *Proceedings of Asia and South Pacific Design Automation Conference*, 1 2000, pp. 469–474.
- [8] T. Kuroda, "Optimization and Control of V_{DD} and V_{TH} for Low-Power, High-speed CMOS Design," in *Proceedings of ICCAD*, 11 2002, pp. 28–34.
- [9] B. H. Calhoun, A. Wang, and A. Chandrakasan, "Modeling and Sizing for Minimum Energy Operation in Subthreshold Circuits," *IEEE JSSC*, vol. 40, no. 9, pp. 1778–1786, 9 2005.
- [10] T. Sakurai and A. Newton, "Alpha-Power Law MOSFET Model and Its Applications to CMOS Inverter Delay and Other Formulas," *IEEE JSSC*, vol. 25, no. 2, pp. 584–594, 4 1990.
- [11] S. Keller, D. Harris, and A. Martin, "A Compact Transregional Model for Digital CMOS Circuits Operating Near Threshold," *IEEE Trans on VLSI Systems*, vol. 22, no. 10, pp. 2041–2053, 10 2014.