

ショートノート

三次元集積回路を想定した並列処理方式の一実現[†]

阿 江 忠^{**} 相 原 玲 二^{**}

並列処理の方式や試みは数多く発表されているが、実現可能な形態はハードウェア技術の進歩により変化する。本稿では、三次元集積回路の実現を前提に、縦方向は層間の結合のみができればよいという比較的緩い条件のもとで並列処理を実現する一方式を提案する。

1. ま え が き

並列処理の方式についてはいろいろな試みがなされているが¹⁾、高度化を追求すればするほど現状のハードウェア技術からくる障害のため、設計および実現に制約が加えられてしまう²⁾。その代表的なものはプロセッサ間の結合方式であり、結合ネットワークそのものの研究が一つの課題になる³⁾。

一方、IC が実用化された 1970 年代以降、半導体技術が MSI, LSI, VLSI と急速に進歩してきているという背景のもとに、これからの半導体技術で実現可能な新しいコンピュータ・システムの方式を考察することは十分意義深いことであろう。本稿では、実用化の兆しの見えてきた三次元集積回路を前提に⁴⁾、並列処理を実現する一方式を述べる。

2. 平面フローによる並列プログラム合成

直列プログラムを一つのモジュールとし、複数個のモジュールの集合、および、それらの相互作用から一つの並列処理プログラムを構成するという方法を前提とする。さらに、本稿では次のような仮定を置く。

- (1) モジュールは構造化された直列プログラムであり、基本単位を要素と呼ぶ。
- (2) 要素相互間の通信は要素間の相互結合としてあらわす。

これは、Modula-2, Occam など最近の並列プログラミング言語から考えても妥当性をもつ。

(1)の仮定から、モジュールは平面上のフローチャートで表現できる。これを平面フローと呼ぶ。

(2)の仮定は要素間の通信がメッセージ通信方式(message passing)か共有変数方式(variable sharing)なのかは陽とせず、単に要素相互間の結合として話を進める。

3. ハードウェア構造

基本的な考え方は次のとおりである。

ハードウェア構造は三次元であり、

- (i) X-Y 平面は一面ごと一つのモジュールに対応させる。
- (ii) Z 軸方向は各 X-Y 平面のモジュール間相互結合のために使う (図 1)。

論理表現であるモジュールの、X-Y 平面上でのハードウェア化には自由度がある。モジュールの中の処理単位である要素ごとに直接ハードウェアを対応させる場合から、いくつかの単位をまとめて(場合によっては、一つのモジュール全体を)一つのプロセッサに対応させる場合まで、いろいろな場合が考えられるが、いずれにせよ、一つの面への実現は通常集積化技術を仮定する。

一方、三次元集積化技術に対しては、理想的には縦方向(Z軸方向)にも論理素子の実現を期待したいが、ここでの要請、すなわち、平面フローをベースとする並列プログラムの実現の場合は縦方向には論理を用いない方式である。その際、モジュール間の相互結合には各面のメモリのうち共有すべき部分を同じ値となるよう結合してしまう方法(図 2)を用いる。

4. 三次元共有メモリ

図 2 で示したような三次元共有メモリの 1 ビット分を論理ゲートで示すと図 3 のようになる。スタティック型を想定しており、アドレス線、リード/ライト線は省略しているが、このように 1 ビットあたり 4 本の

[†] A Realization of Parallel Processing System Based on Three-Dimensional Integrated Circuits by TADASHI AE and REIJI AIBARA (Cluster II (Electrical and Industrial Engineering), Faculty of Engineering, Hiroshima University).

^{**} 広島大学工学部第二類 (電気系)

層間結合をもたせると同じアドレスのメモリの値はどの層においても同じ値とすることができる。このZ軸方向の結合はどのような技術で実現しても構わないが、光結合も一つの候補であろう⁵⁾。

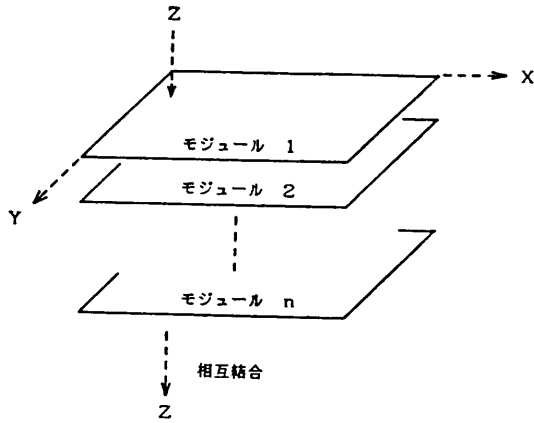


図 1 モジュールを平面に対応させた三次元構造
Fig. 1 3-Dimensional structure of planes corresponding to modules.

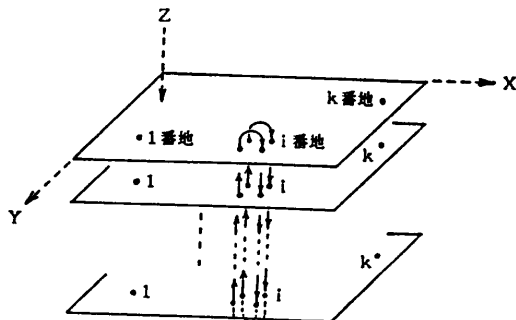


図 2 三次元共有メモリ
Fig. 2 3-Dimensional common memory.

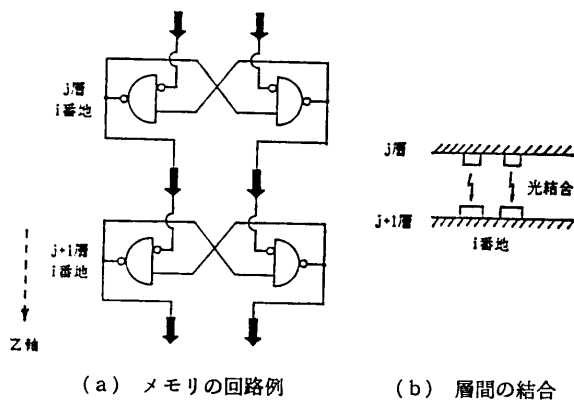


図 3 光結合による三次元共有メモリの例
Fig. 3 An example of 3-dimensional common memory with light coupling.

このような三次元共有メモリが実現された場合、アクセスの競合が問題となるが、アドレスごとのアクセス権の制御として処理すればよい⁵⁾。すなわち、ライトすべきアドレスが異なれば全く問題はなく、同一番地を複数の要素がアクセスする場合のみ調停の必要がある。この点はマルチリード・メモリ⁶⁾をトランスペアレント・メモリ⁷⁾へ進展させた場合と同じと考えてよいが、調停回路のハードウェアの大きさについてはさらに検討する必要がある。信号伝搬遅延は層が多くなると問題になるかも知れない。

5. 三次元共有メモリの使い方

X-Y 平面上のモジュール $M_i (i=1, 2, \dots)$ の要素が互いに異なるモジュールの要素と相互結合をもつとき、相互結合の条件から、共有メモリとなるZ軸方向の結合をどの位置にもたせるかという問題が生じる。

たとえば、図 4 のように二つのモジュール

$$M_1 = \{a_0, a_1, a_2, a_3, a_4, a_5\}$$

$$M_2 = \{b_0, b_1, b_2, b_3, b_4, b_5\}$$

が与えられたとき、相互結合 I が

$$I = \{(a_1, b_1), (a_2, b_2), (a_3, b_3), (a_4, b_4)\}$$

であるならば、図 5 のような構造をもたせ a_i と $b_i (i=1, 2, 3, 4)$ の重なり部分の共有メモリ部を図 2 のように実現すればよい。しかし、この例は一つの場合にすぎず、この問題を一般的に考えると、相互結合自体が上手くできるかどうかという問題にまで発展す

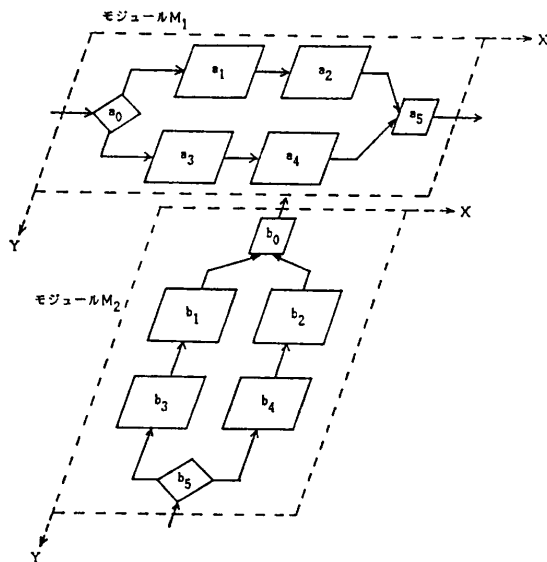


図 4 二つのモジュールの例
Fig. 4 Two modules.

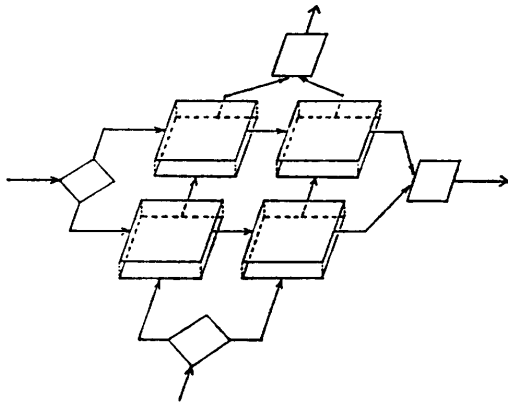


図5 二つのモジュールの結合条件より得られる三次元構造

Fig. 5 3-Dimensional structure produced by the connection of 2 modules.

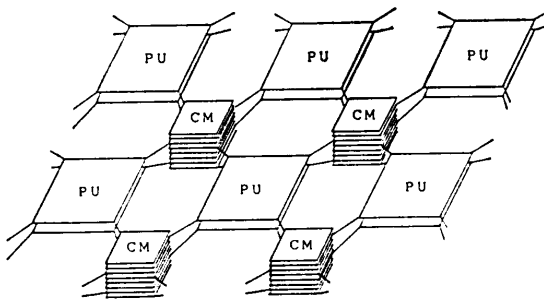


図6 三次元共有メモリによるプロセッサアレイ実現例
Fig. 6 An example of processor-array using 3-dimensional common memory modules.

る (理論上の興味は起こるが、本稿ではこれ以上言及しない)。

一方、与えられたフローからハードウェア構造を求めるアプローチとは逆に、一つの典型的なハードウェア構造を定めておき、その上に平面フローおよび相互結合を実現するという方法が考えられる。たとえば、プロセッサ (PU) を図6のようにアレイ状に並べ、プロセッサ間の結合および縦方向の結合に三次元共有メモリ (CM) を用いる方法である。この方法は CM の部分だけ三次元要素を用い PU は通常のマイクロプロセッサでよい。典型的な二次元プロセッサ・アレイ (図7) では一つの PU が他の PU と隣接する数は4であるのに対し、この場合、一面あたり8にできるという特長をもつ。むしろ、この場合、CMに必要な層の数はPUのつくる層の4倍になる。CMに必要なピン数はこの程度ならば実現可能な範囲に収まるものと思われる。

一つのモジュール内要素に対し、PUをどのように

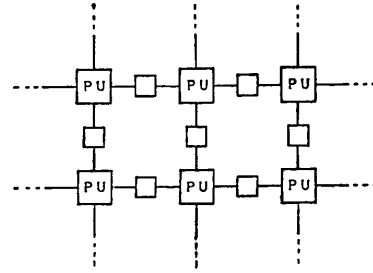


図7 二次元プロセッサアレイ
Fig. 7 2-Dimensional processor-array.

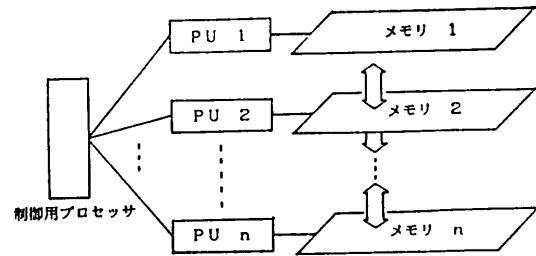


図8 三次元共有メモリを持つコンピュータシステム
Fig. 8 A computer system using 3-dimensional common memory.

割り当てるかということも一つの問題である。ただし、この問題はマルチプロセッサにおけるプロセッサ割り当て問題になるのでこれ以上言及しないが、一つの自明な解は一つのモジュールを一つのプロセッサに割り当てればよい。この場合は共有メモリは一つですむから、図8のようにまとめてしまえばよい。

6. むすび

並列処理を実現する論理的な一つのアプローチとして、まず、モジュールと呼ぶ直列フローを単位とし、単位ごとに平面上に実現する。次に、この平面上のモジュール内部の要素と他のそれとの相互結合を実現するため、三次元集積回路技術を用いて、縦方向の結合をするという方法を提案した。

4層の集積回路も実現可能であるという現状を考えると⁸⁾、あながち遠い将来の話でもないであろう。むしろ、システム評価など今後いろいろ検討すべき問題は多い。

謝辞 三次元集積回路の諸問題については、広瀬全孝教授はじめ本学集積化システム研究会の諸先生方との有益な討論が寄与しており、深く感謝します。

参考文献

- 1) Special Issue on Performance Evaluation of

- Multiple Processor Systems, *IEEE Trans. Comput.*, Vol. C-32, No. 1 (1983).
- 2) 相原他: 制限されたフローに対するマルチプロセッサのためのネットワークコストと性能評価, アーキテクチャワークショップインジャパン '84 シンポジウム, pp. 151-158 (1984).
 - 3) 高橋義造: 並列処理のためのプロセッサ結合方式, 情報処理, Vol. 23, No. 3, pp. 201-209 (1982).
 - 4) Kawamura, S. et al.: 3-Dimensional SOI/CMOS IC's Fabricated by Beam Recrystallization, IEEE International Electron Devices Meeting 1983, pp. 364-367 (1983).
 - 5) 阿江他: マルチプロセッサシステムのための光結合共有メモリ, 情報処理学会第28回全国大会, 3C-7 (1984).
 - 6) Chang, S. S. L.: Multiple-Read Single-Write Memory and Its Applications, *IEEE Trans. Comput.*, Vol. C-29, No. 3, pp. 689-694 (1980).
 - 7) 久野 巧: Transparent Memory とその性能評価, 情報処理学会第25回全国大会, 5F-4 (1982).
 - 8) Kawamura, S. et al.: 3-Dimensional Gate Array with Vertically Stacked Dual SOI/CMOS Structure Fabricated by Beam Recrystallization, 1984 Symp. on VLSI Technology, Digest, San Diego, pp. 44-45 (1984).

(昭和60年2月12日受付)

(昭和60年6月20日採録)