

C_010

FPGA 向大規模回路分割手法に関する研究

A Large Scale Circuit Partitioning Method for FPGAs

李 昱†
Li Yu

吉村 猛†
Takeshi Yoshimura

1. はじめに

近年の集積回路技術の進歩に伴い、LSI に搭載可能な回路規模が増大し、大規模なシステムをひとつの LSI 上で実現することが可能となってきている。それに伴い、FPGA などのハードウェアを使った大規模回路の検証速度の加速が重要となっている。しかし、この方式では、対象とする回路の規模が FPGA の規模より大きいのが普通であるため、個々の FPGA チップに収容できるサイズまで回路を分割する必要がある。本論文では、FPGA (Field Programmable Gate Array) 向け大規模回路分割手法に関する研究を紹介する。

2. FPGA 向回路分割

回路の分割問題は古くから研究されてきたが、従来の問題がカット数最小化を目的としているのに対し、FPGA を対象とした回路分割では、FPGA チップが使用する I/O ブロック数の最小化、FPGA 間パスの最小化などの制約(図1)を考慮する必要がある。そこで、本研究では、このような条件を考慮した分割方式の開発を行なう。

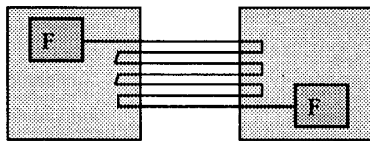


図1 FPGA 向回路分割の制約 (FF 間パスのスネーク)

3. 回路分割手法

3-1 Loop 集約処理を用いた回路分割手法

本問題では回路中の FF から FF に至るパスが対象となるため、まず、FF 間パスの情報を保存したまま、ゲートを除去し、最終的に FF だけからなるネットワークを構築する。これにより FF 間パスの処理を効率的に行うことが可能となる。例えば、回路中で一つの FF から同じ FF に至るフィードバックループを考えたとき、そのループ中のゲートが複数の FPGA に分割されるとこのループは FPGA 間を 2 回以上通過することになり、I/O ブロック数増加の要因となる。以下に述べるように、上記のゲート除去過程を記憶しておくことにより、このようなループを容易に発見することができる。

そして、FF ネットワークから得られたループ情報、パス情報をもとに、元の回路中の各ネット重みを決定し、その重みに基づいて既存の分割アルゴリズムを用いる。これにより、望ましくないネットの分割を回避することを目指す。

3-2 ゲート除去によるネットワーク縮約

大規模回路では FF 間パス数は膨大になるため、ゲートを逐次短絡除去することにより、FF だけからなるネットワークを構築する。例えば、図2の回路において、ゲート(a)を短絡除去すると図3となる。同様にゲート(b)、ゲート(c)、ゲート(d)を除去すると図4の回路が得られるが、この処理では元の回路のループは保存されるため、図4においてループを検出することにより、図2のループ(FF(A)-ゲート(b)-ゲート(d)-FF(A))を発見することができる。(注:説明の都合上、図4では除去されたゲートも記述しているが実際はFFのみからなるネットワークである)

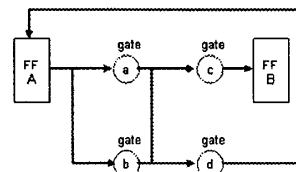


図2

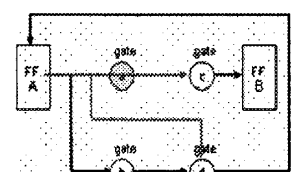


図3 ゲート(a)を除去

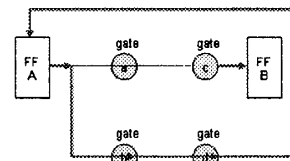


図4 ゲート除去後のネットワーク

3-3 除去ゲートの復元によるループ検出

除去されたゲートをその逆順に復元することにより、元の回路におけるループを検出する。

図4の例では、ループを見つけた後、最後に除去されたゲート(ゲート(x)とする)を復元する。このループを FF - ゲート(x)、ゲート(x) - FF の2本のパスで表現する。

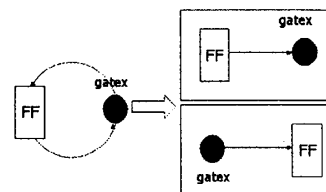


図4 ゲートの復元とループ

次に除去ゲート(new ゲートとする)を復元すると、図5の回路が得られる。この処理を FF と new ゲートの間に復元できるゲートが無くなるまで繰返すと元の回路におけるループが構成される。

†早稲田大学大学院情報生産システム研究科

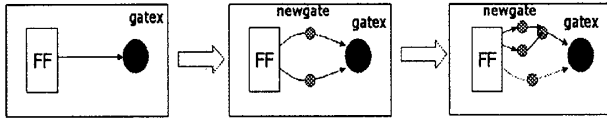


図 5

3-4 ネットの重みの決定

FFから同一FFに至る自己ループが複数のFPGAに分割されると、このループ(パス)少なくともFPGAを2回またがることになり、FPGA間パスの発生原因の1つとなる。

そこで、まず、上記の処理により回路中の自己ループを検出し、そのループ上のネットのweightを大きくする。その上で、既存分割手法を適用すれば上記ループ上のネットが分割される確率が減ると考えられる。

しかし、既存の分割手法は素子サイズが均一の場合に最も効率がよく、長いループの重みを大きくした場合、分割が許されない大規模部分回路が出現し、回路全体の分割結果が不安定となることが予想される。そこで、ループ中のゲートサイズによってネットの重みを計算する処理を導入した。

具体的には、三つの重み関数を考える。

- W1=200/i
- W2=300/(i*sqrt(i))
- W3=400/(i*i)

(i:一つのLoop中のゲート数)

3-5 既存分割パッケージの利用

hMetisは一般の大規模回路分割問題に対する代表的なソフトウェアパッケージであり、マルチレベル最適化手法を用いて、高速で高品質の結果を得ることができる。そこで、本問題に対して、ネット重みを調整し、本パッケージを適用することにより、FF間パスを考慮した回路分割を実現する。

4. 実現結果

4.1 ベンチマーク回路による計算機実験

実験回路: ISCAS89 Sequential Benchmark Circuits (<http://www.visc.vt.edu/~mhsiao/iscas89.html>) TOTAL= INPUT + DFF+ゲート(ゲート:and nand or nor xor not)。

実験に使用したデータを表 3-1 に、実現結果を表 3-2 に示す。

表 3-1 実験データ

回路番号	INPUT	OUTPUT	D-type FF	GATE	TOTAL
b02	1	1	4	22	27
b10	11	6	17	172	200
b14	32	54	245	9767	10044
s13207	62	152	638	7951	8651
s35932	35	320	1728	16065	17828

Hmetisbreakloop はネット重みを調整せずに回路分割パッケージ hMetis を適用したときのFPGAをまたがるループの数(分割されたループ数)である。次の3列はそれぞれ前記の三つの重み関数を使用したときの分割されたループ数である。この結果から、提案した分割手法は、ループを考慮しない単純な分割(hMetis)法に比べ、FPGAをまたがるループ数を大幅に削減していることがわかる。

表 3-2 実現結果

回路番号	Loopcount	Hmetis Breakloop	Experiment breakloopw1	Experiment breakloopw2	Experiment breakloopw3
b02	7	1	1(00%)	0(00%)	1(00%)
b10	32	0	0(04%)	0(03%)	0(03%)
b14	2140	146	6(4130%)	6(4130%)	6(41527%)
s13207	484	12	0(973%)	0(971%)	0(974%)
s35932	576	0	0(210%)	0(211%)	0(210%)

5. おわりに

本論文では、FPGA 向け大規模回路分割問題に対して、ゲートの短絡除去によりFFからFFまでループを検出する手法を提案し、ループ中のネット重みを調整することで、既存の高性能汎用分割パッケージ hMetis を使って狩を分割する手法を提案した。実験結果によると本手法は、計算時間とFPGA間をまたがるFF間パスの両面で良好な結果を得た。

参考文献

[1] J. Hwang, et al, "Optimal replication for min-cut partitioning", in IEEE/ACM ICCAD 1992, pp432-335.
 [2] N-C, Chou, et al, "Circuit Partitioning for Huge Logic Emulation Systems", in IEEE/ACM DAC 1994, pp244-249.
 [3] George Karypis and Vipin Kumar, "hMETIS - A Hypergraph Partitioning Package"
 [4] W. Kernighan, and S. Lin, "An Efficient Heuristic Procedure for Partitioning Graphs," Bell System Technical
 [5] C.M. Fiduccia, and R.M. Mattheyses, "A Linear-Time Heuristics for Improving Network Partitions," Proceedings of the 19th Design Automation Conference, pp.175-181, 1982.
 [6] Y. Wei, and C. Cheng, "Towards Efficient Hierarchical Designs by Ration Cut Partitioning," International Conference on Computer-Aided Design, pp.298-301, 1989
 [7] J. Babb, R. Tessier and A. Agarwal, "Virtual wires: overcoming pin limitations in FPGA-based logic emulators," in Proc. IEEE Workshop FPGA-Based Custom Computing Machines, Napa, CA, Apr, 1993, pp.142-151.