

## 組合せ論理回路における故障検査問題の 計算複雑度について†

藤原 秀雄††

一般に組合せ回路の故障検査の問題は NP 完全であり<sup>1)</sup>, NOT 素子を含まない単調回路に対しても NP 完全であることが知られている<sup>2)</sup>. 本論文では, 各外部入力に 3 以下の分岐を許し内部は AND と OR だけから成る樹枝状構造をした論理回路を対象とし, そのように制限された回路に対する故障検査の問題でさえも NP 完全であることを証明する. このことから, 故障検査問題の NP 完全性に影響するのは, 一つの分岐点から再収れんする経路数ではなく, 再収れんする分岐点の個数であることを明らかにする. さらに, 多項式時間で解ける一つのクラスとして分岐再収れん限定回路を紹介する.

### 1. ま え が き

論理回路の故障検査の問題は, 通常, 大きく 2 段階に分かれる. その一つは, 故障を検出するための検査入力を生成する段階であり, 他の一つは, 生成された検査入力を印加する検査段階である. 検査段階での故障検査の複雑度は, 検査方式によってその評価基準が異なるが, 検査に要する時間やデータの量で評価することができる<sup>2), 3)</sup>. 一方, 検査入力生成段階での複雑度を評価するものとしては, 検査入力生成アルゴリズムの計算複雑度を考えることができる<sup>1), 4), 5)</sup>.

一般に組合せ回路の故障検査の問題は NP 完全であり<sup>1)</sup>, NOT 素子を含まない単調回路に対しても NP 完全であることが知られている<sup>5)</sup>. 再収れんのない樹枝状回路の場合, 故障検査の問題は線形時間内で解けることは明らかである. 一方, 再収れんのある回路においては, 一般に検査入力を生成する際バックトラックが発生し, これが NP 完全性の要因になっている. 本論文では, この再収れん分岐と NP 完全性との関係を明らかにするために, まず, 各外部入力に 3 以下の分岐を許し内部は AND と OR だけから成る樹枝状構造をした組合せ論理回路を対象とし, そのように制限された回路に対する故障検査の問題でさえも NP 完全であることを示す. このことから, 一般に回路内部の一つの分岐点から再収れんする経路の数を定数で制限しても, 依然として NP 完全であることが導かれる. 回路内の分岐点の個数が  $k$  で限定される回路に対しては  $O(4^k m)$  で解けることから<sup>5)</sup>,  $k \leq \log p(m)$  ( $p(m)$  は信号線数  $m$  の多項式) の場合多項式時間で解けるこ

とになる. したがって, 故障検査問題の NP 完全性に影響するのは, 一つの分岐点から再収れんする経路の個数ではなく, 再収れんする分岐点の個数であることが分かる. 文献 5) では, 多項式時間で解けるクラスとして先頭分岐限定回路を紹介した. 本論文では, さらにこのクラスを含むより大きなクラスとして分岐再収れん限定回路を示す.

### 2. 充足可能性問題と NP 完全性

ここでは, 3 章で考察する故障検査の NP 完全性解析の準備として, そこでの証明に必要な充足可能性問題と NP 完全性に関する定理を示す. 最初に NP 完全性に関する用語を簡単に説明する. 詳しくは, 例えば文献 7) を参照されたい.

問題 A が, 非決定性アルゴリズム (決定性アルゴリズム) により入力のサイズの多項式時間内に解かれるならば, A はクラス NP (クラス P) に属しているという.

『もし問題 B を解く決定性多項式時間限定アルゴリズム (以下略して, 多項式時間アルゴリズムと言う) が存在するならば, 問題 A を解く多項式時間アルゴリズムが存在する』が言えるならば, 問題 A は問題 B に多項式帰着可能であると言い,  $A \in B$  と書く.

問題 P は,  $P \in NP$  かつすべての  $Q \in NP$  に対して  $Q \in P$  であるとき, NP 完全であると言う. 『問題 R が NP 完全であるとき,  $P \in NP$  かつ  $R \in P$  ならば, P は NP 完全である.』は容易に証明できるので, ある問題 P が NP 完全であることを証明するには,  $P \in NP$  であることと, すでに NP 完全であることが既知の問題 R が P に多項式帰着可能であることを示せばよい. Cook<sup>6)</sup>によって最初に示された NP 完全問題は, つぎに述べる充足可能性問題である.

† On the Computational Complexity of Fault Detection Problems for Combinational Logic Circuits by HIDEO FUJIWARA (Faculty of Engineering, Meiji University).

†† 明治大学工学部電子通信工学科

変数  $x$  に対して,  $x$  および  $\bar{x}$  をリテラルと呼ぶ. 各変数のリテラルをただか一つしか含まない論理和を和項と呼び, 和項の論理積を論理積形と言う. 論理式の変数に 0 または 1 を割り当てることにより, その論理式の値を 1 とすることができる時, その論理式は充足可能であると言う.

[充足可能性問題 (SAT と略す)]

入力: 論理積形の論理式  $E$

質問:  $E$  は充足可能か?

一般に充足可能性の問題は NP 完全であることが Cook<sup>6)</sup>により示されている.

[定理 1]<sup>6)</sup> 充足可能性問題は NP 完全である.

各和項には肯定変数と否定変数を同時には含まない論理式を項単調であると言う.

例えば,  $(x_1+x_2)(\bar{x}_2+\bar{x}_3)$  は項単調であるが,  $(x_1+x_2)(x_2+\bar{x}_3)$  は項単調でない. 項単調な論理式の充足可能性に関しては Fujiwara and Toida<sup>5)</sup>により, NP 完全であることが示されている.

[項単調充足可能性問題 (CM-SAT)]

入力: 各和項には肯定変数と否定変数を同時には含まない論理積形  $E$

質問:  $E$  は充足可能か?

[定理 2]<sup>5)</sup> 項単調充足可能性問題は NP 完全である.

否定変数を全く含まない単調な論理式や各変数について肯定か否定の一方だけを含むユネイトな論理式に関しては, 充足可能性問題は線形時間で解けることが知られている.

[ユネイト充足可能性問題 (U-SAT)]

入力: ユネイトな論理積形  $E$

質問:  $E$  は充足可能か?

[定理 3]<sup>5)</sup> ユネイト充足可能性問題は,  $O(n)$  の時間で解ける. ただし,  $n$  は論理式のサイズ (長さ) である.

論理回路内の再収れんの経路数が NP 完全性にどのように影響するかを見るために, 同じ変数が現れる回数を定数で制限した論理式の充足可能性問題を考察しよう.

[3-項単調充足可能性問題 (3CM-SAT)]

入力: 各変数がただか三つの和項にしか現れない, 項単調論理積形  $E$

質問:  $E$  は充足可能か?

[補題 1]  $x_1=x_2=\dots=x_m=\bar{y}_1=\bar{y}_2=\dots=\bar{y}_m$  となるための必要十分条件は  $(x_1+y_1)(x_2+y_2)\dots(x_m+y_m)$

$(\bar{x}_1+\bar{y}_2)(\bar{x}_2+\bar{y}_3)\dots(\bar{x}_m+\bar{y}_1)=1$  である.

[補題 2] 論理積形  $E$  に変数  $x$  が  $p$  個,  $\bar{x}$  が  $q$  個現れているとする. 新しく  $2m$  個 ( $m=\max\{p, q\}$ ) の変数  $x_1, x_2, \dots, x_m, y_1, y_2, \dots, y_m$  を導入し,  $E$  に含まれる  $p$  個の  $x$  を  $x_1, x_2, \dots, x_p$  で,  $q$  個の  $\bar{x}$  を  $y_1, y_2, \dots, y_q$  で置き換えた論理式を  $E'$  とする. この時,  $E$  が充足可能であることと,  $E''=E' \cdot (x_1+y_1)(x_2+y_2)\dots(x_m+y_m)(\bar{x}_1+\bar{y}_2)(\bar{x}_2+\bar{y}_3)\dots(\bar{x}_m+\bar{y}_1)$  が充足可能であることは同値である.

(証明)

$E$  が充足可能であるとする.  $E=1$  となる変数値を  $E'$  に代入する. ただし,  $E$  になく  $E'$  にある変数  $x_1, x_2, \dots, x_p, y_1, y_2, \dots, y_q$  に対しては,  $x_1=x_2=\dots=x_p=x, y_1=y_2=\dots=y_q=\bar{x}$  と置く. この代入により, 明らかに,  $E'=1$  となる. また,

$$(x_1+y_1)(x_2+y_2)\dots(x_m+y_m) \cdot (\bar{x}_1+\bar{y}_2)(\bar{x}_2+\bar{y}_3)\dots(\bar{x}_m+\bar{y}_1)=1$$

であるので,  $E''=1$  となる.

逆に,  $E''$  が充足可能とする.  $E''=1$  となる変数値は,  $(x_1+y_1)(x_2+y_2)\dots(x_m+y_m)(\bar{x}_1+\bar{y}_2)(\bar{x}_2+\bar{y}_3)\dots(\bar{x}_m+\bar{y}_1)=1$  を満たすので, 補題 1 から  $x_1=x_2=\dots=x_m=\bar{y}_1=\bar{y}_2=\dots=\bar{y}_m$  となる.

したがって,  $x_1=x_2=\dots=x_m=\bar{y}_1=\bar{y}_2=\dots=\bar{y}_m=x$  と置くことができ,  $E''=1$  となる変数値を  $E$  に代入すれば,  $E=1$  となり,  $E$  は充足可能である. (証明終)

[定理 4] 3CM-SAT は NP 完全である.

(証明)

明らかに,  $3\text{CM-SAT} \in \text{NP}$  である. したがって, NP 完全であることを示すために,  $\text{SAT} \approx 3\text{CM-SAT}$  を証明する.

今, 任意の論理積形  $E$  が与えられたとする.  $E$  に含まれる各論理変数  $x$  に対して, 補題 2 での変換操作を施してできる論理式を  $E^*$  とする. 変換操作の性質から,  $E^*$  は項単調であり, 各変数はただか三つの和項にしか現れない. また, 補題 2 より,  $E$  が充足可能であるための必要十分条件は  $E^*$  が充足可能であることである.

補題 2 の変換操作は, 論理式のサイズの多項式時間内で行えるので,  $\text{SAT} \approx 3\text{CM-SAT}$  が言える.

(証明終)

### 3. 故障検査

ここでは, AND, OR, NAND, NOR, NOT から成る組合せ回路の故障検査の問題を考察しよう.

故障検査の問題は、つぎのように定義される。

[故障検査問題 (FD と略す)]

入力: 組合せ回路と単一縮退故障.

質問: その故障を検出する入出力パターンが存在するか?

この故障検査の問題は、一般に NP 完全であること<sup>1)</sup>, AND と OR だけから成る単調回路に対しても NP 完全であること<sup>5)</sup>は知られている。

[定理 5]<sup>1)</sup> FD は NP 完全である。

[定理 6]<sup>5)</sup> 単調回路やユニイト回路の故障検査問題は NP 完全である。

しかし、組合せ回路の段数を 2 段に限定すれば、多項式時間内で解ける。

[定理 7]<sup>6)</sup> 2 段単調回路や 2 段ユニイト回路の故障検査問題は、 $O(m^2)$  の時間で解ける。ただし、 $m$  は回路の信号線数である。

組合せ回路の検査入力を生成するアルゴリズムにおいて、バックトラック発生の要因の一つに再収れん分岐の存在がある。これまで多くの検査入力生成アルゴリズムが報告されており、幾つかは実用化されている<sup>8)-10)</sup>。その中で、分岐点や再収れんの影響を考慮した発見的手法を採用している分岐指向型検査入力生成アルゴリズム FAN は、バックトラック発生回数を減らすのに成功している<sup>10)</sup>。

再収れんのない樹枝状回路の場合は、バックトラック無しに線形時間内で検査入力を生成することができることは明らかである。一方、再収れんのある回路においては、一般に検査入力を生成する際バックトラックが発生し、これが NP 完全性の要因になっている。この再収れん分岐と NP 完全性との関係を明らかにするために、図 1 に示すような各外部入力に 3 以下の分岐を許し内部は AND と OR だけから成る樹枝状構造をした単調回路を対象とし、その故障検査の問題を考察する。

[3-単調樹枝状回路の故障検査問題 (3MT-FD)]

入力: 各外部入力に 3 以下の分岐を許し内部は AND と OR から成る樹枝状構造をした単調回路と単一縮退故障。

質問: その故障を検出する入出力パターンが存在するか?

[定理 8] 3MT-FD は NP 完全である。

(証明)

明らかに、 $3MT-FD \in NP$  である。したがって、3MT-FD が NP 完全であることを示すために、定理 4

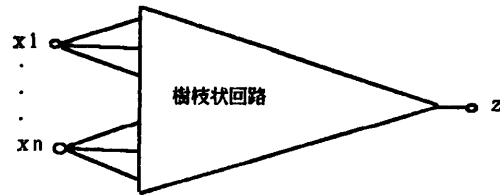


図 1 3-単調樹枝状回路  
Fig. 1 3-monotone-tree circuit.

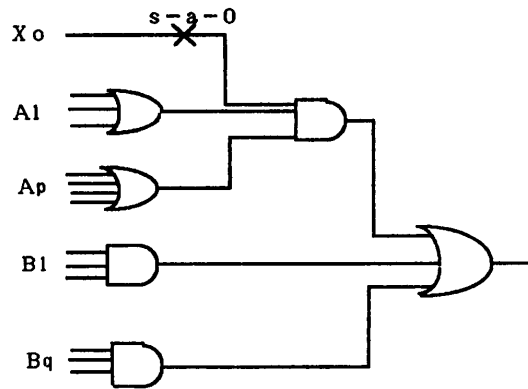


図 2 3 段単調回路  
Fig. 2 3-level monotone circuit.

で示した NP 完全問題 3CM-SAT が 3MT-FD に多項式帰着可能であることを示そう。

各変数はたかだか三つの和項にしか現れない項単調論理積形  $E$  が与えられたとする。  $E$  は項単調であるので、肯定変数から成る和項  $A_1, A_2, \dots, A_p$  と、否定変数から成る和項  $B_1, B_2, \dots, B_q$  の積として

$$E = A_1 A_2 \cdots A_p B_1 B_2 \cdots B_q$$

と表現することができる。

この  $E$  に対応して図 2 のような回路を構成する。

(1) 各  $A_i$  に OR ゲートを対応させ、その入力は  $A_i$  に属する変数とする。例えば、 $A_i = x + y + z$  とすれば、 $x + y + z$  の OR ゲート。

(2) 各  $B_i$  に AND ゲートを対応させ、その入力は  $B_i$  に属する変数とする。例えば、 $B_i = \bar{x} + \bar{y}$  とすれば、 $x \cdot y$  の AND ゲート。

明らかに、図 2 の回路は  $E$  のサイズの線形時間で作成できる。また、 $E$  には各変数がたかだか三つの和項にしか現れないことから、図 2 の回路は外部入力からの分岐は 3 以下である。図 2 の入力線  $x_0$  の 0 縮退故障の検査入力は、 $A_1, \dots, A_p$  に対応する OR ゲートの出力を 1 に、 $B_1, \dots, B_q$  に対応する AND ゲートの出力を 0 にする入力である。これは、 $A_1 \cdot A_2 \cdots A_p \cdot B_1 \cdot B_2 \cdots B_q = 1$  とする入力変数の組合せである。したが

って、 $x_0$ の0縮退故障の検査入力が存在するための必要十分条件は、 $E$ が充足可能であることである。したがって、 $3CM-SAT \approx 3MT-FD$ が言える。

(証明終)

定理8から、一つの外部入力から分岐する信号線を3以下と限定しても、その回路の故障検査の問題はNP完全であることになる。このことから、一般に、回路内部の一つの分岐点から再収れんする経路の数を定数で制限しても、NP完全であることが導かれる。一方、回路内の分岐点の個数が $k$ で限定される回路に対しては、 $O(4^k \cdot m)$ で解けることが示されており<sup>5)</sup>、信号線数 $m$ のある多項式 $p(m)$ に対して、 $k \leq \log(p(m))$ となる場合は、多項式時間で解けることになる。以上のことから、故障検査問題のNP完全性に影響するのは、一つ分岐点から再収れんする経路の個数ではなく、再収れんする分岐点の個数であることが分かる。

#### 4. 多項式時間で解けるクラス

組合せ回路の構造をかなり限定した回路に対しては、その故障検査の問題はNP完全であることが示されたが、実際の回路の中には多項式時間で解けるものも多くある。文献5)では、 $k$ -先頭分岐限定回路の故障検査問題が $k \leq \log p(m)$  ( $p(m)$ は信号線数 $m$ の多項式)の場合、多項式時間で解けることを示した。そのクラスには、線形回路、デコーダ回路、加算器、等多くの回路が含まれており、それらの故障検査問題は線形時間で解ける<sup>5)</sup>。ここでは、このクラスを含むより大きなクラスとして分岐再収れん限定回路を紹介する。

組合せ回路 $C$ に対する分割 $\Pi = \{C_1, C_2, \dots, C_i\}$ を考えよう。ここで、 $C_1, C_2, \dots, C_i$ は $C$ の部分回路でブロックと呼び、 $C_i \cap C_j = \emptyset$  ( $i \neq j$ )、 $C = C_1 \cup C_2 \cup \dots \cup C_i$ を満たすものとする。次の二つの条件を満たす分割 $\Pi = \{C_1, C_2, \dots, C_i\}$ が存在する時、組合せ回路 $C$ は $(k_1, k_2)$ -分岐再収れん限定回路であるという。

- 1) 各ブロックの入力数はたかだか $k_1$ である。
- 2) ブロック間の信号線をたかだか $k_2$ 本切断することにより、ブロックレベルの再収れんをなくすることができる。

組合せ回路にはフィードバックループは含まれないが、分割によりブロックレベルでのフィードバックループが現れる場合が考えられる。ここでは、このようなフィードバックループをも再収れんの特別な場合と見なし、切断することを考える。

文献5)での $k$ -先頭分岐限定回路は、ブロック間に

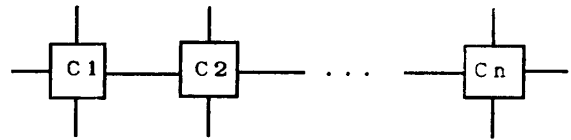


図3  $(a+b, 0)$ -分岐再収れん限定回路  
Fig. 3  $(a+b, 0)$ -fanout-reconvergence-bounded circuit.

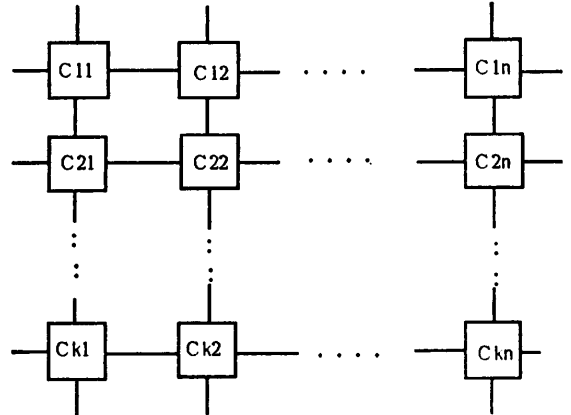


図4  $(ak+b, 0)$ -分岐再収れん限定回路  
Fig. 4  $(ak+b, 0)$ -fanout-reconvergence-bounded circuit.

再収れんがないように分割できる回路で、 $(k, 0)$ -分岐再収れん回路と等価になる。

【例1】 図3に示す1次元セルアレイを考えよう。各セル $C_i$ の水平入力線数を $a$ 、垂直入力線数を $b$ とする。各セルを一つのブロックとみなせばこのセルアレイは $(a+b, 0)$ -分岐再収れん限定回路である。

【例2】 図4に示す2次元セルアレイを考えよう。各セル $C_{i,j}$ の水平入力線数を $a$ 、垂直入力線数を $b$ とする。各列の $k$ 個のセルを一つのブロックとみなせば、このセルアレイは $(ak+b, 0)$ -分岐再収れん限定回路となる。

【例3】 図5に示す2次元セルアレイを考えよう。各セル $C_{i,j}$ の水平入力線数を $a$ 、垂直入力線数を $b$ とする。各列の $k$ 個のセルを一つのブロックとみなし、水平方向の $ak-a$ 本のフィードバック信号線を切断すれば、ブロック間の再収れんをなくすることができるので、このセルアレイは、 $(ak+b, ak-a)$ -分岐再収れん限定回路である。

$(k_1, k_2)$ -分岐再収れん限定回路に対しては、次の定理で示す計算時間複雑度で故障検査の問題を解くことができる。

【定理9】  $(k_1, k_2)$ -分岐再収れん限定回路に対して

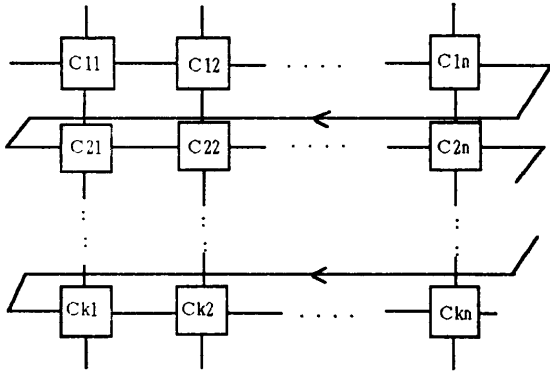


図5  $(ak+b, ak-a)$ -分岐再収れん限定回路

Fig. 5  $(ak+b, ak-a)$ -fanout-reconvergence-bounded circuit.

は、その故障検査問題を解く時間複雑度  $O(4^{2k_1+k_2} \cdot m)$  のアルゴリズムが存在する。ただし、 $m$  は回路の信号線数である。

(証明)

$C$  を  $(k_1, k_2)$ -分岐再収れん限定回路とし、その時の分割を  $\Pi = \{C_1, C_2, \dots, C_i\}$  とする。 $(k_1, k_2)$ -分岐再収れん限定回路であるので、回路  $C$  においてブロック間の信号線を  $k_2$  本切断することにより、ブロックレベルでの再収れんをなくすることができる。ブロック間で再収れんが無くなれば、その回路は  $k_1$ -先頭分岐限定回路となる<sup>5)</sup>。

一方、文献5)によれば、 $k_1$ -先頭分岐限定回路に対しては単一縮退故障を検出する検査入力を生成する  $O(16^{k_1} \cdot m)$  のアルゴリズムが存在することが知られている。したがって、まず  $C$  においてブロックレベルの再収れんを無くす  $k_2$  個の信号線を切断し、検査入力生成アルゴリズムにおいてそれらの切断線を取り得る値のすべての場合を考え、各場合に対して先のアルゴリズムを適用する。信号線の値としては  $0, 1, D, \bar{D}$  の4値が考えられ全部で  $4^{k_2}$  通りあるので、最悪で  $O(16^{k_1} \cdot 4^{k_2} \cdot m)$  の計算時間で故障検査問題を解くことができる。ただし、 $D(\bar{D})$  は正常時  $1(0)$  故障時  $0(1)$  を表す。  
(証明終)

定理9から、次の系が得られる。

【系1】  $C$  を  $(k_1, k_2)$ -分岐再収れん限定回路とする。信号線数  $m$  のある多項式  $p(m)$  に対して  $\max\{k_1, k_2\} \leq \log_2 p(m)$  となる場合、 $C$  の故障検査問題は  $O(p(m)^6 \cdot m)$  で解ける。

例3の回路は  $(k_1, k_2)$ -分岐再収れん限定であるので  $a, b$  が定数、ある多項式  $p(m)$  について  $k \leq \log_2 p(m)$  の場合、系1より多項式時間内に故障検査の問題が解

ける。

## 5. あとがき

本論文では、各外部入力に3以下の分岐を許し内部はANDとORだけから成る樹枝状構造をした組合せ論理回路でさえ、その故障検査の問題はNP完全であることを示し、一般に、回路内部の一つの分岐点から再収れんする経路の数を定数で制限してもNP完全となることを明らかにした。一方、回路内の分岐点の個数が  $\log p(m)$  以下である場合は、多項式時間内で解けることが知られている<sup>5)</sup>。したがって、故障検査の問題のNP完全性に影響するのは、一つ分岐点から再収れんする経路の個数ではなく、再収れんする分岐点の個数であることを明らかにした。

さらに、多項式時間で解ける一つのクラスとして分岐再収れん限定回路を導入し、線形回路、デコーダ回路、加算器のほか、段数が  $\log p(m)$  でおさえられる2次元セルアレイがこのクラスに属することを示し、それらの故障検査問題が多項式時間内で解けることを示した。

## 参考文献

- 1) Ibarra, P. H. and Sahni, S. K.: Polynomially Complete Fault Detection Problems, *IEEE Trans. Comput.*, Vol. C-24, No. 3, pp. 242-249 (1975).
- 2) 福井, 藤原, 樹下: 2段論理回路の検査複雑度について—PLA 検査への応用—, 電子通信学会電子計算機研資, No. EC 78-25, pp. 1-12 (1978).
- 3) Fujiwara, H.: On Closedness and Test Complexity of Logic Circuits, *IEEE Trans. Comput.*, Vol. C-30, No. 8, pp. 556-562 (1981).
- 4) 佐伯, 矢島: 二段実現論理回路に対する故障検査入力生成アルゴリズムの計算量について, 電子通信学会オートマトンと言語研資, No. AL 81-78, pp. 45-50 (1981).
- 5) Fujiwara, H. and Toida, S.: The Complexity of Fault Detection Problems for Combinational Logic Circuits, *IEEE Trans. Comput.*, Vol. C-31, No. 6, pp. 555-560 (1982).
- 6) Cook, S. A.: The Complexity of Theorem Proving Procedures, *Proc. 3rd ACM Symp. Theory of Comput.*, pp. 151-158 (1971).
- 7) Garey, M. R. and Johnson, D. S.: *Computers and Intractability: A Guide to the Theory of NP-Completeness*, Freeman, San Francisco, CA (1979).
- 8) Roth, J. P.: Diagnosis of Automata Failures: A Calculus and a Method, *IBM J. Res. Dev.*, Vol. 10, pp. 278-281 (1966).

- 9) Goel, P.: An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits, *IEEE Trans. Comput.*, Vol. C-30, No. 3, pp. 215-222 (1981).
- 10) Fujiwara, H. and Shimono, T.: On the Acceleration of Test Generation Algorithms, *IEEE Trans. Comput.*, Vol. C-32, No. 12, pp. 1137-1144 (1983).
- 11) Fujiwara, H.: *Logic Testing and Design for Testability*, The MIT Press, Cambridge (1985).

(昭和61年1月8日受付)

(昭和61年5月15日採録)



藤原 秀雄 (正会員)

昭和21年生。昭和44年大阪大学工学部電子工学科卒業。昭和49年同大学院電子工学専攻博士課程修了。工学博士。同年同大学院電子工学科助手。昭和56年ウォータルー大学客員研究助教授。昭和59年マッギル大学客員副教授。昭和60年明治大学工学部助教授となり、現在に至る。主に論理回路の設計と検査に関する研究に従事。著書「Logic Testing and Design for Testability」(MIT Press)など。電子通信学会、教育工学会各会員。IEEE Senior Member。IEEE Design and Test 編集委員。