

経験的知識を用いた印刷配線板の自動配置手法†

小田原 豪太郎** 飯島 一彦** 平出 貴久**

LSI を多用し、バスライン構造を含む印刷配線板の配置設計において、従来開発された自動配置手法を用いては十分な設計結果を得ることはできない。従来の手法では、高機能化した設計対象に対して、その機能的な側面に注目し、階層的な設計を行えなかったためである。本論文では、この問題に取り組むために、次の3点について提案を行う。第一は、回路全体を機能に注目していくつかのクラスタに分割し、クラスタ単位での配置と素子単位での配置を、階層的に組み合わせて行うこと。第二は、与えられた回路を、各素子間の機能的な親密度に注目して分割する、クラスタリングの手法を開発すること。また第三は、クラスタ単位での配置を決定する際に、経験的知識を用いる点である。クラスタリングでは、数多くの組み合わせの素子間の親密度を高速に算出するため、数表化された知識を用いるが、これに対しクラスタ配置では、各クラスタの機能や接続関係など、多様な条件に柔軟に対応する必要性から、ルール型の知識を用いる。クラスタリング用の数表化された知識は、熟練者による設計結果から自動的に抽出可能である。これらの工程は、実験によって効果が確認され、従来用いられた手法よりも優れた結果を生むことが明らかになった。

1. ま え が き

印刷配線板上に実装される回路は、シングルボードコンピュータ (Single Board Computer) を始めとして大規模化が進むとともに、バスライン構造等の特徴的な回路構造を多く含むようになってきた。これに対して、従来の自動配置法では回路の機能的な側面を無視し、単純に結線数の最小化¹⁾や配線長の最短化²⁾を目的としたために、十分な効果を期待できなかった。したがって、ほとんどの場合熟練者が経験的判断に基づいて設計しているのが現状である。

しかし、搭載する部品の数の増大、及び基板の高密度化に伴って、もはや人手による設計は不可能となりつつあり、これに代わる自動配置手法が求められている。

熟練者による設計が従来の自動設計よりも優れている理由を分析すれば、以下の3点が挙げられる。

(1) 回路部品をグローバルな視野から階層的に配置している。すなわち、回路全体をいくつかのブロックに分割し、ブロックごとに概略の配置を決定後、各素子の詳細な配置を求める。

(2) 回路のブロックへの分割に際しては、回路図上での各素子間の機能的な親密度やバスラインによる接続等を重視する。

(3) ブロック単位で配置を決定する際には、外部

コネクタとの接続関係、クロック回路等タイミング上制約の大きな部分の配置に注意を払い、経験的な判断によって処理を行う。

したがって自動配置手法においては、これらの点を考慮しなければ人手の設計に近い性能を得ることはできない。

本論文では、バスライン等の回路構造、及び回路を構成する各 LSI の機能等に注目することにより、配置決定を行うが、そのなかでも特に、

- (1) 階層的な配置設計を実現するためのシステム構成
- (2) 回路の機能に注目して分割を行うための、経験的クラスタリング手法
- (3) 分割された回路 (クラスタ) 単位で配置を決定するための、経験的手法

の3点について提案を行い、実験例による効果の確認を行う。

2. 経験的知識を用いた自動配置システム

本システムの構成を、図1に示す。経験的な回路分割を行うクラスタリング、階層的な初期配置工程を構成するクラスタ配置及び素子配置、仮想配線経路の分布を考慮しながら配置の最適化を行う配置改善より構成される。

工程の前半を占めるクラスタリング、及びクラスタ配置では、基板上の配置の骨格が決定されるため、特に経験的な知識を用いた見通しの良い手法が必要とされる。

クラスタリングでは、特徴的で独立な機能を持つ

† Knowledge-Based Placement Technique for Printed Wiring Boards by GOTARO ODAWARA, KAZUHIKO IJIMA and TAKAHISA HIRAIDE (Department of Precision Engineering, Faculty of Engineering, University of Tokyo).

** 東京大学工学部精密機械工学科

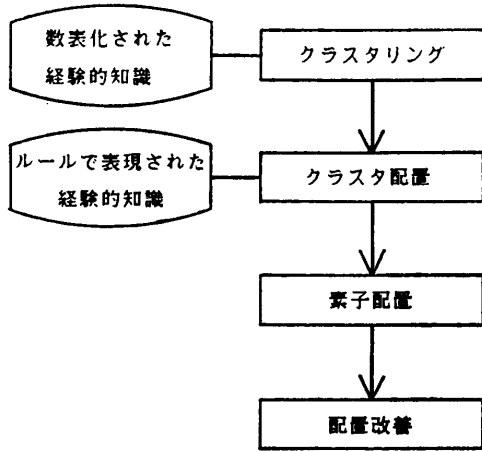


図1 自動配置システム
Fig. 1 System configuration.

LSI を seed 素子として選択し、これと他の素子との機能的な親密度を評価することによって、互いに関係の深い素子群をクラスタとして切り出す。数表化された知識を用いて、各種ネット、各種素子に固有な条件を考慮する。

クラスタ配置では、if~then~型のルール³⁾を用い、バスラインの性質を分類することによって配置の戦略をたて、クラスタ単位で基板上に配置する。クラスタリングの結果求められた、各クラスタの占有面積を考慮することにより、基板上の領域の割り当てを行う。

これに続く素子配置の工程では、以上の結果に基づき、積み上げ式初期配置法⁴⁾を用いて全素子を配置し、配置改善では、改良された Steinberg 法⁵⁾を用いて最適化処理を行う。このとき、配線長の最短化と配線分布の平準化を同時に行う⁶⁾。

3. クラスタリング⁶⁾

3.1 概要

ここでは、知識に基づくクラスタリングの必要性を、具体的に説明する。

本手法におけるクラスタリングの概念図を、図2に

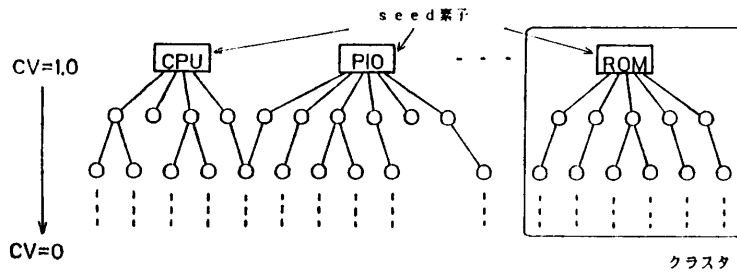


図2 クラスタリングの概念
Fig. 2 Clustering concept.

示す。印刷配線板を構成する各素子のうち、各種の機能の中心的役割を果たすものを seed 素子とし、これと機能的な親密度の高い素子を、クラスタ (cluster) として切り出す。seed 素子との親密度を示す数値として、クラスタリング値 (Clustering Value: CV) を導入する。seed 素子自身のクラスタリング値を 1.0 と定義し、親密度が低くなるのに従って、小さなクラスタリング値を割り当てる。

一枚の基板を構成する素子のすべてが、必ずしも重複せずに、各クラスタに分割されるわけではない。素子によっては、どのクラスタにも属さないもの、あるいは2個以上のクラスタによって共有されるものも存在し得る。図2はこの事情を模式的に表している。

3.2 数表化された知識

クラスタリングに用いられる知識は、次の4種のテーブルにより構成されている (図3参照)。

(1) ピン・テーブル (Pin Table)

各素子上の各ピン番号に対応して、その機能名を登録する。このテーブルは使用される可能性のあるすべての素子について、定義されていなければならない。ピン・テーブル上には、素子名とカテゴリー名 (CPU, RAM 等) が同時に記されており、素子名を検索することによって、カテゴリー名を知ることができる。

このテーブルは、素子間の論理的接続を示すネット (net) 情報内のピン番号を、そのピンの持つ機能名に変換することが目的である。ピンの持つ機能名としては、通常データ・バス、アドレス・バス、などの一般的な名称が使用されるが、その素子のカテゴリーに独特な機能名を定義することも可能である。

(2) 条件テーブル (Condition Table)

同一のカテゴリーに属する素子でも、使用される条件によっては周辺の様子が全く異なることも予想される。そこで、その素子がバスラインを介して接続する素子の個数によって、異なる条件を設定しようとするものである。このテーブルによって、次に説明するエレメント・フレームのどれを選択するか、が決定される。

(3) エレメント・フレーム (Element Frame)

素子の各カテゴリーにおいて、各ピンの他のカテゴリーに属する素子群に対する機能上の親密度として、CV_p 値を定義する。CV_p は0から1.0までの間の実数を与えられ、そのピンを介して接続す

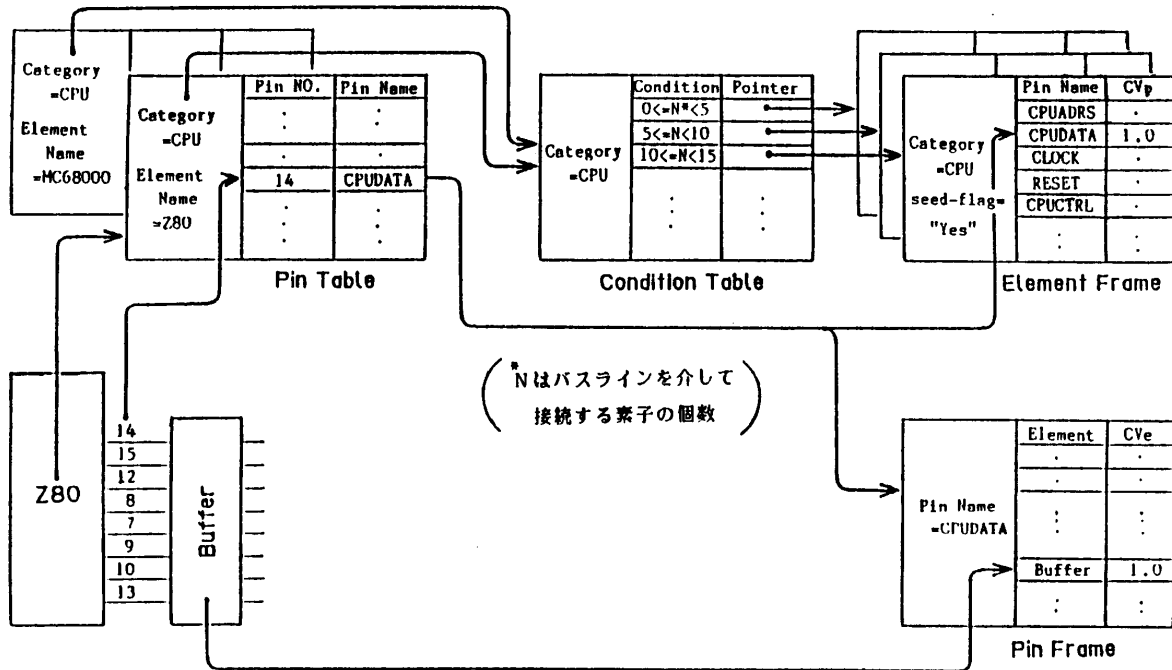


図3 数表化された知識の構造
Fig. 3 Knowledge-base structure.

る相手の素子との間の、親密度に対する影響度を示している。

また、その条件において、その素子が seed 素子になり得るか否かについても、エレメント・フレーム内に記述されている。

(4) ピン・フレーム (Pin Frame)

素子同士を接続するピンの機能名に対して、接続する相手となる可能性のあるすべての素子のカテゴリーを記述する。これらのカテゴリーに対して、親密度の重みとなる CV_p 値を登録している。

これらのテーブルは、図3に示すように、相互間をポインタ構造で連絡し合っている。これらのテーブルに記載された値は、人手で入力することもできるが、後に述べるアナライザ (Analyzer) を用いて、半自動的に設定することが可能である。

3.3 クラスタリング値の算出

クラスタリングの処理を始めるのに先だって、各クラスタの seed となる素子の決定を行う。

seed となる資格のある素子のカテゴリーをリストアップしておき、その中から条件テーブル、及びエレメント・フレームを参照することによって選択する。

次に、クラスタリング値の算出アルゴリズムについて述べる。基本的に、ネットの種類に依存する因子 (CV_p) と、素子の種類に依存する因子 (CV_e) を掛け

合わせることによって求める。

クラスタリング値は、以下の式により求められる。

$$CV = CV_p \times CV_e \times R \tag{1}$$

ここで、R はピン比と呼ばれ、以下の式で与えられる。

$$R = \frac{\text{seed と素子の結線数}}{\text{素子における結線総数}} \tag{2}$$

3.4 アナライザによる知識の獲得

アナライザは、熟練者によって既に配置設計された回路例を複数個入力し、これらを平均化することによって、各素子間の親密度の評価に関する知識である、エレメント・フレームを抽出する。求められたエレメント・フレームを適用して、人手配置の与えられていない回路例を設計することが可能である。

基本的には、(1)式のクラスタリング値算出式の逆算を行い、各素子の各ピンに対する CV_p 値を算出する。熟練者による配置において、互いに近い距離に置かれている素子同士は親密度が高いと判断される。また、各ネットに対して各素子との親密度 (CV_e) を記したピン・フレームは人手で与えている。これは、ピン・フレームの規模がエレメント・フレームに対して、非常に小さいために可能である。これらの入力条件により、CV_p 値を算出することが可能となる。

■同一基板上の回路中に、同一カテゴリーに属する素

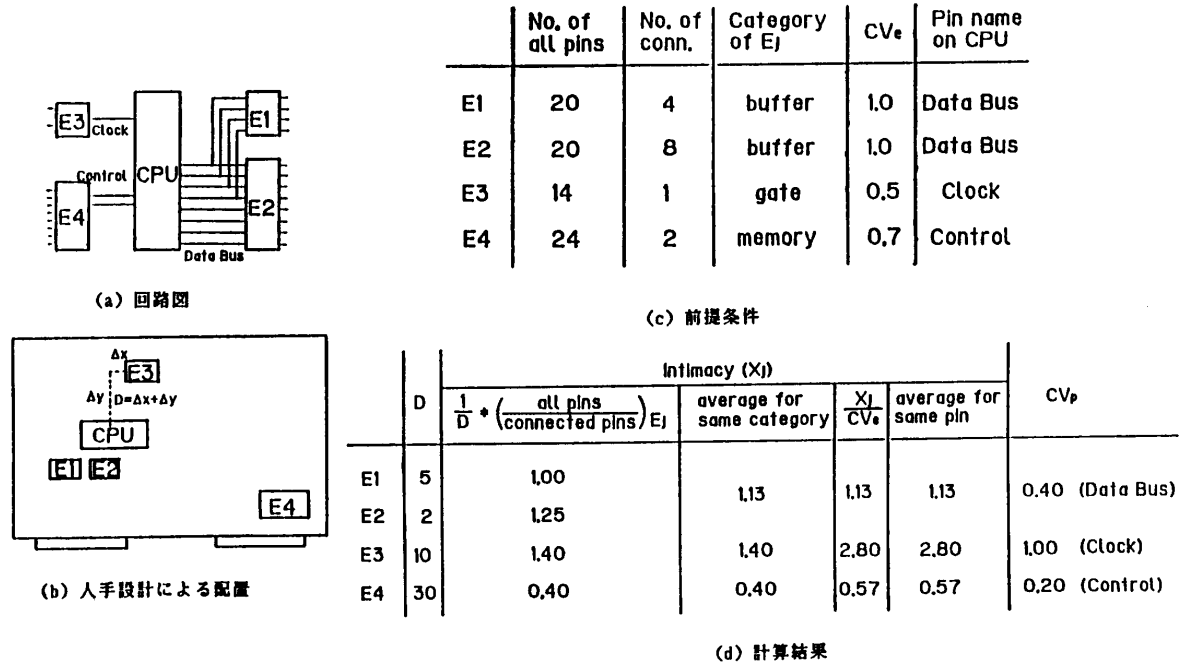


図4 アナライザの手法
Fig. 4 Analyzer.

子が複数個存在する場合には、それらの平均値が算出される。また、複数の回路に対してアナライザを適用し、それらの平均値を出力することも可能である。

以下に、アナライザのアルゴリズムを説明する。図4(a)に回路図、(b)に人手設計による配置を与えられたとする。まず、seed 素子となる可能性のある素子を抽出する。これと接続している素子の数から、その回路中で seed 素子となり得るか否かを判定する。

次に、配置データより、seed 素子 (S_i) と、接続している素子 (E_j) の距離を求める。接続している素子のリスト、及び接続に用いられているネットの種類(バスあるいはバス以外のネット)は、与えられたネット・データより知ることができる。図4では seed 素子として CPU、接続する素子として、E₁~E₄ が選ばれる。(c)に示したのは、前提条件として与えられるデータである。ピン総数、素子のカテゴリは素子データから、接続数と接続ピン名はネット・データから知ることができる。また、CV_e は、ピン・フレームとしてあらかじめ与えられる。

S_i と E_j の間のピン当たりの親密度は、以下の式で算出される。

$$X_j = \frac{1}{D} \times \frac{E_j \text{ 上の総接続ピン数}}{S_i \text{ との接続ピン数}} \quad (3)$$

ただし、D は S_i と E_j の間のマンハッタン距離

(Manhattan Distance) を表す。距離が近いほど、また S_i と E_j の間の接続ピン数が少ないほど、ピン当たりの親密度 (X_j) は大きいと判断される。これは、接続ピン数が少ないほど、1本のピン当たりの比重が増加するためである。ここで同じカテゴリーに属する素子が {E_j} 内に存在し、しかもそれらが同種のネットを介して seed 素子と接続していれば、それらに対する X_j を平均化する。この例では、CPU のデータ・バスに対し 2 個のバッファ (E₁ と E₂) が接続されているので、これらに対する X_j の平均値をとる。

次に、与えられたピン・フレーム内の CV_e 値によって、X_j を割る。

$$X'_j = \frac{X_j}{CV_e} \quad (4)$$

これによって、接続する相手の素子の種類による差をキャンセルし、さらに同種のネットに対して平均値をとる。

その結果を (d) に示すが、この値が seed 素子上の各ピンに対する、親密度の重みを表す。この値の最大値ですべての値を割ることにより、正規化を行って CV_p 値を算出する。

同一基板内に、同一のカテゴリーに属する seed 素子が複数個存在すれば、さらにそれらを条件別に平均化する。アナライザによって多くの設計例を解析する

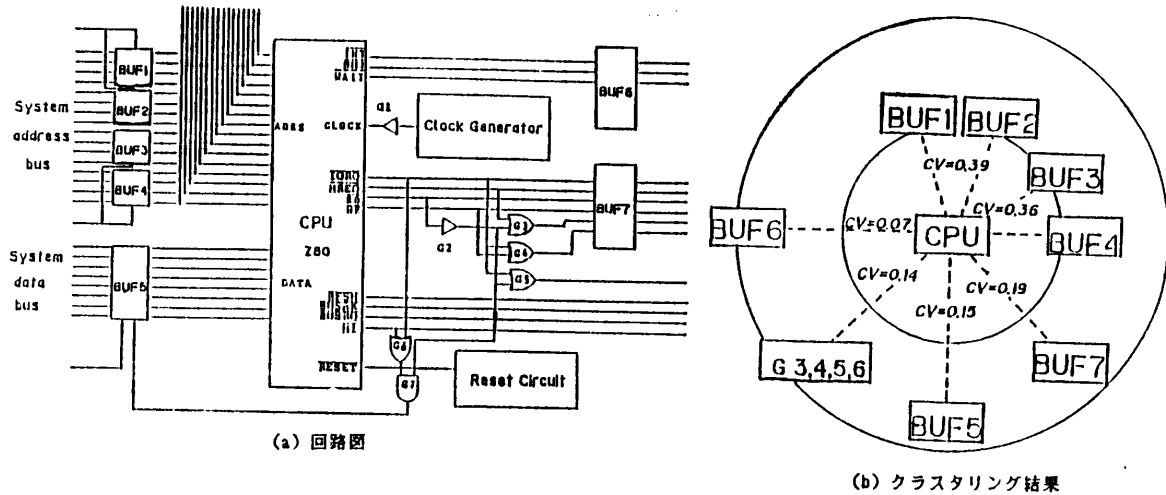


図 5 クラスタリングの実例
Fig. 5 Clustering result.

ことよって、大きな母集団から平均的なデータを抽出することが可能であり、様々な条件の印刷配線板から学習によって知識を抽出することができる。

3.5 クラスタリング例

図 5 (a)に、実際の回路例から抽出した CPU とその周辺の回路を、(b)にクラスタリングを行った結果を示す。素子数 120~150 個の回路例でクラスタリングを実行した結果、10~15 個のクラスタが生成された。

4. クラスタ配置⁷⁾

4.1 概 要

各 seed 素子を中心とするクラスタは、それぞれ独立した機能を持った回路素子の集合と考えられる。次に、印刷配線板上に各クラスタの配置を決定する。この際、次の点に留意する。

(1) 配置の固定されている外部コネクタと、各クラスタの結線関係を考慮し、相対的な配置を決定する。特に、データ・バス等の束線によって接続されている場合、これを重視して配置する。

(2) 基板上的回路は、データ・バスやアドレス・バス等の各種のバス（束線）構造によって性格付けられる場合が多い。したがってバスラインの分類を行い、これに基づいた配置戦略を用いる。

(3) 各クラスタには、クラスタリングの結果求められた占有面積を割り当てるが、通常は複数のクラスタに共有される素子が存在するため、各素子の配置を各クラスタの領域内に限定することは望ましくない。したがってクラスタ配置の段階では seed 素子の配置

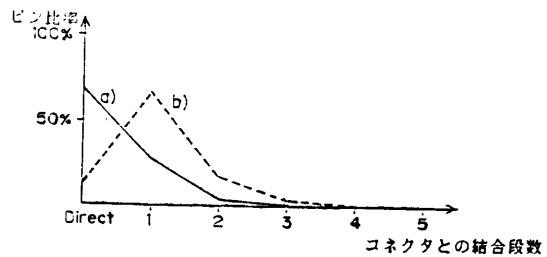


図 6 コネクタとの結合段数に対するバスの分布
Fig. 6 Connectivity map of bus-lines.

のみを固定し、その他の素子は積み上げ式手法を用いて配置する。

本システムでは、以上の項目を実現し、多種多様な条件を考慮するため、if~then~型のルールを用いる手法を採用した。

4.2 バスラインの分類

本論文では、すべての束線（束として扱われる信号線）をバスラインと呼ぶ。様々な性質のバスラインを分類整理するためのパラメータとして、以下の 2 項目を提案する。

- (1) 外部コネクタとの結合段数
- (2) 接続する素子の個数

結合段数は、外部コネクタに直接接続している場合を 0 とし、間に他の素子を介するたびに増加するものとする。図 6 は a), b) 2 種類の回路例について、コネクタとの結合段数ごとのバスラインの分布を示したものである。縦軸のピン比率は、バランスの規模を示す指数で、接続するピン数の全体に対する割合を表す。

また、接続する素子の個数は、各バスラインの長さ

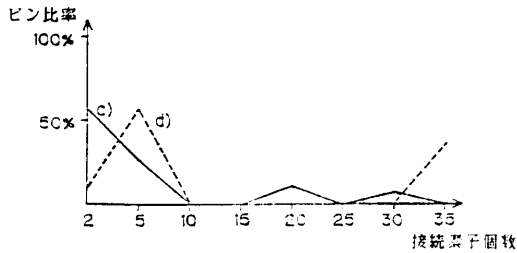


図7 接続要素個数に対するバスの分布

Fig. 7 Number of elements connected to bus-lines.

を示すものである(図7)。シングルボード・コンピュータ上のデータ・バス、アドレス・バス等は比較的多くの素子と接続しており、他のバスラインとは異なった性質を持つものとされる。図7は回路例c), d)について分布を示したものであり、縦軸は図6と同様にピン比率を示す。

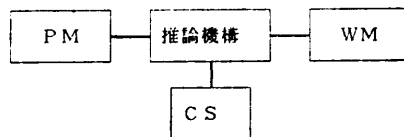
これらの例が示すように、分類されたバスラインの分布は、各回路の特徴を表しており、これらの条件を考慮して配置を決定する必要性を示唆している。

したがって本システムでは、バスラインを以下のように分類し、これらと接続するクラスタの配置を決めるための条件とする。

- (1) コネクタと直接接続するバス: Primary バス
コネクタと間接的に接続するバス: Secondary バス
- (2) 接続する素子が基準値(現在10個としている)を越えるバス: System バス
接続する素子が基準値より少ないバス: Local バス

4.3 経験的手法によるクラスタ配置

本手法においては、OPS 5³⁾ 等と同様の知識表現、及び推論の方式を採用した。図8にその構造の概略を示す。ルール化された知識はプロダクション・メモリ内に蓄えられ、各クラスタの現在位置を始め、現在の状況を示す情報がワーキング・メモリ内に置かれる。推論機構はプロダクション・メモリの中からワーキン



PM: プロダクションメモリ
WM: ワーキングメモリ
CS: コンフリクトセット

図8 知識の表現および推論の方式

Fig. 8 Knowledge representation and inference method.

グ・メモリの状況に合致したルールを複数個選び出し、優先順位の評価を行って、実行するルールを決定する。次いでルールを実行し配置を決定して、ワーキング・メモリを書き変える。以上の工程を繰り返し実行することによって、すべてのクラスタの配置を決定する。本システムで用いられるルールは、主に以下の3種類に分類される。

(1) クラスタを統合するルール

同一バスライン上に CPU や I/O 関係の素子が存在し、他の素子との接続を無視できる場合、これらの素子とその周辺のクラスタを一つに統合し、近接して配置されるように配慮する。

(2) クラスタを配置するルール

各クラスタを構成する素子の機能、他の素子との接続関係、及び接続しているバスラインの種類等を条件として、各クラスタの配置を決定する。特徴点を以下にまとめる。

(i) シングルボード・コンピュータ等で多く用いられるメモリ素子群を優先的に配置する。

(ii) コネクタを seed とするクラスタ、またはコネクタと Primary System バスで接続しているクラスタは、コネクタに隣接させる。

(iii) Secondary バスで相互接続しているクラスタは統合する。

(iv) Secondary Local バスと接続しているクラスタは、既に配置されている他のクラスタとのオーバラップ面積が最小となる位置に配置する。

これらを含め、現在約30個のルールを用いている。

(3) 統合されたクラスタ内で素子の配列順序を決めるルール

統合されたクラスタの配置が決定された後、これに含まれる各素子の配列順序を、各素子の機能、及び接続条件を参照することによって決定する。

表1にルール内で参照される各種条件を示す。大きく分けて、各クラスタの配置状況に関するものと、基板全体に関するものから成る。図9にルールの一例を示す。このルールでは、クラスタの持つ機能がメモリであり、そのサイズが50以上のとき、そのクラスタを、接続コネクタに近接させて配置することを示す。

求められた相対配置に対し、文献8)で提案された領域分割のアルゴリズムを適用することにより、図10に示すようなクラスタ配置結果を得る。

続いて、各クラスタの seed 素子を、割り当てられた領域の中央に配置し、図1で説明した素子配置の工

表 1 参照される条件
Table 1 Condition element.

クラス	項目	クラス	項目
クラスタ	クラスタ番号 機能 クラスタのサイズ 配置座標 領域座標 接続バスのクラス (PS, PL, SS, SL)	ステイタス	ボードのサイズ クラスタの配線率 領域の割当率 PS バス上の既・未配置クラスタ数 PL バス上の既・未配置クラスタ数 SS バス上の既・未配置クラスタ数 SL バス上の既・未配置クラスタ数

Rn: priority if <条件> then <動作>
R2: 20 if <(FUNC=ram or
FUNC=rom)
and 50 =<CLSZX>
then <MODIFY
(CLUSTER,
BUTTING)>

図 9 ルールの例
Fig. 9 Example of rule.

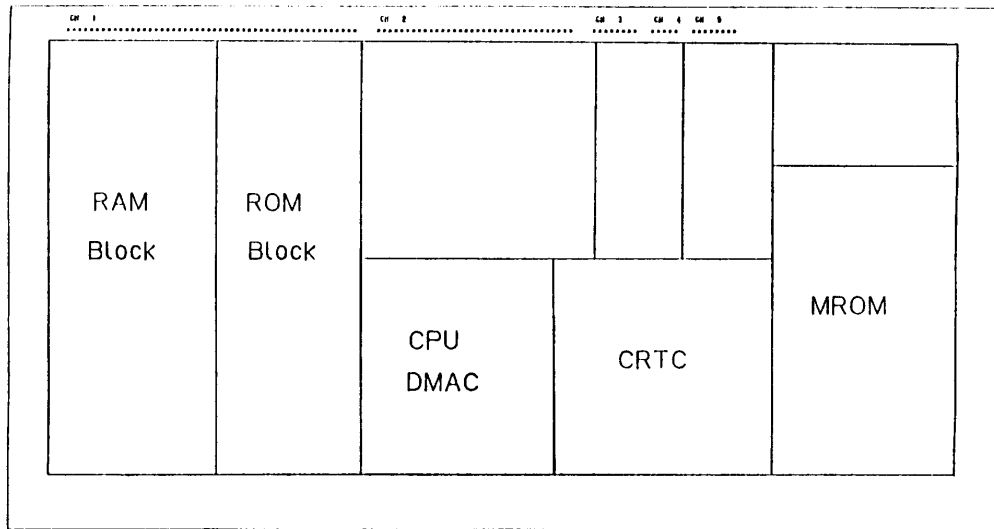


図 10 クラスタ配置結果
Fig. 10 Cluster placement result.

程により、すべての素子の配置を決定する。さらに配置改善を行うことによって、配置工程を終了する。

5. 実験と考察

本論文で提案した経験的クラスタリング法、経験的ルールに基づくクラスタ配置法の効果を、実験によって確認した。

表 2 に実験回路例を示す。A~C はシングルボード・コンピュータ、D~F はメモリ・ボード、G~I はランダム論理ボードである。シングルボード・コンピュータを中心に考えれば、メモリ・ボードでは長い(接続する素子が多い)バスが存在することが特徴であり、ランダム論理ボードでは逆に、短いバスが数多く存在することが特徴である。これらによって、ほとんどすべての種類のデジタル印刷配線板をカバーできるものとする。

図 11 は、求められた配置に対して自動配線を行い、

表 2 実験回路例
Table 2 Examples.

回路例	回路の種類	基板サイズ (inch)	IC 個数	配線ペア数	バス本数
A	CPU 基板	15.6 × 7.2	114	946	30
B	CPU 基板	13.0 × 8.4	97	805	25
C	CPU 基板	12.0 × 9.0	131	1,455	49
D	メモリ基板	10.0 × 7.8	104	898	9
E	メモリ基板	12.2 × 8.4	115	1,087	28
F	メモリ基板	14.2 × 7.5	140	1,511	27
G	ランダム基板	12.6 × 12.0	159	1,224	41
H	ランダム基板	13.4 × 8.3	120	1,174	34
I	ランダム基板	13.3 × 6.5	102	612	37

結線率を比較したものである。熟練者による配置、従来法による配置⁹⁾、クラスタリング+Force-Directed (FD) 法¹⁰⁾による配置、クラスタリング+クラスタ配置のそれぞれについて示している。いずれも文献 5) による配置改善を行った結果である。ここで従来法

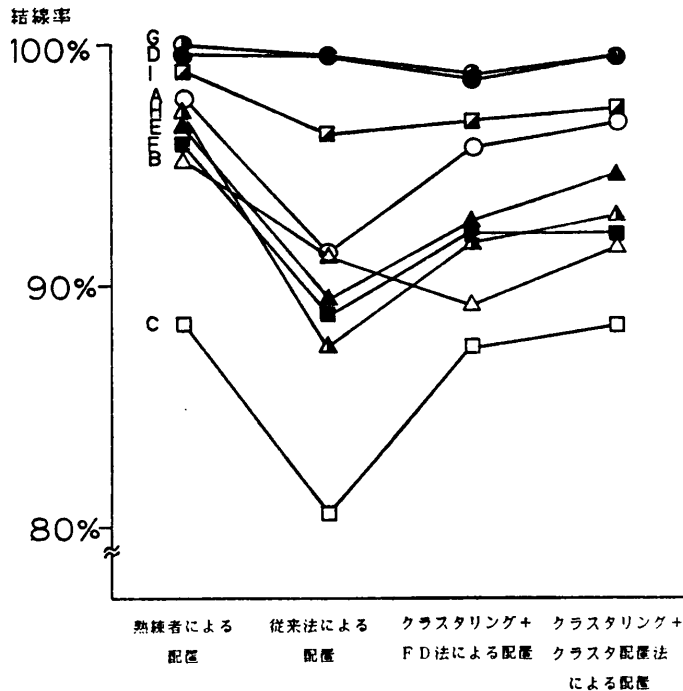


図 11 実験結果

Fig. 11 Experimental results.

は、クラスタリングを行わずに、外部コネクタの位置のみを基準として、積み上げ式に配置を決めるものである。FD法は、本論文のクラスタ配置法による効果を調べるため、比較の対象として選択したものであり、各クラスタ間の結線本数に比例した引力を作用させ、力のつりあい条件を求めることで、配置を決定する。

すべての回路例で、人手による配置が最も良い結果を得ている。また、B、D、G以外の例では、クラスタリング+FD法によって、従来法よりも優れた結果を得ている。これは、数表化された知識を用いたクラスタリング法の効果を示すものである。また、F以外の回路例では、クラスタリング+クラスタ配置法によって、クラスタリング+FD法よりも優れた結果となっており、経験的手法の有効性を示している。B、D、Gの3回路例についても、経験的なクラスタ配置法を用いることで大きく改善されており、グローバルな視野からのクラスタ配置が、適切な配置を求めるために、重要であることを表している。

回路例によってばらつきはあるものの、全体的には従来用いられた自動配置法よりも優れた結果を得られることが、明らかとなった。

6. むすび

本論文では、大規模・高機能化した印刷配線板上の

素子の配置問題を取り上げた。熟練した設計者による設計に近い効果を自動設計によって得るために、経験的な知識を用いたクラスタリング法、及びクラスタ配置法を提案した。

クラスタリングでは、素子間の経験的な親密度を算出するために、数表化された知識を用いた。この知識は、アナライザによって人手設計の結果から抽出可能となった。

クラスタ配置では、バスラインの種類、各素子の機能等の様々な条件を考慮するために、経験的なルールに基づく手法を開発した。

これらの知識表現法によって、比較的多くの計算量を必要とするクラスタリング処理を高速に実行し、配置の骨格を決める上で重要なクラスタ配置の処理を、柔軟なものとするのが可能となった。

これらを組み合わせることによって、回路の機能面に注目した、階層的自動配置が可能となり、その効果は実験によって確認さ

れた。

現在自動設計において考慮の外にある、印刷配線板上の熱の分布、電気的特性を取り入れた自動設計を行うことが、今後の課題である。

参考文献

- 1) Breuer, M. A.: A Class of Min-cut Placement Algorithm, *Proc. 14th DA Conf.*, pp. 284-290 (1977).
- 2) Steinberg, L.: The Backboard Wiring Problem: A Placement Algorithm, *SIAM Rev.*, Vol. 3, No. 1, pp. 37-50 (1961).
- 3) Hayes-Roth, F. et al. (eds.): *Building Expert Systems*, Addison-Wesley, Reading (1983).
- 4) 樹下行三(編): 論理装置のCAD, p. 39, 情報処理学会 (1981).
- 5) 小田原豪太郎, 飯島一彦: 印刷配線板の自動配置プログラム, 情報処理学会論文誌, Vol. 24, No. 5, pp. 592-598 (1983).
- 6) Odawara, G. and Iijima, K. et al.: Knowledge-based Placement Technique for Printed Wiring Boards, *Proc. 22nd DA Conf.*, pp. 616-622 (1985).
- 7) 平出貴久, 山田英治ほか: 経験的知識を用いた印刷配線板の自動配置プログラム, 情報処理学会第32回全国大会講演論文集, pp. 1937-1938 (1986).
- 8) Wipfler, G. J. and Wiesel, M. et al.: A Com-

bined Force and Cut Algorithm for Hierarchical VLSI Layout, *Proc. 19th DA Conf.*, pp. 671-677 (1982).

- 9) Odawara, G. and Iijima, K. et al.: Partitioning and Placement Technique for Bus-Structured PWB, *Proc. 20th DA Conf.*, pp. 449-456 (1983).
- 10) Quinn, N.R. and Breuer, M.A.: A Force Directed Component Placement Procedure for Printed Wiring Boards, *IEEE Trans. Circ. Syst.*, Vol. CAS-26, No. 6, pp. 377-388 (1979).

(昭和 61 年 4 月 7 日受付)

(昭和 61 年 6 月 18 日採録)



小田原豪太郎 (正会員)

1944 年生. 1967 年東京大学工学部精密機械工学科卒業. 1972 年東京大学工学部精密機械工学科講師.

1985 年より同大学同学科教授. 工学博士. 専門は情報処理機器, CAD/

CAM/CAT. 電子通信学会, ACM, IEEE, プリント回路学会各会員.



飯島 一彦 (正会員)

1957 年生. 1980 年東京大学工学部精密機械工学科卒業. 1982 年同大学院修士課程修了. 同年より同大学工学部助手. 1986 年より(株)日立製作所勤務. 工学博士. 研究テーマ

は, 論理装置の CAD, 特に印刷配線板, LSI を対象としたレイアウト設計の自動化. IEEE, プリント回路学会各会員.



平出 貴久 (学生会員)

1961 年生. 1985 年東京大学工学部精密機械工学科卒業. 現在, 同大学院在学中. ゲートアレイを対象としたレイアウト設計の自動化について興味を持つ.