

ショートノート

コンカレント性を用いた検査系列生成アルゴリズム†

高松 雄三^{††} 樹下 行三^{†††}

検査系列を効率よく生成することを目的として、コンカレント性という概念に基づいた新しい検査系列生成アルゴリズムを提案する。検査系列生成を効率よく行うには、検査入力を生成するアルゴリズムの実行中に生じるバックトラックを少なくし、目標の故障の検査入力を高速で生成すること、および生成された検査入力と同時に検出できる故障を効率よく求めることが必要である。本論文で提案するアルゴリズムはこの二つの操作を並行して行うとするものであり、検査入力生成後、故障シミュレーションを行うという従来の検査入力生成システムとは異なる新しい手法である。

1. ま え が き

論理回路の VLSI 化に伴って、検査系列生成の問題はますます重要になっている。したがって、これまで、多くの組合せ回路の検査系列生成アルゴリズムが考案されている^{1)~4)}。

ここでは、コンカレント性を用いた新しい検査系列生成アルゴリズム (CONcurrent Test generation algorithm, 以下 CONT アルゴリズムと呼ぶ) を提案する⁵⁾。検査系列を効率よく生成するには、検査入力生成アルゴリズムの実行中に生じるバックトラックを少なくし、目標の故障の検査入力を高速で生成すること、および生成された検査入力と同時に検出できる故障を効率よく求めることが必要である。CONT アルゴリズムはコンカレント性という概念を用いてこの二つの操作を並行して行うものである。すなわち、アルゴリズムの実行中、生成しようとしている検査入力で検出可能と思われる故障を同時に挿入しながら処理を進め、バックトラックが発生したとき、『目標故障の変更』という手法でバックトラックに対処し、従来のアルゴリズム²⁾の入力の組合せを変えるというバックトラックを減らすことを試みた。また、同時に挿入した故障は、生成された検査入力で検出される可能性があり、生成された検査入力と同時に検出できる故障を高速に求めることができると考えられる。したがって、本論文で提案する CONT アルゴリズムは、検査

入力生成後、故障シミュレーションを行う従来の検査入力生成システムとは異なる手法である。

以下、本文で扱う回路は、AND, OR, NOT, NOR, NAND および EXCLUSIVE-OR から構成されている組合せ回路である。また、対象とする故障は、単一の縮退故障 (s-a-0 または s-a-1) である。

2. CONT アルゴリズム

2.1 データ構造

CONT アルゴリズムで用いる信号値は、0, 1, X (未定義) の 3 値であり、それらを次のような隣接した 2 ビットで表す。

00=0
01=X (未定義)
10=未使用
11=1

回路の各信号線に 1 ワードの信号値を用意すると、1 ワード 32 ビットの計算機を用いることにより最高 16 個の異なる回路の信号値を表すことができる。図 1 に CONT アルゴリズムの隣接ビットペア表現を示す。図 1 で、ビット 0 と 1 は、正常回路の信号線 n の信号値を表し、ビット 2 と 3 で目標故障を有する回路の信号線 n の信号値を表している。ここで、目標故障とは検査入力を生成しようとしている故障である。また、ビット 4 と 5、…で同時に処理している故障 (同時処理故障という) を有する回路の信号線 n の信号値を表している。

これらの同時処理故障を管理するため、図 2 の故障管理表を用いる。図 2 (a) は、同時処理故障の信号線を、また、同図 (b) は、同時処理故障の故障値を示し、現在、目標故障線 (故障値) が i (0) であり、また、同時処理故障の信号線 (故障値) が、j (1), k

† Test Generation Algorithm with Concurrency by YUZO TAKAMATSU (Department of Electronic Engineering, Faculty of Science and Engineering, Saga University) and KOZO KINOSHITA (Department of Information and Behavioral Sciences, Faculty of Integrated Arts and Sciences, Hiroshima University).

†† 佐賀大学理工学部電子工学科
††† 広島大学総合科学部情報行動

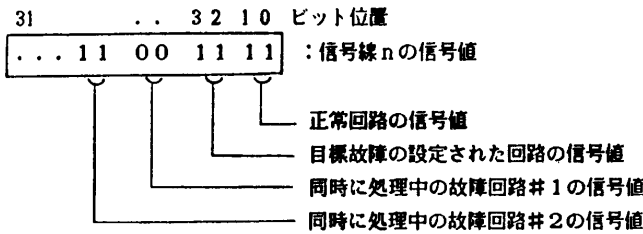
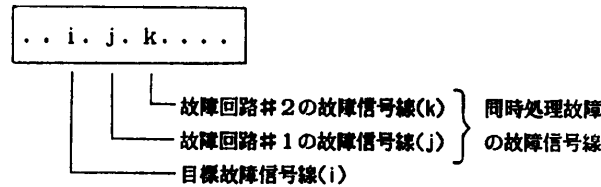
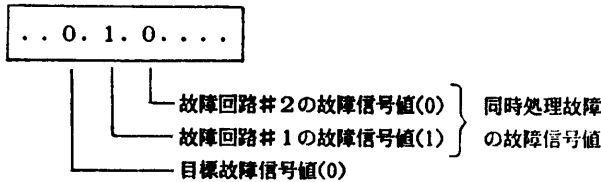


図 1 隣接ビットペア表現
Fig. 1 Adjacent bit pair structure.



(a) 故障信号線



(b) 故障信号値

図 2 同時処理故障の管理表
Fig. 2 Table of concurrent faults.

(0)であることを表している。

2.2 CONT アルゴリズムの構成

図 3 に CONT アルゴリズムの流れ図を示す。この流れ図における各処理の概要を図 4 の回路を用いて説明しよう。ここで、対象とする故障を A の s-a-0, B の s-a-0, および B2 の s-a-0 とする。

(1) 目標故障の設定

検査入力を生成する故障信号線, 故障値を決める。以下, これらを, それぞれ, 目標故障線, 目標故障値と呼ぶ。図 4 の回路において, 目標故障線を A, 目標故障値を 0 としよう。

(2) 後方追跡

目標故障線に目標故障値の反対の信号値を設定するような回路の外部入力信号値を決める。このため故障信号線から後方追跡²⁾を行い, どの外部入力にどのような信号値を割り当てればよいかを決定する。この操作が成功した後は, 故障の影響が回路の出力線まで伝播するような回路の入力信号線の信号値を決める。これは, 目標故障の影響が伝播している信号線のうち,

回路の外部出力に近い信号線を選択し, その信号線からの後方追跡により行う。

例では, A から後方追跡を行い X1=1 を決める。この信号値により (3) の含意操作で目標故障線に目標故障値の反対の信号値 1 が設定される。次に, この故障の影響を回路の出力線に伝播するための回路の入力信号値を設定するため, B1 から後方追跡を行い X2=1 を決める。

(3) 含意操作 (ビットパラレル)

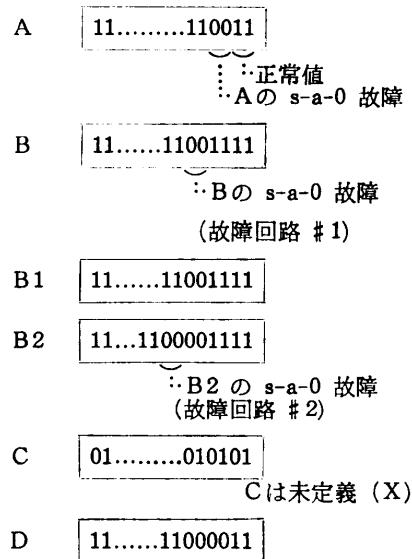
後方追跡で割り当てられた入力信号値により, 含意操作を行う。この含意操作を, 並列故障シミュレーション⁶⁾と同様のビットパラレル演算により実行する。この結果, 同時に処理を進めている同時処理故障を有する回路の信号値も同時に計算することができる。

例では, X1=1 であるから, 信号線 X1 のすべてのビットを 1 としてビットパラレルの含意操作を行う。また, X2=1 が設定されると, 同様にして, 信号線 B のすべてのビットを 1 としてビットパラレルの含意操作をする。

(4) 故障の挿入

含意操作で信号値が決定される信号線に対して, 新たに故障が挿入できれば挿入する。この故障を『同時処理故障』といい, 図 2 の故障管理表に登録する。

今, A=1 であるから, 目標故障 A の s-a-0 故障が挿入でき, また, B=1 から, B の s-a-0 故障も挿入できる。さらに, この A=B=1 の信号値により含意操作で決まる信号線にも故障が挿入できれば挿入する。この例では B2 の s-a-0 故障が挿入できる。こうして決められた信号線の信号値は次のようになる。



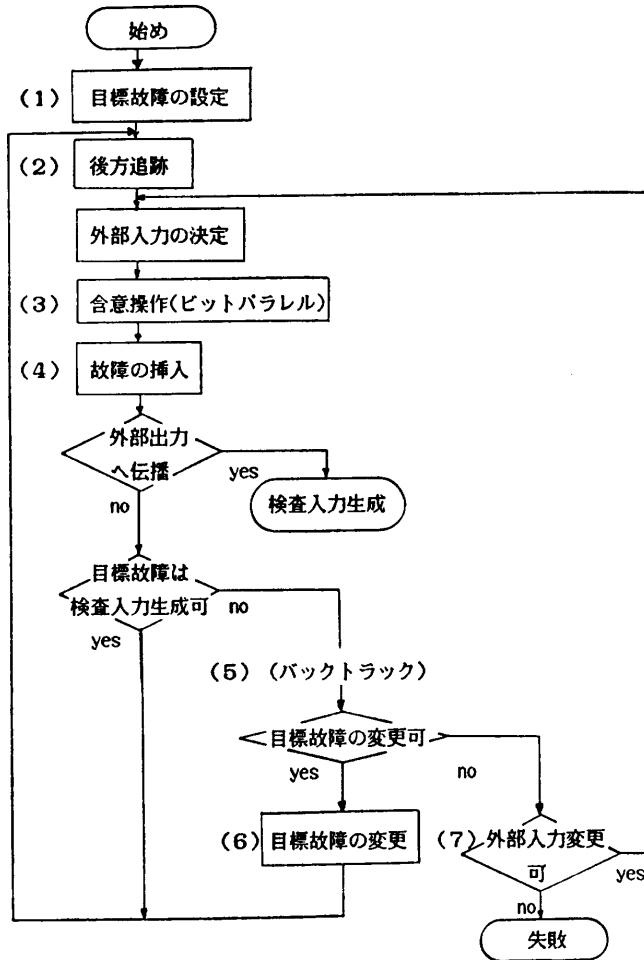


図 3 CONT アルゴリズムの流れ図
Fig. 3 Flowchart of CONT algorithm.

E 00...0001010000
 ...故障回路 #1 では未定義
 ...故障回路 #2 では未定義

これまでの結果から故障管理表は、

..A. B. B2...
 ..0. 0. 0...
 ...故障回路 #2
 ...故障回路 #1
 ...目標故障回路

となる。

(5) バックトラック

検査入力生成の過程で矛盾が生じたとき、別の選択を行うためバックトラックする。CONT アルゴリズムは、このバックトラックを(6)の目標故障の変更で行い、成功すれば(2)へ行く。

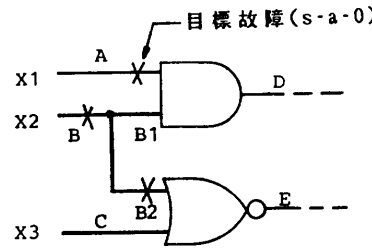


図 4 同時処理故障の挿入
Fig. 4 Insertion of concurrent faults.

(6) 目標故障の変更

同時処理故障の中から一つ選び、それを目標故障とする。今考えている例では、目標故障信号値(値)がA(0)で検査入力生成を進めているので、目標故障線をAからBに、目標故障信号値を0(すなわち、故障回路を#1)に変更し、(2)へ行く。このとき、変更する故障がないときは(7)へ行く。

(7) 外部入力の変更

回路の入力線の信号値を変えるというバックトラック²⁾に入る。いったん(7)のブロックを経た後にバックトラックが生じた場合は、目標故障は変更しない。すなわち、以後のバックトラックの発生に対しては、ブロック(7)で処理を進め、可能な入力の組合せについて調べる。例えば、今、同時処理故障が先の三つであり、目標故障がAからBを経てB2のs-a-0故障に変更されているとしよう。このとき、バックトラックが生じたら、これ以上変更する故障がないので、最後に決められている目標故障B2のs-a-0は変更しないで、ブロック(7)に入り、以後、この故障の検査入力を生成すべくアルゴリズムを進める。

2.3 CONT アルゴリズムの完全性

CONT アルゴリズムでは、ブロック(7)に一度入った後は、以後のバックトラックはすべてブロック(7)で行う。したがって、ブロック(7)に入った時点における目標故障は、以後の処理では変えない。このことは最後に決められている目標故障に対して、すべての入力の組合せについて調べることになる。すなわち、CONT アルゴリズムは、目標故障として順次変更されてきた以前の故障に対しては完全ではないが、現在ブロック(7)で処理を進めている故障に対しては、最悪の場合にはすべての可能な入力の組合せを考えることになるので、検出可能な故障に対する検査入力を生成できるという意味で完全な検査入力生成アル

表 1 CONT アルゴリズムの実験結果
Table 1 Results of CONT algorithm.

回路名	生成時間 比		検出率 (%)		テストの数		テストの数 比 10-V/CONT	平均バックトラックの数	
	CONT	10-V	CONT	10-V	CONT	10-V		CONT	10-V
C432	1.0	1.86	99.2	98.8	264	518	1.96	0.08	5.55
C880	1.0	1.13	99.9	100.	528	942	1.78	0.0	0.01
C1908	1.0	1.01	94.5	99.3	847	1879	2.22	0.34	0.77

ゴリズムとなる。

2.4 CONT アルゴリズムの特徴

CONT アルゴリズムは、次のような特徴をもっている。

(1) バックトラックが発生したとき、目標故障の変更を行い、回路の入力を変えるというバックトラックを減らすことができる。

(2) 目標故障の検査入力生成されたとき、その検査入力は同時処理故障の検査入力である可能性があり、生成された検査入力検出できる他の故障を効率よく求めることができる。

3. 実験結果

これまで述べた CONT アルゴリズムをプログラム化していくつかのサンプル回路⁶⁾に適用した結果を表 1 に示す。表 1 には、前にわれわれが提案した 10-V アルゴリズム⁴⁾の結果も比較のために示している。この結果から、CONT アルゴリズムは、10-V アルゴリズムより、検査系列生成時間は 1/1.8~1.0 倍となっているが、検査入力数は 1/1.8~1/2.2 に縮小されている。これは 2.4 節の (2) の効果を示すものであり、CONT アルゴリズムの有効性を表す一つの目安となる。また、バックトラックの数は CONT アルゴリズムの特徴として 10-V アルゴリズムより少ない。

4. むすび

本論文ではコンカレント性を用いた新しい概念に基づく検査系列生成アルゴリズムを提案した。この手法は、検査入力生成と故障シミュレーションを並行して行っていると考えられ、従来の検査系列生成システムの検査入力生成後、故障シミュレーションを行うという手法とは異なる。2.1 節の信号値表現では、NOT, NOR, NAND ゲートの演算後、未使用の隣接ビットペアが現れるので、その修正を行っている。今後、これらの点についてアルゴリズムを改良すれば、これまでとは異なる概念に基づいた効率のよい検査系列生成アルゴリズムが得られるものと考えている。これらについては、別の機会に報告したい。

参 考 文 献

- 1) Roth, J. P.: Diagnosis of Automata Failures: A Calculus and a Method, *IBM J. Res. Dev.*, Vol. 10, No. 4, pp. 278-291 (1966).
- 2) Goel, P.: An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits, *IEEE Trans. Comput.*, Vol. C-30, No. 3, pp. 215-222 (1981).
- 3) Fujiwara, H. and Shimono, T.: On the Acceleration of Test Generation Algorithms, *IEEE Trans. Comput.*, Vol. C-32, No. 12, pp. 1137-1144 (1983).
- 4) Takamatsu, Y. and Kinoshita, K.: An Efficient Test Generation Method by 10-V Algorithm, *Proc. of ISCAS 85*, pp. 679-682 (1985).
- 5) Thompson, E. W. and Szygenda, S. A.: Digital Logic Simulation in a Time-based, Table-driven Environment, Part 2. Parallel Fault Simulation, *IEEE Comput.*, Vol. 8, No. 3, pp. 38-49 (1975).
- 6) Brglez, F. and Fujiwara, H.: A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translator in FORTRAN, Special Session on ATPG and Fault Simulation, *Proc. 1985 IEEE Int. Symp., Circuit and Systems* (1985).
- 7) 高松, 板崎, 樹下: コンカレント性を用いた検査系列生成法, *情報研報*, Vol. 86, No. 29, 86-DA-32-1 (1986).

(昭和 61 年 7 月 7 日受付)

(昭和 61 年 9 月 10 日採録)



高松 雄三 (正会員)

昭和41年愛媛大学工学部電気工学科卒業。同年、呉工業高等専門学校助手。昭和42年佐賀大学理工学部助手。昭和50年同電子工学科助教授。現在に至る。スイッチング理論、しきい値論理、論理回路の故障診断などに関する研究に従事。工学博士。共著「電子計算機と情報科学」(共立出版)、「論理設計入門」(日新出版)。電子通信学会, IEEE 各会員。



樹下 行三 (正会員)

昭和34年大阪大学工学部通信工学科卒業。昭和39年同大学院博士課程修了。工学博士。同年同大学工学部助手。昭和41年助教授。昭和53年広島大学総合科学部教授。現在に至る。論理回路の故障診断論、検査容易設計論などの研究に従事。著書「デジタル回路の故障診断(上)」(工学図書)、「VLSIの設計II」(岩波書店)など。電子通信学会, 電気学会, IEEE 各会員。