

C-020

# 回路構造を利用したテスト容易化設計支援システム

## A Design-for-Testability Support System Using a Circuit Structure

吉田 宜司<sup>†</sup> 岩田 大志<sup>†</sup> 青山 瑠美<sup>†</sup> 山口 賢一<sup>‡</sup>  
 Takashi Yoshida Hiroshi Iwata Rumi Aoyama Ken'ichi Yamaguchi

### 1. はじめに

複雑化の進む VLSI におけるレジスタ転送レベル(RTL)など抽象度の高い設計段階におけるテスト容易化設計(DFT)に関する研究が盛んに行われている[1~4]. テストとは、信号線の断線のような回路内の物理的故障の有無を調べることである. DFT とは、回路のテストを容易とするために行う設計変更である. DFT は、主に回路中にテストに特化したハードウェアを追加することで実現する.

現在までに、RTL 回路に対する種々の DFT アルゴリズムが提案されている. しかしながら、研究者が考案した DFT アルゴリズムを評価する際、評価環境の構築に大きな工数を消費する. これは現状では評価環境をアルゴリズム毎に用意しているために生じる. また、評価環境がアルゴリズム固有であるため、評価の客観性が失われる可能性がある. これらの問題は、種々の DFT アルゴリズムに対応可能な評価環境が存在し、その評価環境を研究者間で共通に利用することで解決できる.

本稿では、統一した評価環境を実現し、より客観的な評価を行うことを目的として、新たな DFT 支援システムの構築を行った. システムの有効性および妥当性を確認するために、複数の文献[1~4]で示されている DFT アルゴリズム適用結果と構築したシステムを利用した結果の比較を行った. 結果から、システムの妥当性だけでなく、DFT アルゴリズムの再検証にもつながる結果を得ることができた.

### 2. DFT 支援システム

本システムは、RTL 回路に対する種々の DFT アルゴリズムに対して共通の評価環境を研究者に提供する.

本章では最初に、システムの概要について述べる. 次にシステムの詳細について説明する.

#### 2.1 概要

本システムは、入力を RTL 回路の VHDL ソースと評価対象の DFT アルゴリズムとし、出力を DFT 適用後の VHDL ソースとする.

#### 2.2 詳細

システムの構成図を図1に示す.

##### ① 入力部

VHDL ソースを読み込みグラフ化するために必要な情報の抽出を行う.

抽出する情報を以下に示す.

- ・ モジュールの個数
- ・ モジュールの種類
- ・ モジュール間の接続関係
- ・ 端子のビット幅

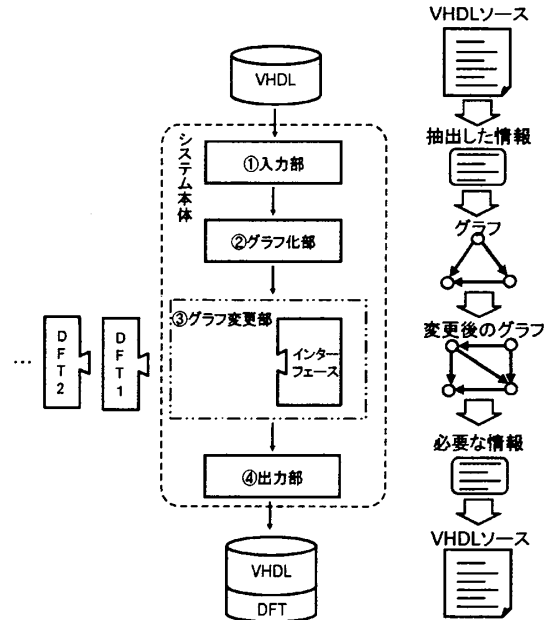


図1：システムの構成図

##### ② グラフ化部

入力部で得られた情報に従って以下のようにグラフ作成を行う.

- (a) モジュールの個数分頂点を作成する.
- (b) 作成した頂点にモジュールの種類情報を付加する.
- (c) モジュールの接続関係に基づき有向辺によって頂点間を接続する. 有向辺は入力端子に対して負の向きであり、出力端子に対して正の向きである.
- (d) 頂点間を結ぶ有向辺に対応する信号線のビット幅の情報を付加する.

##### ③ グラフ変更部

グラフ化部で得られたグラフに対し入力仕様(2.3)に従った DFT アルゴリズムを適用する.

##### ④ 出力部

DFT アルゴリズム適用後のグラフから VHDL ソースの作成に必要な情報を抽出し VHDL ソースの作成、出力を行う. 必要な情報を以下に示す.

- ・ モジュール間の接続関係
- ・ モジュールの種類
- ・ 端子のビット幅

### 2.3 入力仕様

システムの入力である VHDL ソースと DFT アルゴリズムには、システムの汎用性を維持するために、記述方法に対して幾つかの仕様を決定する.

<sup>†</sup> 奈良工業高等専門学校 専攻科 電子情報工学専攻

<sup>‡</sup> 奈良工業高等専門学校 情報工学科

## ① VHDLの入力仕様

以下示す仕様は entity 文および component 文に関するものである。

- (a) 信号線のデータタイプ  
 - データ信号線 : BUS  
 - その他の信号線 : std\_logic , std\_logic\_vector
- (b) モジュールの名前  
 - 演算モジュール : cm\_[演算名(略称)][番号]  
 ex)cm\_add1, cm\_sub1...  
 - 観測モジュール : om\_[演算名(略称)][番号]  
 ex)om\_comp1...  
 - レジスタ : reg[番号] ex)reg1, reg2...  
 - マルチプレクサ : mux[番号] ex)mux1, mux2...

## ② DFT アルゴリズム

著者らは, RTL 回路の回路構造をグラフ構造と同一視し, グラフアルゴリズムの応用により設計変更を行う DFT を提案している[1,3,4]. また, DFT アルゴリズムの多くは, 回路構造に基づいた設計変更が行われるため, グラフアルゴリズムに帰着可能である. したがって, 本システムでは入力する DFT アルゴリズムをグラフアルゴリズムに基づいて記述することとした.

## 3. 実験方法

構築したシステムの妥当性を示すために, 文献[1~3]の DFT アルゴリズム及びその実験に用いられている回路を入力とするシステムの動作実験を行った. 適用した DFT アルゴリズムは以下の4つである.

- フルスキャンに基づく BIST 法(以下, FS 法)
- 単一制御並行可検査性に基づくテスト容易化設計法(以下, CSC 法)[1]
- 単一制御可検査性に基づくテスト容易化設計法(以下, SC 法)[2]
- 不均一 bit 幅 RTL データパスに対する組込み自己テスト法(以下, Vb 法)[3]

FS 法の DFT 結果は文献[1]に示されているものを提示する. また, CSC 法の DFT 結果は, 回路のモジュール毎にテストを行う場合の結果を提示する.

## 4. 結果と考察

実験結果を表1に示す. 表中の数値はそれぞれの手法の適用による回路面積の増加率を示す.

表1より, FS 法, CSC 法および Vb 法において文献の結果とシステムの結果が一致していることが分かる. また, SC 法において, Paulin は結果が一致している. 一方 LWF においては文献[2]の結果と異なっていた. システムの出力を解析した結果, システムが行った設計変更は, 文献[2]に示されている定義を満たしており, システムに問題がないことが確認できた. 適用結果が異なった原因は, DFT アルゴリズムが自由度を持ち, 厳密な選択方法について言及されていないためである. そのため, 文献[2]で示された結果とシステムでの結果が異なると考えられる.

よって, 今回採用した DFT アルゴリズムすべてにおいて, 定義を満たす回路の設計変更が行えたといえる. つまり, 構築したシステムは妥当であるといえる.

表1: 実験結果

回路名	FS 法		CSC 法	
	文献[1] [%]	システム [%]	文献[1] [%]	システム [%]
LWF	103.05	103.05	21.71	21.71
Paulin	24.14	24.14	8.66	8.66
Tseng	36.75	36.75	17.01	17.01
回路名	SC 法		Vb 法	
	文献[2] [%]	システム [%]	文献[3] [%]	システム [%]
LWF	32.47	23.80	5.85	5.85
Paulin	7.27	7.27	15.51	15.51

## 5. まとめ

本稿では, 統一した評価環境を実現し, より客観的な評価を行うことを目的として, 新たな DFT 支援システムの構築を行った. 実験結果より, 構築したシステムは, 入力された DFT アルゴリズムに従って設計変更を行うといえる. また, アルゴリズムの自由度によって結果にばらつきが生じることを確認することができた.

つまり, 構築したシステムは, 種々の DFT アルゴリズムに対応可能な汎用性の高いシステムであり, 客観的に DFT アルゴリズムの再検証をも行うことのできるシステムであるといえる. 今後は, 本システムを研究者間で共通に利用し DFT アルゴリズムの評価を行うことより, 研究者の負荷軽減に対する定量的な評価や, 評価環境の統一の実現を課題としている.

## 謝辞

本研究における実験は, 奈良先端科学技術大学院大学コンピュータ設計学講座の設備を利用させていただいた. また, 複数の DFT アルゴリズムを提供していただいた. 深く感謝します.

## 参考文献

- [1] 山口賢一, 和田弘樹, 増澤利光, 藤原秀雄: “レジスタ転送レベルデータパスの単一制御並行可検査性に基づく組込み自己テスト法”, 電子情報通信学会論文誌(DI), Vol.J85-D-I, 2002.
- [2] 井筒稔, 和田弘樹, 増澤利光, 藤原秀雄: “単一制御可検査性に基づくレジスタ転送レベルデータパスの組込み自己テスト容易化設計法”, 電子情報通信学会論文誌(DI), Vol.J84-D-I, 2001.
- [3] 青山瑠美, 吉田宜司, 山口賢一: “一般ビット幅に対する組込み自己テストに関する研究”, 平成 16 年電気関係学会関西支部連合大会, Vol.G9, 2004.
- [4] 山口賢一, 井上美智子, 藤原秀雄: “階層 BIST のためのテスト容易化設計に関する研究”, 電子情報通信学会論文誌(DI), Vol.J86-D-I, 2003.
- [5] 藤原秀雄: “コンピュータの設計とテスト”, 工学図書株式会社, 1990.