

C-005

特定用途向け再構成型回路生成ツールによる MP3 復号回路の実装 Implementation of MP3 Decode Circuit Using the Configuration Generation Tool for Special Purpose Reconfigurable Circuit

小椋 清孝† 森下 賢幸† 大曾根隆志†
Kiyotaka Komoku Takayuki Morishita Takashi Ohzone

1. まえがき

我々は、特定用途向け処理回路の構成として、再構成機構の冗長部を削減した“簡略型再構成回路(Simplified Reconfigurable Circuit)”の検討を行っている[1]. 特定処理のみが実行可能になるように再構成パターンを制限することで、再構成機構の冗長部を削減することができ、これにより演算器の集積度向上や不要なロジックの削減に伴う消費電力削減が可能になると期待できる. 現在対象としている特定処理は、MP3 復号処理である[2].

これまでに、この簡略型再構成回路の構成を決定するための開発支援ソフトウェアである“再構成回路生成ツール(Configuration Generation Tool)”の開発を行ってきた. 再構成回路は機能が可変な演算要素とそれらの結合が可変な配線ネットワークから成るが、双方が最適化の対象となる. まず、配線ネットワークの冗長性を対象とし、これを削減した再構成回路を生成する開発ツールの整備を行った. この、冗長性を削減した配線ネットワークの構成の決定のために“マッピング最適化ソフトウェア(Mapping Optimization Software)”の開発を行った. また、これを再構成回路生成ツールに組み込んで単純な回路構成を対象として検証を行った[3][4].

この再構成回路の現実的な応用として MP3 復号処理を対象とした簡略型再構成回路の生成を試みたが、再構成面間のデータの受け渡しについて問題が発生した. 今回は、この問題を解消し、MP3 復号処理のいくつかの処理を可能とする簡略型再構成回路の構成を検討した.

2 特定用途向け再構成型回路生成ツールによる MP3 復号回路の実装

図 1(a)の構成を持つ MP3 (MPEG-1 Audio Layer III) デコーダ[2]について検討を行った. 再構成部については再構成回路生成ツールを用いて最適化し、できるだけ小規模になるよう試みた. ただし、再構成回路の処理対象をビットストリーム処理後のデータ処理、つまり、逆量子化、エイリアス削減、IDCT およびサブバンド合成の各処理に限定した(図 1(b)). これは、可変長復号を含むビットストリーム処理ではビット単位の処理が多用されるのに対し、それ以降では、四則演算などを主としたワード単位の処理が主となる. このため、両者を同一の再構成回路上で実装するためには、処理傾向の異なる演算器を同時に設置することになり、実行時の演算器利用率が低下するということが考えられる. そこで、ここではビットストリーム処理部は個別に設計したものを設置し、それ以外の処理を再構成回路で行うものとした.

再構成部には、演算ユニットとして、加減算器、乗算器、レジスタ、カウンタ、RAM の各ユニットと演算用のパラメータを格納した ROM ユニットの必要数だけ置き、これらを組み合わせることで MP3 の各処理を実行可能なパイプライン処理回路を構成できるようにした. 必要とされる演算ユニット数は、再構成回路に要求する処理性能や、再構成回路上で構成する処理回路の形などによりさまざまになる. 今回の実装では、再構成回路として実装する処理回路を MP3 のリファレンスソフトウェアである dist10 での実装に基づいて設計し、これらの回路が再構成で構成可能になるように演算ユニット数を決定した.

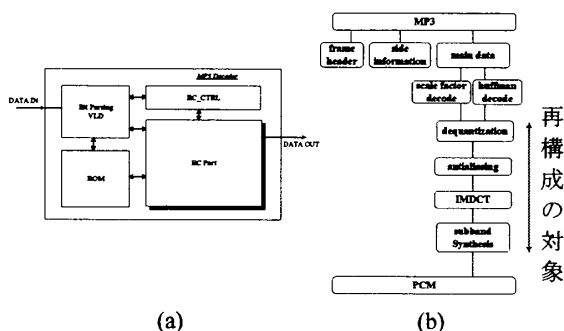


図 1 (a)簡略型再構成回路を持つ MP3 デコーダの構成

(b)再構成の対象とする MP3 処理部

3 再構成面間のパラメータ受け渡しに関する問題

我々の検討している簡略型再構成回路での再構成面間でのデータの受け渡しは、メインのデータである大量の復号(音声)データについては RAM ユニットに格納することで行う. つまり、各処理では RAM ユニット→処理→RAM ユニットという形で復号データは移動する. しかし、その他の保持すべきパラメータなどについては、受け渡し方法を組み込んでいなかった.

これを解決する方法として、次の 2 通りについて検討した. ひとつは、主データと同様、RAM ユニットに格納する方法、もうひとつはレジスタユニットのリセットをコントロールする機能を再構成機構に付加する方法である.

3.1 RAM ユニットに格納する方法

パラメータを RAM ユニット経由で他の面へ受け渡すとすると、パラメータがセットされているレジスタユニット

から RAM ユニットへ格納するための処理回路を置く必要がある。また、再構成後、そのパラメータを使用する場合には、演算に先立ち、レジスタユニットに値を分配する作業が必要となる。これは、メモリに格納したままでは、一度に複数のパラメータを回路上に供給することができず、パイプライン処理回路として回路全体を実行させるのが難しくなるためである。これを実現するため、書き込みについては、複数個所からのデータを順次メモリへ渡す回路がメモリ入力部に必要である(図2)。データ分配時には、書き込み先の複数のレジスタユニットの write enable を順次制御し、データを分配する回路が必要である(図3)。

3.2 レジスタユニットのリセットをコントロールする方法

現時点では、簡略型再構成回路の再構成の制御は、非常に単純な”再構成制御ユニット(RC_CTRL)”で行われる。これは、あらかじめ再構成部から次の再構成面の値を受け取っておき、再構成部からの再構成タイミング信号を受け取ったら、再構成部にリセット信号と次の再構成面の値を渡すことで再構成を実現するものである。これまでの構成では、再構成回路上のレジスタを持つ演算器はすべてこの再構成時のリセットでレジスタ中の値がクリアされる。そこで、”再構成制御ユニット”からレジスタユニットに向かうリセット線路上に信号をマスクする部分を設置し、リセットの対象外とするレジスタユニットを指定可能にすることで、再構成面間でのレジスタの値の受け渡しを可能とすることが可能になる(図4, 5)。再構成回路上のすべてのレジスタユニットに対してマスクを用意する必要はなく、受け渡しに必要な数だけのレジスタユニットを対応させればよい。

3.3 各方法の適用

受け渡すべきパラメータが大量にある場合、さらにそれらがいくつか異なる再構成面で使用される場合は RAM ユニットに格納する方法が有効であるといえる。レジスタユニットを使用する場合、パラメータの数だけのレジスタユニットが必要になるだけでなく、使用されない構成面において、そのレジスタは使用不可能な資産となり、演算器の利用効率を下げることになる。逆に、受け渡すパラメータが少ない場合には、レジスタユニット経由のほうが受け渡し機構を実現するための回路追加による回路規模増加や演算時間などの面で効率的であるといえる。

4 まとめ

特定用途向け再構成型回路生成ツールによる MP3 復号回路の実装を試みた。また、再構成面間のパラメータ受け渡しを行う機構について検討した。

参考文献

[1]小椋他, 第2回リコンフィギャラブルシステム研究会技術報告, 59-64, (2003)
 [2]難波他, H15 電気・情報関連学会中国支部連合大会講演論文集, 162011, 435(2003)
 [3]小椋他, 2005 年電子情報通信学会全国大会講演論文集, D-18-2, (2005)

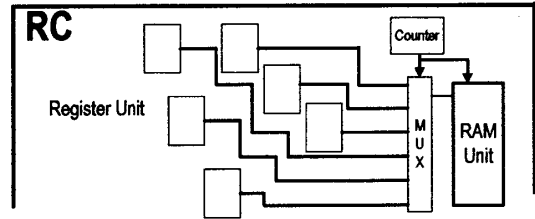


図2 RAMユニットへのパラメータ格納

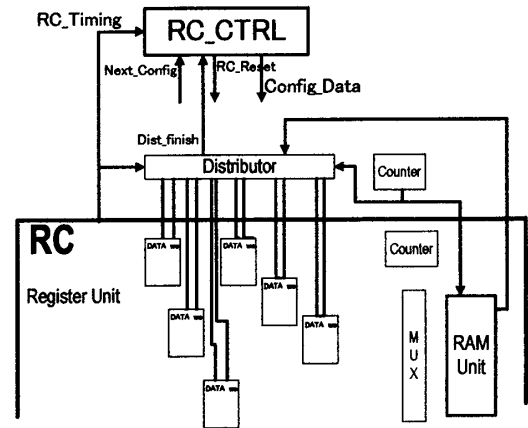


図3 RAMユニットからのパラメータ分配

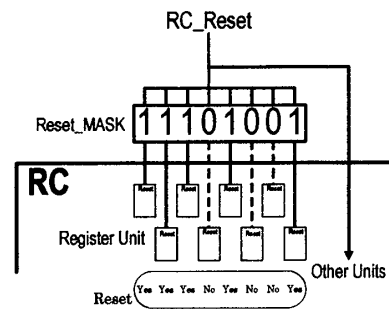


図4 レジスタユニットのリセットのマスク

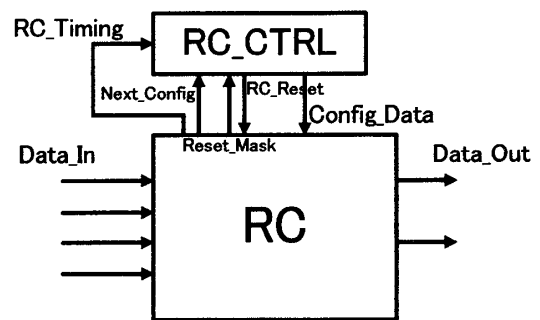


図5 マスク対応の再構成部制御部 (RC_CTRL)

[4] K. Komoku, et.al. Proc. ITC-CSCC2005, pp.567-568, (2005)