

## 修理系 TMR プロセッサシステムの信頼性 Reliability of Repairable TMR Processor

大原 衛<sup>†</sup>      新井 雅之<sup>†</sup>      福本 聡<sup>†</sup>      岩崎 一彦<sup>†</sup>  
Mamoru Ohara      Masayuki Arai      Satoshi Fukumoto      Kazuhiko Iwasaki

### 1. はじめに

現在, VLSI プロセッサは非常に多くの分野で用いられている. 特定用途向けのプロセッサには汎用製品よりも高い信頼性を必要とするものがある. 高信頼性を実現するためには, 厳重なテストを行う必要があり, 製造コスト全体に占めるテストコストの割合は, 求められる信頼性に対して非線形に大きくなる. このような背景から, テストコストの増大を抑えながら信頼性の高いプロセッサをつくることが求められている.

この課題に対する可能なアプローチとして, TMR (Triple Modular Redundancy) 方式 [1, 2] がある. 3個のプロセッサコアとボータなどの周辺回路からプロセッサを構成し, 冗長化することで信頼性向上を図る. 比較的信頼性の低いコアを複数用いて高信頼性を実現するため, 単一コアで同等の信頼性を持ったプロセッサを製造するのに比べて, テストを含めた全体の製造コストを低く抑えられる可能性がある.

本研究では, スキャンチェーンを用いたプロセッサコアのエラーリカバリ法を提案し, これを用いた修理系 TMR プロセッサシステムを設計した. 本稿では, TMR プロセッサシステムの信頼性を解析的手法によって評価し, 数値例を示す.

### 2. 修理系 TMR システムのエラーリカバリ

従来の TMR システムは, いずれかのモジュールに誤りが生じた場合, このモジュールを除去して縮退稼働する. これに対して本研究で提案する TMR プロセッサシステムでは, 単一のプロセッサコアに一時誤りが生じた場合, これをリカバリして再度 TMR とするため, 長期に渡って高いシステム信頼性を得ることができる.

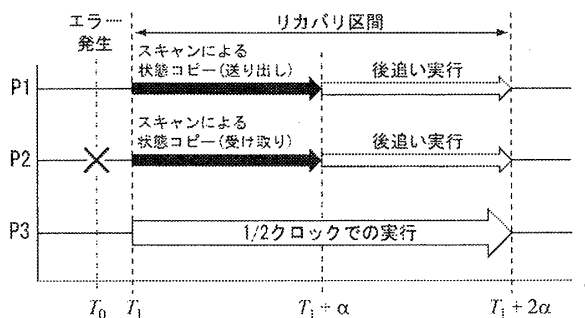


図 1: 修理系 TMR システムのエラーリカバリ

図 1 は, 本研究で提案する修理系 TMR プロセッサシステムの動作タイムチャートである. P1, P2, P3 はそれぞれプロセッサコアを表す. 図で時刻  $T_0$  において P2

<sup>†</sup> 東京都立大学大学院工学研究科, Graduate School of Engineering, Tokyo Metropolitan University

に誤りが生じ, 時刻  $T_0$  からリカバリを開始したとする. リカバリは, 正常なコア P1 から誤りを含むコア P2 への状態コピーによって行う. 同時に P3 はクロック周波数を半分に落としてタスクの実行を継続し, リカバリ中のシステムは単一プロセッサシステムとして動作する. 状態コピーが完了すると, P1, P2 はともに P1 の時刻  $T_1$  における状態となる. P1, P2 はこの時点から, 先行している P3 の処理を通常のクロック周波数でトレースする. P1, P2 が P3 に追いつくと, P3 が通常のクロック周波数での動作を再開して, システムは再び TMR に復帰する.

プロセッサコアの内部状態のコピーには, スキャンチェーンを利用する. スキャンチェーンは, コア内部の全てのフリップフロップを直列に接続したもので, フリップフロップのデータをシリアルに取り出すことができる. 通常これは製品テストに使用される. これを用いると, コアに含まれるフリップフロップ数だけのクロック数を費やして, 全てのフリップフロップの状態を取り出すことができる. コピー元コアと被リカバリコアのスキャンチェーンを図 2 のように接続することで, 状態コピーが実現できる. 図の例では 9 クロックで P1 の状態が P2 にコピーされる.

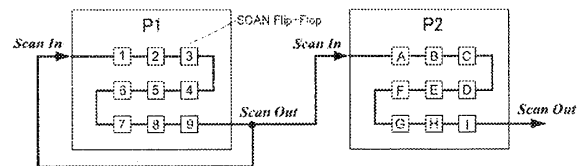


図 2: スキャンチェーンによる内部状態のコピー

### 3. 信頼性解析

従来の非修理系 TMR プロセッサと本研究で提案する修理系 TMR プロセッサの信頼性を評価する. 評価尺度としては, あるステップ時刻  $n$  までに誤りが外部に伝播している確率  $F(n)$  を用いる. 本稿では, 提案 TMR プロセッサのプロセッサ回復処理時間 (図 1 の  $2\alpha$ ) を 1 ステップ時間とする.

縮退故障などによる定常的な誤りは, 出荷前のテストにおいて十分高い確率で検査されていると考えられるので, 本稿の評価で対象とする誤りとしては, ある特定の条件が成り立つとき等に起こる過渡的な誤りのみを仮定する. それらの誤りの発生は TMR を構成する各プロセッサコア毎に独立であるとし, 共通モードの誤りは考えないものとする.

本研究では, ステップ毎の誤りの発生は独立であると仮定し, その発生確率を  $p$  とする. ステップ時刻  $n$  までに単一のコアに誤りが発生している確率  $F_{sgl}(n)$  は

$$F_{sgl}(n) = 1 - (1 - p)^n \quad (1)$$

となる。

図3はTMRプロセッサの評価モデルの状態推移図である。ここで、状態 $S_2$ はTMRの正常稼働状態、状

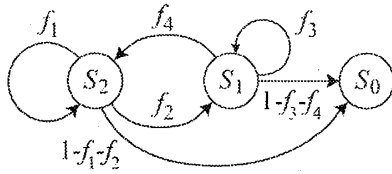


図3: 評価モデルの状態推移図。

態 $S_1$ はひとつのコアに誤りが発生した縮退状態、状態 $S_0$ は誤りが外部に伝播した状態をそれぞれ表す。

これらの状態空間を推移するマルコフチェーンの推移確率行列は、

$$Q = \begin{bmatrix} f_1 & f_2 & 1 - f_1 - f_2 \\ f_4 & f_3 & 1 - f_3 - f_4 \\ 0 & 0 & 1 \end{bmatrix} \quad (2)$$

となる。TMRプロセッサの初期状態を $S_2$ として、誤りが外部に伝播している確率 $F(n)$ は

$$F(n) = 1 - \frac{\alpha + f_2 - f_3}{\alpha - \beta} \alpha^n - \frac{\beta + f_2 - f_3}{\alpha - \beta} \beta^n \quad (3)$$

として得られる。ここで、 $\alpha$ および $\beta$ は行列 $Q$ の固有値であり、

$$\alpha = \frac{f_1 + f_3 + \sqrt{(f_1 + f_3)^2 - 4(f_1 f_3 - f_2 f_4)}}{2} \quad (4)$$

$$\beta = \frac{f_1 + f_3 - \sqrt{(f_1 + f_3)^2 - 4(f_1 f_3 - f_2 f_4)}}{2} \quad (5)$$

で表される。

1ステップの推移によって、正常稼働状態 $S_2$ から推移しない確率は $f_1 = (1-p)^3$ であり、 $S_2$ から1つのプロセッサコアに誤りが発生した状態 $S_1$ へ推移する確率は $f_2 = 3p(1-p)^2$ である。これらを用いて、正常稼働状態から1ステップで誤りが外部に伝播する確率は $1 - f_1 - f_2$ となる。

非修理系TMRでは、1つのプロセッサコアに誤りが発生した状態において、このコアのリカバリは実行されないため $f_4 = 0$ である。この状態において2つのコアで縮退稼働する場合、1ステップで誤りが外部に伝播しない確率は $f_3 = (1-p)^2$ である。また、1つのコアで縮退稼働する場合は $f_3 = 1-p$ である。

本研究の修理系TMRでは、1つのプロセッサコアに誤りが発生した状態において、1つのコアが縮退稼働する。残り1つの正常コアは誤りの発生したコアへの状態コピーを担当する。このため、3つのプロセッサコアの故障モードは異なる。最も故障確率の高いプロセッサコアは縮退稼働するコアであると考えられ、その確率は高々通常時の誤り発生確率 $p$ 以下と予想される。このことから、縮退稼働状態からリカバリに成功する確率を $f_4 = (1-p)^3$ とする。これは、状態コピー処理中の2つ

のコアも縮退動作するコアと同等な故障確率を持つものとして、かなり控えめに見積もった確率である。なお、リカバリ処理は1ステップ時間で成功または失敗して終了するから、 $f_3 = 0$ である。

#### 4. 数値例

図4に $n$ ステップ時刻までに誤りが外部に伝播している確率を示す。 $F_{sgl}$ は単一プロセッサ、 $F_{non2}$ は2つのプロセッサコアで縮退稼働する非修理系TMR、 $F_{non1}$ は1つのプロセッサコアで縮退稼働する非修理系TMR、 $F_{rep}$ は修理系TMRにそれぞれ対応している。誤り発生確率は $p = 10^{-6}$ である。本研究で提案する修理系TMRが極めて高い信頼性を達成していることが解る。なお、非修理系TMRの信頼性が、ある時点以降では単一システムよりも劣ることはすでに知られているとおりである。しかし、グラフから判るように、これは縮退稼働するプロセッサコアを1つとすることで改善される。

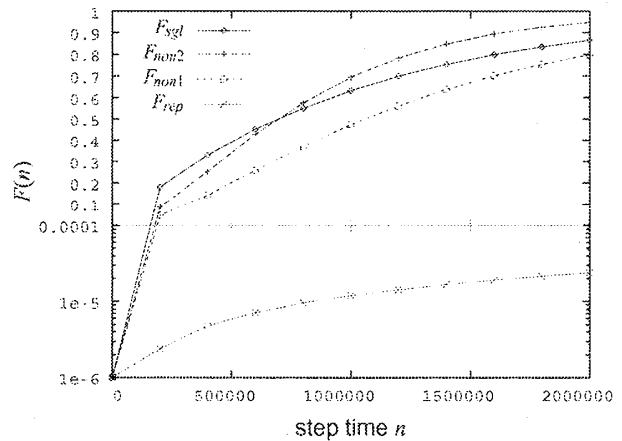


図4: 誤りが外部に伝播している確率。

#### 5. まとめ

長期間に渡って高い信頼度を発揮する修理系TMRプロセッサシステムのエラーリカバリ手法を提案し、信頼性を定量的に評価した。数値例から、提案した修理系TMRプロセッサが単一プロセッサ、既存の非修理系TMRプロセッサに比べて、非常に高い信頼性を達成していることが示された。

#### 謝辞

本研究の手法の検討、試作TMRプロセッサの設計に多大な貢献をされました東京都立大学大学院の山形優輝氏に感謝します。

#### 参考文献

- [1] A. Hopkins, et al., "FTMP—A Highly Reliable Fault-Tolerant Multiprocessor for Aircraft," *Proc. IEEE*, vol. 66, pp. 1221-1239, Oct. 1978.
- [2] J. Wensley, "SIFT: The Design and Analysis of a Fault-Tolerant Computer for Aircraft Control," *Proc. IEEE*, vol. 66, pp. 1240-1255, Oct. 1978.