

M-018

超高速無線通信ベースバンドシステム用クロック生成器

Clock Generator for a Baseband System of Ultra High Speed Wireless Communications

大庭 信之 甲田 泰照 片山 泰尚
Nobuyuki Ohba Yasuteru Kohda Yasunao Katayama

1. まえがき

モバイル通信の急速な普及と拡大から、無線通信の高速化、多機能化が進んでいる。本論文では、ミリ波通信に代表される超高速無線通信のベースバンドシステムの基本クロック用に設計開発したクロック生成器について、その設計方針、基本構成及び特徴について述べる。さらに、アクティブループフィルタを使ったリアルタイム位相制御について述べ、実験結果を示す。

2. 設計方針とシステム概要

筆者らは超高速無線通信用ベースバンドシステムを研究開発している[1]。さまざまな環境や条件下で実験を行うためには、広い周波数範囲を安定かつ低ジッタで発振するクロック生成器が必要である。

われわれが現在使用している ADC と DAC のサンプリング周波数は最大 4GHz であり、それらを駆動するためには 2GHz のクロックが必要である。また、同一クロックをパッシブプリッタによって複数のターゲットに分配できるように、高出力かつ出力電力可変にしたい。そこで高周波アンプを終段に置く構成とする。高出力を得るために高周波アンプへの供給電源電圧は 12V とした。利便性を考慮し、カードは 12V 単一電圧供給とし、カード上に電圧レギュレータを置いて 5V、3.3V、3V を生成する。ノイズを極力減らすために DC/DC コンバータではなく、構成部品の消費電力を慎重に考慮しながら、低ノイズの低ドロップアウトリニア電圧レギュレータを採用した。

PLL には周波数の微調整も可能なように Fractional 型を採用し、効率よく実験を行えるようにするため、USB インターフェイスを使って、周波数や各種 PLL パラメータを設定できるようにした。USB インターフェイスは PC と接続され、PC 上でそれらパラメータを制御できるように GUI を使ったツールを独自開発した。

さらに、受信機側において ADC のサンプリング位置を動的に微調整し、実験を行えるよう、PLL のループフィルタにクロック位相調整回路を組み込んだ。クロックの位相がリアルタイムで安定して調整できれば、最適なサンプリングポイントを選択する、あるいは、サンプリング周波数を下げて省電力化できる可能性がある。

通常は、FPGA ベースボード[1]にコネクタを介して直接マウントして使うが、クロックカード単独でも動作するように考慮した。なお、電源投入時の PLL 初期設定はカード上に搭載したワンチップマイコンによって行う。

これらの背景から策定した本器の特徴をまとめる。

- クロック最大周波数 2GHz (差動)
- 出力可変 (最高出力 25dBm 以上)
- Fractional PLL 採用による周波数微調整

日本アイ・ビー・エム株式会社東京基礎研究所
IBM Research - Tokyo

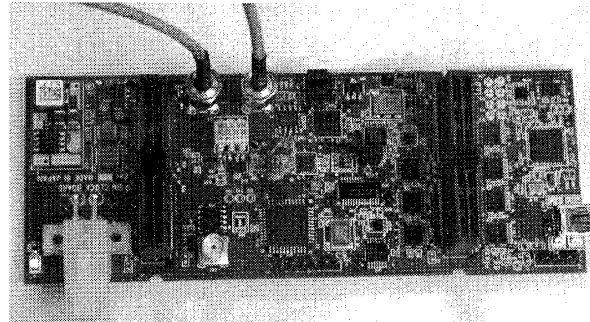


図1 クロック生成器

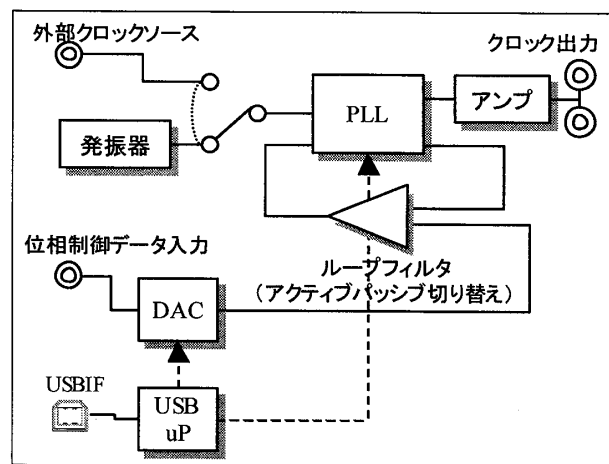


図2 ブロック図

- USB インターフェイスを使った周波数変更、PLL パラメータ調整機能
- アクティブループフィルタと DAC を使ったアクティブ位相調節機能 (位相調節を行わないときはパッシブループフィルタも選択可能)
- コンパクトサイズ (5cm×13cm)
- 単一電源供給 (12V)

本器の外観写真を図1に、ブロック図を図2に示す。

3. リアルタイム位相調整回路の実験

通常、PLL のループフィルタは抵抗とコンデンサで構成するパッシブ型が用いられる。一方、チャージポンプの出力が VCO 入力電圧を十分にドライブできない場合など、アクティブループフィルタを用いて位相比較器の出力を増幅する。今回はアクティブループフィルタへ与える V_{bias} に与える電圧を DAC により可変し、位相を変化させることができる [2]。位相調整部分の回路図を図3に示す。

位相変化の動作を簡単にまとめると次のようになる。定常状態から V_{bias} を変化させると、オペアンプの出力電圧

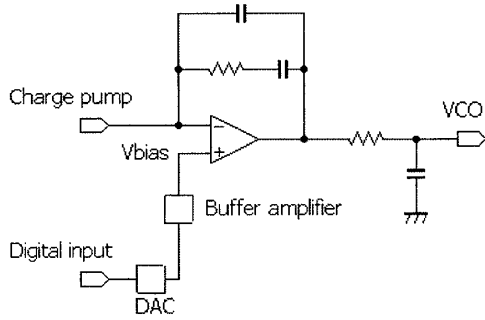


図3 位相調節回路

が変わり、VCOへ供給される電圧が変化するとVCOの発振周波数が変化する。続いて位相比較器が位相ずれを検出し、チャージポンプを動かして、フィードバックをかけ、発振周波数を戻そうとする。すなわち、Vbiasを変化させると、VCOの発振周波数が一瞬高く(あるいは低く)なり、その後もとの周波数へ戻る動きにより、結果的に位相が変わる。

位相変化の反応速度や変化の度合いは、DACの速度、オペアンプの速度、ループフィルタバンド幅、VCOゲイン、位相比較器の速度、チャージポンプの出力電流など多くの要因に左右される。たとえば、反応速度を上げるためには、ループフィルタのバンド幅を広げ、DAC出力を大きく変化

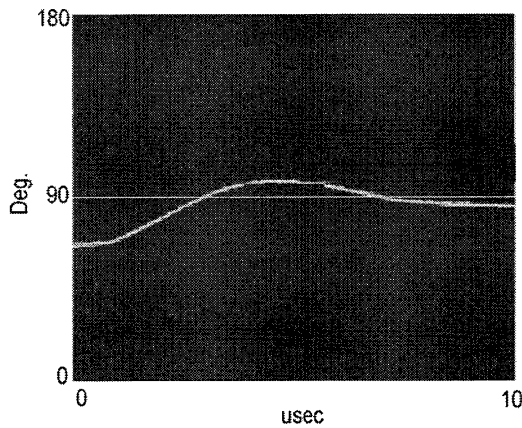


図4 位相変化(1)

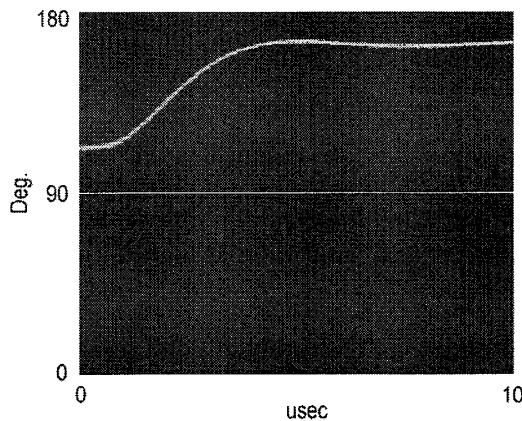


図5 位相変化(2)

させればよいが、発振が不安定になったり、位相雑音が増加したりしてしまう。

参考文献[3]には位相比較器の動作周波数(F_{comp})とループフィルタバンド幅(BW)の関係から、システムの安定性とサイクルスリップについて述べられている。 F_{comp}/BW が10未満であるとPLLが不安定になる。逆に F_{comp}/BW が50を超えるとサイクルスリップが徐々に発生し、ロック時間が長くなるとされている。今回の実験で用いたPLLは位相比較器周波数が18MHzであるため、この文献を参考に、ループフィルタのバンド幅をその10分の1である1.8MHzとし、実験を行った。位相変化の測定はDACから矩形波を出力し、それを直接ADCに入力してサンプリングし、位相変化を求めた。

図4、5はDACの出力変化から位相がどのように時間変化したか示したものである。それぞれ、およそ20度と60度変化していることがわかる。位相が安定するまでおよそ10 μ 秒かかっている。図6はチャージポンプ電流を小さくした場合である。位相が変化し始めてからフィードバックがかかり周波数がもとに戻るに時間がかかり、結果的にトータルの位相変化が大きくなってしまっている。

4. まとめ

本論文では、超高速無線通信のベースバンドシステム用に製作したクロック生成器について、その特徴と位相制御の実験結果について述べた。今後は、位相雑音特性がどう変化しているか、また温度や電圧の影響について調査し、位相制御を実際の通信に使うことでどの程度の効果が得られるか、引き続き実験を行う予定である。

参考文献

- [1] 大庭, 甲田, 高野, 中野, 山根, 片山, “超高速無線通信用ベースバンドシステム開発プラットフォーム,” FIT2009, RM-007.
- [2] 遠坂俊昭, “PLL回路の設計と応用” CQ出版 (ISBN 9784789833455)。
- [3] Dean Banerjee, “PLL Performance,” National Semiconductor.

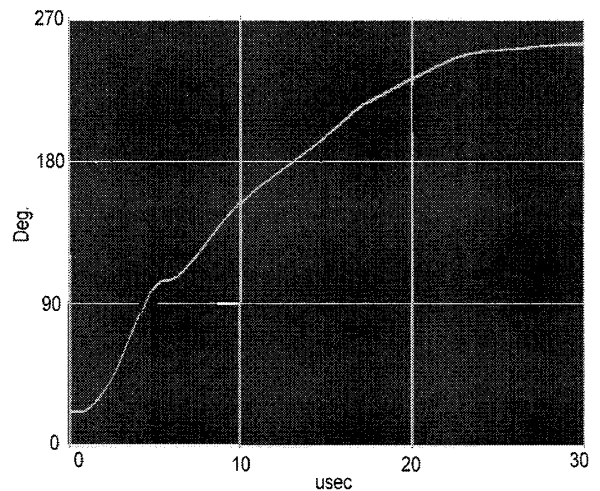


図6 位相変化 (チャージポンプ電流小)