

専用ハードウェア化による通信プロトコル処理 高速化の一方式†

松 井 進^{††} 平 田 哲 彦^{††} 横 山 達 也^{††}
水 谷 美 加^{††} 寺 田 松 昭^{††}

通信ネットワークにおける伝送速度の高速化に伴い、通信プロトコル処理の高速化が求められている。本論文では、レイヤ4以下のOSI通信プロトコルへの適用を目的に、データ転送正常処理を専用ハードウェア化した通信プロトコル処理高速化方式の提案と、試作システムによる性能評価結果を述べている。提案方式の特徴は、①通信プロトコル処理を、処理の高速性が要求されるデータ転送正常処理と、処理の高速性に対する要求が少ないコネクション制御処理およびデータ転送異常処理に分ける、②データ転送正常処理を行う専用ハードウェアとコネクション制御処理およびデータ転送異常処理を行う汎用マイクロプロセッサとを組み合わせ、通信プロトコル処理装置を構成する点にある。本方式により、小さなハードウェア規模による高速処理を実現している。提案方式に基づき、LAN環境でよく用いられるOSIの2~4レイヤの通信プロトコル（レイヤ2:ロジカルリンクコントロールクラス1,レイヤ3:コネクションレスネットワークプロトコル,レイヤ4:トランスポートクラス4）処理を行う通信プロトコル処理装置を試作した。試作装置による性能実測の結果、すべての処理をソフトウェアで実現する方式に比べ、通信プロトコル処理時間が1/10になることを確認した。

1. はじめに

通信ネットワークにおける伝送速度の高速化が進んでいる。LANの分野では、100Mbpsの伝送速度を持つFDDIが国際標準となりつつある¹⁾。広域網の分野においても、将来、広帯域ISDNの出現により150Mbpsへと高速化される²⁾。通信ネットワークの伝送速度の高速化により、①通信ネットワークの大容量化、②エンド・ツー・エンドにおけるデータ転送スループットの向上への期待が高まっている。しかし、エンド・ツー・エンドのデータ転送スループットは、伝送速度に比べると高速化されていない。これは、エンド計算機内での通信プロトコル処理が従来どおりソフトウェアにより行われており、処理オーバーヘッドが大きく、データ転送スループット向上に対するネックとなっているためである。

通信プロトコル処理オーバーヘッドの短縮を目的とした研究は、対象通信プロトコルおよび通信プロトコル処理方式により分類できる。対象通信プロトコルの観点からは、①OSI等の既存の標準通信プロトコルを対象とする研究³⁾⁻⁵⁾、②高速通信向けの新しい通信プロトコルを提案する研究⁶⁾⁻¹⁰⁾に分けることができる。通信プロトコル処理方式の観点からは、①ソフト

ウェア処理の範囲で高速化を図った研究^{3),6),7)}、②通信プロトコル処理用のハードウェア構成を提案する研究^{4),5),8),10)}に分けることができる。本論文では、OSI通信プロトコル処理のハードウェア化による高速化のアプローチを取る。

OSI通信プロトコルを対象とした通信プロトコル処理のハードウェア化の研究としては、LAPBやLAPDなどのレイヤ2の通信プロトコル用LSIの研究⁴⁾およびレイヤ3以下の通信プロトコルであるX.25用VLSIプロセッサの研究⁵⁾がある。OSIのトランスポートレイヤ（レイヤ4）までを対象とした研究は見当たらない。X.25用VLSIプロセッサの研究⁵⁾では、VLSIプロセッサ外部に設置されたマイクロプログラムの実行指示に基づいて、VLSIプロセッサ内部のマイクロプログラムが走行する階層的なマイクロプログラム制御方式により、高速性と柔軟性（通信プロトコルの仕様変更に対する対応性）の両立を実現している。しかし、X.25以外の通信プロトコルへの適用については述べられていない。

一方、独自の通信プロトコルを対象とした通信プロトコル処理のハードウェア化の研究としては、XTP(Express Transfer Protocol)⁸⁾と呼ばれるOSIのレイヤ3,4相当の独自プロトコルを対象とした研究がある¹⁰⁾。本研究では、通信プロトコル処理部、バッファ管理部、伝送路インタフェース部および上位インタフェース部にそれぞれVLSIを持つ構成を提案している。

† High Speed Processing of Communication Protocols by Special Purpose Hardware by SUSUMU MATSUI, TETSUHIKO HIRATA, TATSUYA YOKOYAMA, MIKA MIZUTANI and MATSUAKI TERADA (Systems Development Laboratory, Hitachi, Ltd.).

†† (株)日立製作所システム開発研究所

本論文では、①通信プロトコル処理のうち、特に高速化が要求されるのはデータ転送正常処理であること、②コネクション型の通信プロトコルにおいては、スタティックな意味において、データ転送正常処理の通信プロトコル処理全体に占める割合が小さいことに着目し、レイヤ4以下のOSI通信プロトコルに適用可能な通信プロトコル処理のハードウェア化による高速化方式を提案する。提案方式の特徴は、①通信プロトコル処理を(i)データ転送正常処理と(ii)コネクション制御処理およびデータ転送異常処理の二つに分ける、②前者の処理を行う専用ハードウェアと後者の処理を行う汎用マイクロプロセッサとを組み合わせる通信プロトコル処理装置を構成する点にある。本方式により高速性と柔軟性の両立を実現している。

以下、2章では通信プロトコル処理の高速化のアプローチ、3章では通信プロトコル処理の高速化に関する本論文の提案方式および提案方式に基づき試作したOSIのレイヤ4(トランスポートレイヤ)以下の通信プロトコル処理を行う通信プロトコル高速処理装置につき述べ、4章では本装置の性能評価結果を述べる。

2. 通信プロトコル処理の高速化

2.1 通信プロトコル処理高速化の必要性

図1に対象とする通信システムの構成例を示す。対象とする通信システムとしては、LAN等の高速伝送路により複数の計算機が接続された構成を考える。各計算機は、OSIのレイヤ4(トランスポートレイヤ)以下を実装した通信制御装置を内蔵しているものとする。図2に通信制御装置で実行する通信プロトコル(OSI)の組合せを示す。この組合せは、LANにおいてよく用いられる組合せである。図3に図2の通信プロトコルの組合せにおけるデータ転送シーケンスモデルを示す。

我々の試算によると、図3のデータ通信シーケンスにおける通信プロトコル処理のダイナミックステップ数は送受信それぞれ約2500ステップ(アセンブリ言語換算)であった。この処理を通信制御装置内の汎用マイクロプロセッサで行うと考えると、汎用マイクロプロセッサのMIPS値を1.5MIPS、トランスポート

ユーザデータ長を2Kバイトとして、最大スループットは約10Mbpsであることがわかる。つまり、伝送路の伝送速度が向上しても、エンド・ツー・エンドのスループットは10Mbps以上には上がらないことになる。最近の伝送速度の向上はめざましく、100Mbpsから1Gbpsの時代を迎えようとしている。伝送速度の高速化を生かし、エンド・ツー・エンドのデータ転送スループットを向上させるためには、ネットワークとなっている通信プロトコル処理の高速化が必要となる。

2.2 高速化のアプローチ

OSI通信プロトコルを前提とした場合、通信プロト

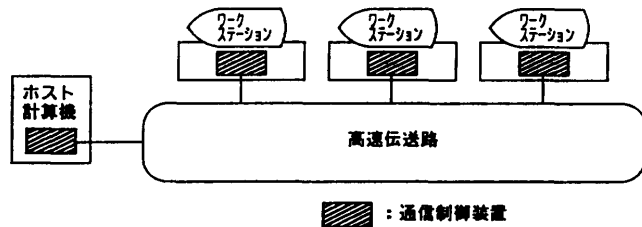


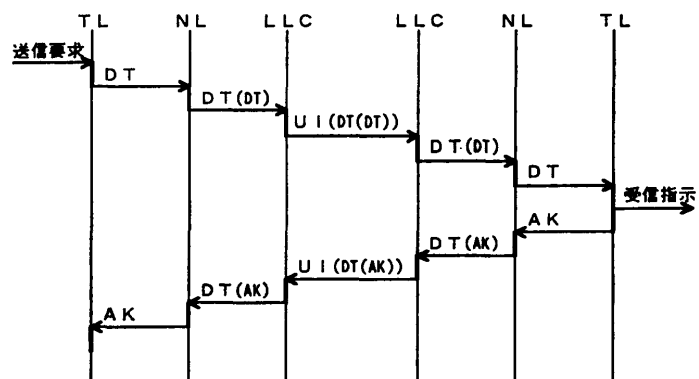
図1 通信システム構成

Fig. 1 Configuration of communication system.

4	トランスポートクラス4
3	コネクションレスネットワークプロトコル
2	ロジカルリンクプロトコルクラス1
	LAN固有MACプロトコル
1	LAN固有PHYプロトコル

図2 通信プロトコルの組合せ例

Fig. 2 Layered structure of communication protocols.



TL: Transport Layer, NL: Network Layer, LLC: Logical Link Control, DT: Data, AK: Acknowledgment, UI: Unnumbered Information.

図3 データ転送シーケンスモデル

Fig. 3 Data transfer sequence model.

コル処理高速化のアプローチには以下の方式がある。

- (1) 通信プロトコル処理アルゴリズムの改良
- (2) 汎用マイクロプロセッサの処理能力の向上
- (3) 通信プロトコル処理の専用ハードウェア化

(1)の方式は、処理アルゴリズムの改良により、通信プロトコル処理のステップ数を減らそうとする方式である。我々は本方式により約1.5倍程度の性能向上が可能であることを確認している。しかし、この方式だけでは100 Mbps~1 Gbpsへの対応は困難である。(2)の方式は、汎用マイクロプロセッサの最近のめざましい性能向上に期待する方式である。単純には、100 Mbpsには15 MIPSの、1 Gbpsには150 MIPSの汎用マイクロプロセッサを使用すればよいことになる。しかし、計算機に内蔵される通信制御装置への適用を考えた場合、ハードウェア量およびコストの面から見て最善策とはいえない。これらの方式に対して(3)の方式は、通信プロトコル処理の特徴にあった通信プロトコル処理専用のハードウェアを考える方式であり、性能、ハードウェア量、コスト等の面で期待が持てる方式である。本論文では、通信プロトコル処理専用ハードウェア方式を採用する。

3. 通信プロトコル処理のハードウェア化方式

通信プロトコル処理用ハードウェアが具備すべき要求条件を明らかにし、その解決方法について論ずる。

3.1 要求条件

通信プロトコル処理用ハードウェアに対する要求条件には、以下の項目がある。

(1) 高速性

階層化通信プロトコルを前提として、伝送速度の高速化に対応できる高いデータ転送スループットを実現することが要求される。具体的には、100 Mbpsを実現し、かつ、1 Gbpsに対応できるポテンシャルを持つことが要求される。

(2) 柔軟性

OSIのレイヤ4以下の通信プロトコルへの適用を考えた場合、各々の通信プロトコルにおけるオプションの使い方等の各種通信プロファイルへの対応および各通信プロトコルへの対応という二段階の柔軟性が要求される。

(3) ハードウェア規模

計算機に内蔵される通信制御装置への適用が可能なコンパクトなハードウェア規模であることが要求

される。

3.2 ハードウェア化の基本方式

通信プロトコル処理をハードウェア化する方式としては、通信プロトコル処理全体を専用ハードウェア化する方式が考えられる。本方式には、通信プロトコル処理全体を高速化できるという利点があるが、①柔軟性を高めるのが困難、②ハードウェア規模が大きくなるという欠点がある。

本論文では、①通信プロトコル処理のうち特に高速化が要求されるのはデータ転送正常処理であること、②コネクション型の通信プロトコルにおいては、データ転送正常処理の通信プロトコル処理全体に占める割合が小さいことに着目し、以下の基本方式を提案する。

(1) 通信プロトコル処理を、①データ転送正常処理と②コネクション制御処理およびデータ転送異常処理の二つに分ける。

(2) データ転送正常処理のみを専用ハードウェアにて行い、コネクション制御処理およびデータ転送異常処理は汎用マイクロプロセッサで行う。

本基本方式は下記の特徴を持つ。

(1) 通信プロトコル処理のうち、エンド・ツー・エンドのデータ転送スループットに係り、特に高速性が要求されるデータ転送正常処理を専用ハードウェアで行うため、高速性が確保できる。

(2) コネクション制御処理およびデータ転送異常処理を汎用マイクロプロセッサのソフトウェアで行うので、コネクション設定時のネゴシエーション処理、異常回復処理等の通信プロトコル処理における比較的複雑な処理に柔軟に対処できる。

(3) 専用ハードウェアの機能がデータ転送正常処理に限られているため、ハードウェア規模を小さくできる。

3.3 通信プロトコル高速処理装置の構成

図4に3.2節で述べたハードウェア化基本方式に基づく通信プロトコル処理ハードウェア(以下、通信プロトコル高速処理装置)の構成を示す。通信プロトコル高速処理装置は、レイヤ対応のデータ転送正常処理を行う専用ハードウェアFEU(Front End Unit)と各レイヤ共通の汎用プロセッサBEU(Back End Unit)から構成される。図5にFEUの内部構成を示す。FEUは、FEUに対する処理要求(コマンド)や通信パケットが格納された共通メモリに対するアクセスを行うメモリアクセス部、FEU内部にコマンド

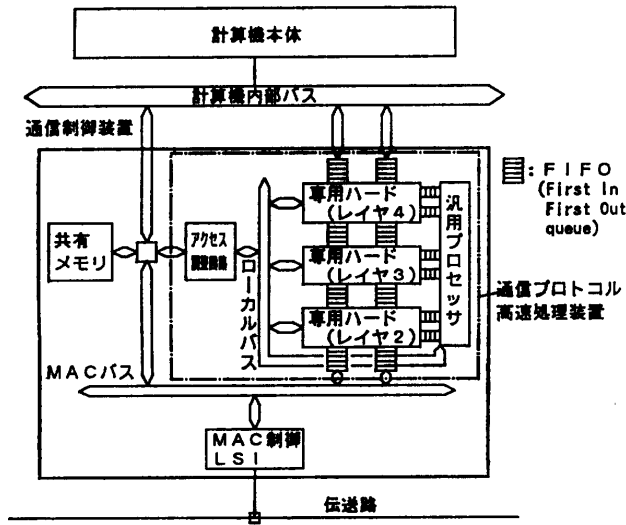


図4 通信プロトコル高速処理装置の構成
Fig. 4 Configuration of high speed processing unit of communication protocols.

およびプロトコルヘッダを蓄積するコマンドレジスタおよびヘッダレジスタ、プロトコルヘッダのデコーダ/エンコーダ、コネクション状態等のコネクションごとの情報を格納するレジスタファイル、順序番号更新等を行うプロトコル演算部、上位/下位レイヤおよびBEUとの間のインタフェース用FIFO (First In First Out queue: 先入れ先出しキュー) およびFEUの動作を制御する各制御部から構成されている。

FEU および通信プロトコル高速処理装置においては、以下の工夫により、高速性と柔軟性を実現している。

(1) 通信プロトコル処理とメモリアクセスの並列化

FEU からのメモリへのアクセスは、バス幅の制限により最大4バイト単位となる。一方、通信プロトコルヘッダ長は4バイトより長い場合があり(レイヤ3のコネクションレスネットワークプロトコルの場合30バイト以上になることもある)、複数回のメモリアクセスが発生する。そこで、通信プロトコル処理とメモリアクセスを並列化し、処理の高速化を図った。

(2) メモリアクセスの効率化

一般に、バス幅から決まるアドレス境界をまたがってメモリのリード/ライトを行う場合、一度のメモリアクセスでは行えず、複数回のメモリアクセスが必要となる。一方、通信プロトコルヘッダの形式はアドレス境界とは無関係に決まっており、各FEU およびBEUからはアドレス境界をまたがったリード/ライトが発生し、メモリアクセス回数が増加する。このメモリアクセスの増加を押さえるため、メモリアクセス調整回路を設け、アドレス境界をまたがったメモリアクセスを可能とした。

(3) 水平型マイクロプログラムによる制御

FEU の動作を制御する各制御部には、柔軟性を考慮し、マイクロプログラム制御のコントローラ(実行速度: 20 MIPS)を使用した。マイクロプログラムと制御信号との関係は、マイクロプログラムの各ビットが制御信号と一対一に対応する水平型の構成とし、処理の高速化を図った。

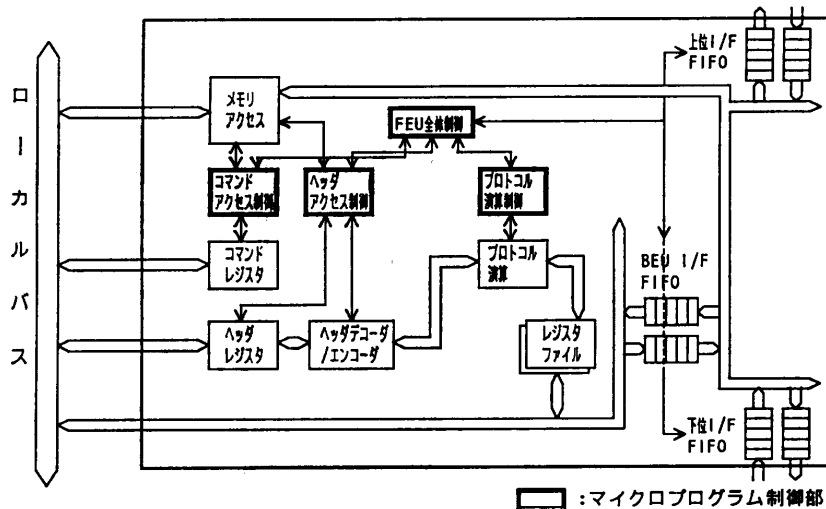


図5 FEUの内部構成
Fig. 5 Internal configuration of Front End Unit.

(4) BEU のバックエンド化

次に実行すべき処理が、FEU で行う処理なのか BEU で行う処理なのかの判定の高速化のため、本判定処理を FEU で行う構成とした。汎用マイクロプロセッサを BEU (Back End Unit) と呼ぶのはこのためである。

(5) データパスと制御パスの分離

レイヤごとに FEU, バックエンドとして BEU を持つ構成においては、各 FEU 間および FEU と BEU 間のインタフェースオーバーヘッドが高速化のネックとなる恐れがある。そこで、インタフェースの高速化のため、データパスと制御パスとを分離する構成とした。具体的には、送受信パケットは共通メモリ内に置き、FEU および BEU は共通メモリをアクセスし通信プロトコル処理を行う方式とした。各 FEU 間および FEU と BEU 間にはデータパスを設けない。制御パスとして、上下レイヤ対応の FEU 間および FEU と BEU 間に、各方向対応の FIFO を設ける構成とした。

(6) 通信プロトコルヘッダの事前作成

各通信プロトコルのヘッダ情報は、アドレス情報(コネクション識別子を含む)、タイプ識別子、順序番号、レングス等から構成されている。このうち、順序番号およびレングス以外は通信相手が決まれば(コネクションオリエン特の場合にはコネクションが決まれば)基本的には固定値となる。そこで、トランスポートコネクションを設定した時点で、コネクション対応にバッファをアサインし、そのバッファ内にトランスポートレイヤ以下のプロトコルヘッダの固定値を設定しておく。送信処理の際には順序番号等の可変値のみを設定する方式とした。本方式により、送信処理の際のヘッダ作成処理オーバーヘッドを削減した。

上記構成方式に従い、通信プロトコル高速処理装置を試作した。表 1 に本通信プロトコル高速処理装置の仕様を示す。本通信プロトコル高速処理装置は汎用マイクロプロセッサ(BEU)として 68020 (25 MHz) を使用している。FEU については内

表 1 試作通信プロトコル高速処理装置の仕様
Table 1 Specification of the high speed processing unit of communication protocols.

項目	仕様	備考	
適用プロトコル	LLC タイプ 1, CLNP, TP 4		
BEU	68020 (25 MHz)		
共有メモリ	512 kB	バッファメモリ	
内部バス	IEEE 1014 バス	32 bit バス	
F	制御方式	マイクロプログラム方式	
	上位, 下位 I/F	FIFO 方式	512 ステップ 1000 エントリ
E	BEU/F	FIFO 方式	1000 エントリ
U	DMA 性能	4 MB/秒	ヘッダの Read/Write
	ハード量	300 mm×320 mm ボード 1 枚	

注: 試作ではレイヤ 2 と 3 の処理を一つの FEU で行う構成とした。

部のマイクロプログラムの変更により、同一ハードウェアで図 2 に示した各通信プロトコルに対応可能であった。

4. 性能評価

4.1 評価の目的

提案した通信プロトコル処理高速化方式の効果を定

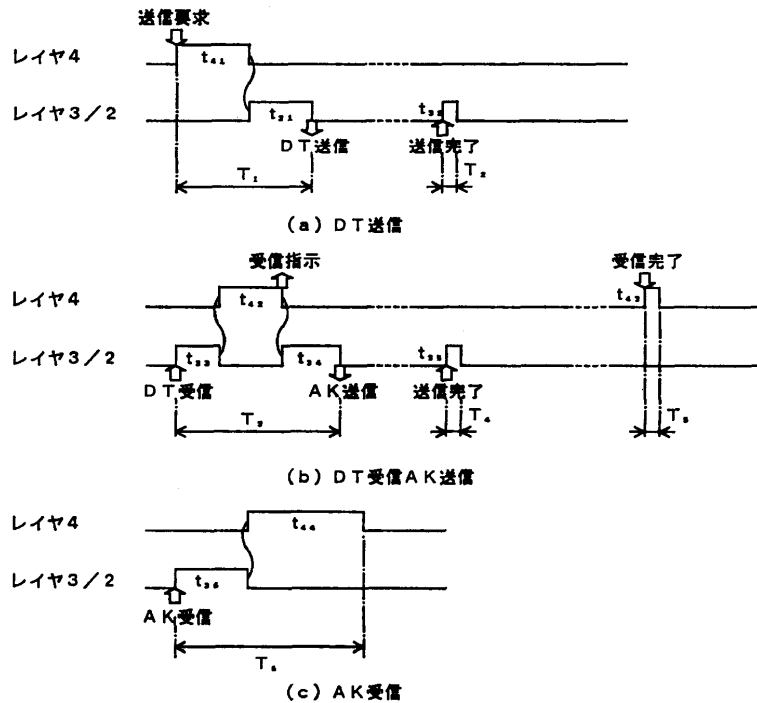


図 6 データ転送タイムチャート(従来システム)

Fig. 6 Time chart of data transfer (conventional system).

量的に把握するため、試作通信プロトコル高速処理装置を用いたシステムと従来システム（通信プロトコル処理をソフトウェアのみで行うシステム）とで図3に示すデータ転送シーケンスについての通信プロトコル処理時間を測定し、比較評価した。

4.2 評価方法

性能評価は、ハードウェアについては実測により、ソフトウェアについては実測およびダイナミックステップ数のカウントにより行った。実測方法は次に示すとおりである。試作システムでは、本体計算機にテストプログラムを作成し、通信プロトコル高速処理装置の各種起動および通信プロトコル高速処理装置からの各種通知の表示を行えるようにした。試作システムはMAC部をもたないため、BEU内に擬似MACプログラムを作成し、BEU内での内部折り返しにより実測を行った。測定は、FEUの部分はハードウェア信号を直接、BEUの部分はプログラムにハードウェア信号を制御するダミーステップを入れ、ロジックアナ

ライザにより行った。測定精度は $0.1 \mu\text{s}$ である。一方、従来システムとしては、本体計算機 (CPU: 68020) を使用し性能実測を行った。具体的には、本体計算機内で通信プロトコル処理および内部折り返し擬似MACプログラムをユーザプログラムとして走らせ、ユーザプログラムの走行時間を実測した (測定精度 $1.6 \mu\text{s}$)。

4.3 結果

図6に従来システムにおけるタイムチャート、図7に試作システムにおけるタイムチャート、表2に処理時間の比較を示す。

図3に示したデータ転送シーケンスにおける通信プロトコル処理時間を比較すると、試作システムでは従来システムに比べ、DT送信処理で $1/15$ 、DT受信AK送信処理で $1/8$ 、AK受信処理で $1/11$ 、全体として $1/10$ に短縮できていることが分かる。

個々の処理について比較すると、試作システムにおいて、ハードウェアのみで処理できている部分については従来システムに比べ約 $1/40 \sim 1/50$ の処理時間、ソフトウェアとハードウェアのハイブリッド処理の部分は約 $1/10 \sim 1/15$ の処理時間、ソフトウェアのみの部分は $1/1$ の処理時間となっている。これより、ハードウェア処理の比率を増加させることにより、さらに処理時間の短縮が可能であると考えられる。

試作システムにおいては、レイヤ4およびレイヤ3/2対応に専用ハードウェア (FEU)、バックエンドとして汎用プロセッサ (BEU) を設置し、それぞれ並列して動作できる構成とした。並列化の効果により、 t_{41} 、 t_{31} 、 t_{42} 、 t_{34} の各処理時間が全体の処理時間には寄与していない。しかし、並列化の効果は約5%程度でしかない。並列化の効果はスループットに対してより顕著に現れると考えられるが、この点については今後の評価が必要である。

5. おわりに

通信ネットワークの伝送速度の高速化に見合った計算機間の実効ス

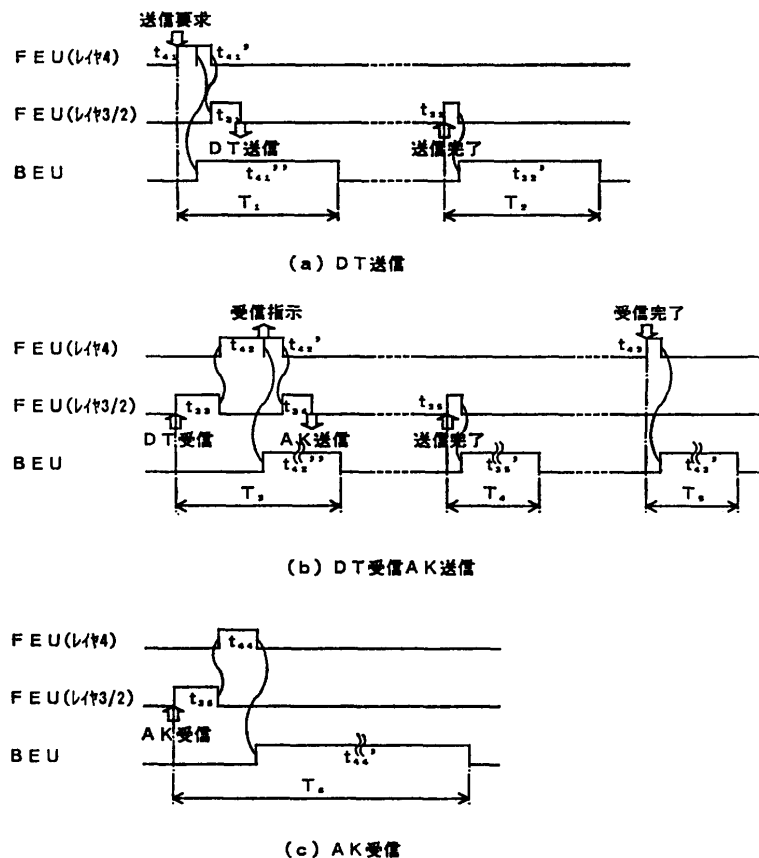


図7 データ転送タイムチャート (試作システム)
Fig. 7 Time chart of data transfer (prototype system).

表 2 通信プロトコル処理時間の比較
Table 2 Comparison of communication protocols processing time.

処 理		試作システム		従来システム		試作/従来
D T 送 信	レイヤ 4 DT 送信処理	状態チェック (t_{11})	1.25	t_{11}	149	1/14
		ヘッダ作成, 状態更新 (t_{11}')	0.72			
		応答監視タイマ制御 (t_{11}'')*	8.68			
	レイヤ 3/2 送信処理	t_{31}	1.82	t_{31}	128	1/70
	送信完了処理	処理振り分け (t_{32})	0.75	t_{32}	8.95	1/1
		応答待ち制御 (t_{32}')*	8.59			
小 計	t_{11}' , t_{31} は並列化のため寄与しない		19.3		286	1/15
D T 受 信 A K 送 信	レイヤ 3/2 受信処理	t_{33}	2.71	t_{33}	110	1/40
	レイヤ 4 DT 受信 AK 送信処理	ヘッダ解析, 状態更新 (t_{42})	2.59	t_{42}	122	1/9
		無活動監視タイマ制御 (t_{42}')*	9.10			
		AK 送信 (t_{42}'')	1.22			
	レイヤ 3/2 送信処理	t_{34}	1.82	t_{34}	98.4	1/54
	送信完了処理	処理振り分け (t_{35})	0.75	t_{35}	17.9	1/1
		AKバッファ制御 (t_{35}')*	15.2			
	受信完了処理	処理振り分け (t_{43})	0.69	t_{43}	17.9	1/1
受信バッファ制御 (t_{43}')*		15.3				
小 計	t_{42}'' , t_{34} は並列化のため寄与しない		46.3		366	1/8
A K 受 信	レイヤ 3/2 受信処理	t_{36}	2.71	t_{36}	143	1/53
	レイヤ 4 AK 受信処理	AK受信 (t_{44})	2.33	t_{44}	239	1/8
		タイマ, バッファ制御 (t_{44}')*	29.3			
小 計			34.4		382	1/11
合 計			100		1035	1/10

注: 値は試作システムでの合計を 100 として規格化したもの。

*: BEU (ソフトウェア) による処理時間。

ループットの向上を目的とし, レイヤ 4 以下の OSI 通信プロトコルに適用可能な通信プロトコル処理高速化方式を提案した。

提案方式の効果を定量的に把握するため, 提案方式に基づく通信プロトコル高速処理装置を試作し, 性能実測を行った。その結果, 試作システムにおけるデータ転送正常処理に関する通信プロトコル処理時間は, 従来システムに比べ約 1/10 に短縮できることを明らかにした。

謝辞 終わりに, 本研究の機会を与えて頂いた当社システム開発研究所 堂免信義所長, 有益なご指導, ご助言を頂いた三巻達夫博士, 大町一彦部長, 性能実測においてご協力頂いた山野浩氏, 原子拓氏に深謝いたします。

参 考 文 献

- 1) Burr, W.E.: An Overview of FDDI, *Proceedings of the EFOC/LAN 88*, pp. 287-293 (June 1988).
- 2) 浅谷, 池田: B-ISDN 研究の現状と今後の動向, 信学論 (B-I), J 72-B-I, pp. 886-895 (1989).
- 3) Clark, D., Romkey, J. and Salwen, H.: An Analysis of TCP Processing Overhead, *Proceedings of the 13th Conference of Local Area Networks*, pp. 284-291 (1988).
- 4) 丸山, 石塚, 都筑, 神津, 二宮, 平野: X. 25 LAPB 処理用 LSI の開発, 信学技法, SE 87-99, pp. 25-30 (1987).
- 5) Ichikawa, H., Yamada, H., Akaike, T., Kanno, S. and Aoki, M.: Protocol Control VLSI for Broadband Packet Communications, *Proceed-*

- ings of GLOBCOM 88*, pp. 1494-1498 (Nov. 1988).
- 6) 本村, 坂口: 高速転送プロトコル (HTP) の検討, 第 38 回情報処理学会全国大会論文集, pp. 1617-1618 (1989).
- 7) 谷, 前原, 明石: マルチメディア LAN における高速通信プロトコル, 信学技法, IN 86-129, pp. 19-24 (1986).
- 8) Cohn, M.: A Lightweight Transfer Protocol for the U. S. NAVY SAFENET Local Area Network Standard, *Proceedings of the 13th Conference of Local Area Networks*, pp. 151-156 (1988).
- 9) Tantawy, A., Meleis, H., Zarki, M. and Rajendran, G.: Towards a High Speed MAN Architecture, *Proceedings of ICC 89*, pp. 619-624 (1989).
- 10) Chesson, G.: XTP/PE Overview, *Proceedings of the 13th Conference of Local Area Networks*, pp. 292-296 (1988).

(平成 2 年 3 月 5 日受付)

(平成 2 年 11 月 13 日採録)



松井 進 (正会員)

昭和 29 年生。昭和 52 年神戸大学理学部物理学科卒業。昭和 55 年大阪大学大学院基礎工学研究科物性物理学専攻修士課程修了。同年(株)日立製作所に入社。現在、同社システム開発研究所研究員。コンピュータネットワーク、LAN、マルチメディア通信の研究に従事。電子情報通信学会、IEEE 各会員。



平田 哲彦 (正会員)

昭和 36 年生。昭和 59 年東京工業大学工学部機械工学科卒業。同年(株)日立製作所入社。現在同社システム開発研究所にて、LAN に関する研究に従事。電子情報通信学会会員。



横山 達也 (正会員)

昭和 37 年生。昭和 56 年多摩工業高校電子科卒業。同年(株)日立製作所に入社。現在、同社システム開発研究所にて、コンピュータネットワーク、LAN および、プロトコル高速処理技術の研究に従事。



水谷 美加 (正会員)

昭和 40 年生。昭和 62 年日本女子大学家政学部家政理学科物理学系卒業。同年(株)日立製作所に入社。システム開発研究所にて、コンピュータネットワーク、LAN に関する研究に従事。



寺田 松昭 (正会員)

昭和 45 年岡山大学工学部電気工学科卒業。同年(株)日立製作所入社。以来、コンピュータネットワーク、制御用分散処理システム、LAN の研究に従事。現在、同社システム開発研究所主任研究員。著書「制御用計算機におけるリアルタイム技術」(共著)。電子情報通信学会、IEEE 各会員。