

後退形／前進形両積分法を併用した機能／回路混在系の 新シミュレーション手法†

平井千秋^{††} 渡辺俊典^{††} 林晋一^{††}

システム LSI の設計では動特性の計算機シミュレーションが重要であるが、従来の回路シミュレータでは不可能な場合が多い。理由は、大規模行列計算を時間刻みステップごとに繰り返し、シミュレーションに長時間を要するためである。また、回路シミュレータでは周波数、位相等の機能パラメータを直接表現できないため、機能レベル設計のシミュレーションが行えず、回路の上流設計を支援できない。本論文では、従来の回路シミュレータのこの難点を解決する方式と共に、本方式に基づく LSI 設計手法を提案する。提案は、(1) 回路シミュレータの基本算法である後退形積分法に連続系シミュレータで用いられてきた前進形積分法を付加する新算法、(2) 新算法を実現するための従来シミュレータの改良法、(3) LSI の機能設計から回路設計までを新シミュレータで一貫支援する設計法、の三点である。実験の結果、(1) 一回のシミュレーション時間に要する時間は従来の 1/100 以下、(2) LSI 設計階層間の自由なブラウジングの可能性、を実証した。設計現場にて使用されてきた回路シミュレータは、本提案に基づく小規模の改良により、新時代のニーズであるシステム LSI の機能シミュレータとしても利用できることになる。

1. ま え が き

システム LSI の設計では、動特性の計算機シミュレーションが重要であるが、従来の回路シミュレータでは不可能な場合が多い。例えば、本論文で例として上げる電話用 LSI の動特性解析は、大型計算機で 1 時間以上の計算時間を要し、実用にならない。理由は、非線形素子に起因する収束演算の際に大規模行列計算を行うためである。動特性解析ではこれを時間刻みステップごとに繰り返すため、シミュレーションに長時間を要する。

この問題の対策として、部分回路をシミュレーションして全体の特性を考察する方法が用いられるが、部分回路のシミュレーションでは、全体回路の挙動は把握できないという問題がある¹⁾。

また、回路シミュレータでは、周波数、位相等の機能パラメータを直接表現できないため、機能設計レベルのシミュレーションが行えず、上流設計を支援できない。デジタル回路の解析に関しては、レジスタ等をマクロ化して扱う方法がある^{2)~4)}が、アナログ回路を含むシステム LSI に関しては、階層設計法も確立されていない。

この問題を解決する方法として、従来、プラント等制御系の動特性解析に利用されてきた連続系シミュ

レータ^{5),6)}を用いて上流設計を支援する方法が有効である^{7),8)}。しかし、機能／回路混在の対象を直接入力記述できないため、人手による回路の関数ブロックへの抽象化を要するという難点が残された。

他の方法として、アナログ計算機をソフトウェアでシミュレートする方法がある⁹⁾。これは、機能関数を等価回路で表す方法で、上流設計から回路レベルの設計までの支援を行うことができる。しかし、この方法は、機能関数が強い非線形性を持つとき、計算時間が長大になるという問題をもつ。

本論文では、これらの諸問題を解決するシステム LSI のシミュレーション方式と共に、本方式に基づく LSI 設計手法を提案する。提案は、(1) 回路シミュレータの基本算法である後退形積分法に連続系シミュレータで用いられてきた前進形積分法を付加する新算法、(2) 新算法を実現するための従来シミュレータの改良法、(3) LSI の機能設計階層と回路設計階層との間の自由なブラウジング (行き来) 機能を基本とする設計法、の三点である。新算法を従来の回路シミュレータに加味して新シミュレータとし、実験した結果、(1) 1 回のシミュレーションに要する時間は従来の 1/100 以下、(2) LSI 設計階層間の自由なブラウジングの可能性、を実証した。

これらのことから、設計現場で用いられてきた回路シミュレータは本提案に基づく改良を加えることにより、新時代のニーズであるシステム LSI の機能シミュレータとしても利用できることを実証できた。

以下、本論文では、従来シミュレータの問題点 (第

† Mixed Function and Circuit System Simulator Based on the Combination of Implicit and Explicit Integration Methods by CHIYAKI HIRAI, TOSHINORI WATANABE and SHIN-ICHI HAYASHI (Systems Development Laboratory, Hitachi, Ltd.).

†† 日立製作所システム開発研究所第 5 部

2章), 新算法の提案(第3章), 新シミュレータによるLSI設計法(第4章), 提案による効果(第5章)について述べる。

2. 従来シミュレータの問題点

2.1 性能面の問題

回路シミュレータは, 電流, 電圧レベルの物理現象をシミュレーションするため, 原理的には任意の回路をシミュレーションできる。しかし, 計算時間と記憶容量という計算機使用上の制約により, 表1に示す回路を解析することが難しくなっている。

この原因は, 収束演算に伴う大規模行列計算にある。回路シミュレータ¹⁰⁾では, 非線形連立方程式

$$f(x) = 0,$$

を解くために, ニュートンラフソン法による反復公式

$$G \cdot x_{n+1} = G \cdot x_n - f(x_n),$$

ただし,

$$G_{ij} = \left. \frac{\partial f_i}{\partial x_j} \right|_{x_n}$$

($i, j = 1, \dots$, 総節点数),

を用いている。このため, 時間刻み1ステップ当たりの演算に対しても, 大規模行列による収束演算が必要となる。

また, ニュートンラフソン法は, 解の大域的収束性が保証されていないため, 解析対象によっては解が得られないという問題もある。この方法への対処として求解法をホモトピー法に換える方法¹¹⁾も研究されているが, 設計現場で広く利用されるには至っていない。

従来シミュレータへの依存度は極めて大きく, 既存の回路シミュレータの僅かな改良で, シミュレーショ

ンの効率を上げることができれば好都合である。

2.2 機能面の問題点

従来の回路シミュレータは機能設計を支援できない。機能設計とは, 設計の初期(上流設計)に, 回路の部分(機能ブロック)を機能関数として捉え, 機能ブロックから構成される系を対象とする設計である。機能設計が終了すると設計者は, 機能関数を順次回路に詳細化するか, あるいは, 既存のライブラリ回路を組み込んでゆく(中流設計)。この時点で, 設計者の考察対象は, 機能と回路が混在した系となる。このような混在系も従来の回路シミュレータは, 機能関数を回路で表さなければ, シミュレーションできなかった。

機能関数から構成される系をシミュレーションする方法として, 連続系シミュレーション^{5), 6)}を適用する方法がある^{7), 8)}。これは従来, プラント等の動特性設計に用いられてきた微分方程式の求解ソフトウェアである。しかし, 回路解析に必要な演算機構を欠いているため, 機能と回路が混在した系を扱いにくく, 中流設計に向かないという問題がある。このため機能シミュレータを用いる混在シミュレーションの場合, 回路を連立微分方程式で記述し, 機能ブロック化する作業を人手で行う必要があった。

LSI設計者のなじみという点から考えると, 回路シミュレータへの入力ネットリスト記述様式や出力機能ができるだけ保存しながら機能/回路混在システムを解く方法があれば良い。

一つの解決法として, アナログ計算機を回路シミュレータでシミュレートする方法がある⁹⁾。これは, 機能関数を等価回路を用いて実現することにより, 機能/回路混在系を回路シミュレータで解析する方法である。この方法は, 機能関数を含む非線形方程式をニュートンラフソン法で解析する。このため, 機能関数が強い非線形性や不連続性を持つとき, 計算時間が長大になったり, 計算不能状況に陥るという問題を持つ。

3. 新算法の提案

3.1 解析対象

我々が対象とする系は, 機能ブロックと回路ブロックが混在した系である。図1にその例を示す。その特徴は,

- 1) 系は, 機能ブロックと回路ブロックからなる。
- 2) 機能ブロックは, 入力変数に対して出力変数を算

表1 解析困難回路例
Table 1 Examples of simulation-hard circuit.

類 型	回 路 例
大時定数を有する回路	PLL 回路 FM 検波 (電話用 LSI)
フィードバックループを有する回路	PLL 回路 AGC (電話用 LSI)
周波数差大の信号処理を行う回路	FM 検波
発振回路	PLL 回路 (電話用 LSI)
大規模回路	VTR 用輝度/カラー 一体信号処理 LSI
アナ/デジタル混在回路	VTR 用輝度/カラー 一体信号処理 LSI

出できる関数形で表される。

3) フィードバックループを有する場合は、ループ中に履歴記憶ブロック (1/S, あるいは、時間遅れ) が存在する。

4) 回路ブロックは、入力電圧 (図 2(a)電圧駆動型) あるいは、入力電流 (図 2(b)電流駆動型) に対して出力電圧を与える。

第 4 の点に関しては、回路シミュレータでは、電圧源をジャイレイタに展開し電流源として扱うことができる¹⁰⁾ため、

4') 回路ブロックは入力電流に対して、出力電圧を与える。

としても一般性を失わない。

3.2 算法の基本部分

多くの回路シミュレータでは、後退形積分法を採用している。これは、後退形積分法が前進形積分法に比べ、解の安定性に優れるためである¹⁰⁾。後退形積分法は、微分方程式、

$$\frac{dy}{dt} = f(t, y),$$

を次式で差分化することによって得られる¹²⁾。

$$y_{n+1} = y_n + \Delta t \left(1 - \frac{1}{2} \nabla - \frac{1}{12} \nabla^2 + \dots + a_N \nabla^N \right) f_{n+1},$$

ただし、

$$t_{n+1} = t_n + \Delta t,$$

$$y_n = y(t_n),$$

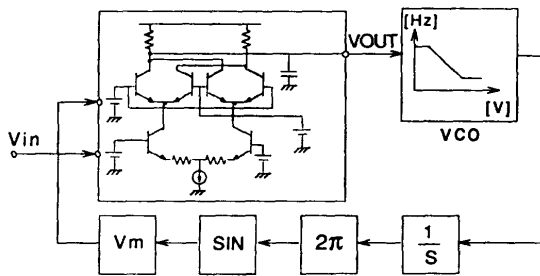


図 1 位相ロック系
Fig. 1 Phase lock system.

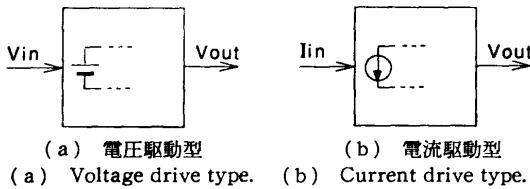


図 2 回路ブロックのタイプ
Fig. 2 Types of circuit block.

$$f_n = f(t_n, y_n),$$

$$\nabla f_n = f(t_n, y_n) - f(t_{n-1}, y_{n-1}).$$

簡単のため $N=0$ の後退オイラー法を採用するが、より高次の積分公式でも同様の議論が成立する。

このとき回路は次の連立方程式によって記述される。

$$\text{容量特性式 } i_{n+1} = C \frac{v_{n+1} - v_n}{\Delta t},$$

$$\text{線形抵抗特性式 } R \cdot i_{n+1} = v_{n+1},$$

$$\text{非線形素子電流特性式 } i_{n+1} = f(v_{n+1}),$$

キルヒホッフ則、

$$\text{入力電流値 } I_{n+1}.$$

この連立方程式は、過渡解析を直流解析に帰着させたと解釈できる。すなわち、容量の特性式は、回路的には図 3 の線形抵抗と見なせる¹⁰⁾。

ここで注目すべきは、後退形積分法を採用しているため、入力電流源の電流値が、素子間電圧値と同時刻 ($n+1$) で定式化されている点である。このため、入力電流源の電流値を回路の外部から与え、出力節点での電圧値を計算する場合を考えると、回路シミュレータは、入力物理量に対して時間遅れなしの出力物理量を計算するサブルーチンと考えることができる。すなわち、回路ブロックを、入力に対して出力を算出する関数で記述された時間遅れなしの機能ブロックと見なすことができる。

以上の考えに立つと、図 1 に示した系は、時間遅れなしの機能ブロック (1/S 以外) を合成して G と表し、図 4 と表現できる。

図 4 の系は、次式で記述される。

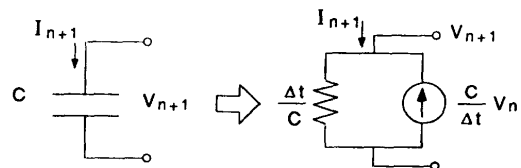


図 3 容量のコンパニオンモデル
Fig. 3 Companion model of capacitor.

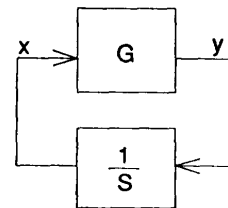


図 4 縮退ブロック図
Fig. 4 Reduced block diagram.

$$y = G(x),$$

$$\frac{dx}{dt} = y.$$

この式を解くために前進形の積分法を採用する。前進形積分法は、微分方程式を次式で差分化することによって得られる。

$$y_{n+1} = y_n + \Delta t \left(1 + \frac{1}{2} \nabla + \frac{5}{12} \nabla^2 + \dots + b_N \nabla^N \right) f_n.$$

簡単のため以下 $N=0$ の前進オイラー法を採用するが、より高次の積分法でも同様の議論がなりたつ。

このとき、図4の系は、次式で差分化される。

$$y_n = G(x_n),$$

$$\frac{x_{n+1} - x_n}{\Delta t} = y_n.$$

この式と初期条件から、逐次、 x_n, y_n の値を計算できる。ここで着目すべきは、全体システムの離散化に前進形積分法を適用したため、収束計算をせずに系の動特性を解析できる点である。これによって、ニュートンラフソン法の収束計算を部分回路の解析のみに限定することができる。ただし、前進形積分法は、後退形積分法に比べ安定性が劣る¹²⁾ため、系の時定数に対して十分に小さい時間刻みを設定することが必要である。

以上を要約すると、異なる積分法を組み合わせることによって、回路シミュレータを連続系シミュレーションにおける時間遅れなし機能ブロックの計算ルーチンと位置付けることができ、系全体の動特性解析を連続系シミュレーションの枠組の中で解析できるようにしたと言える。

3.3 回路シミュレータの改良法

回路シミュレータは、回路の時間刻み増分を与える計算ループが、ニュートンラフソン法の収束ループを内側に有する形で構成されている。

機能/回路混在シミュレーションを行うためには、時間刻み増分を与える計算ループ中に、機能関数計算ルーチンを入れれば良い。このとき収束ループは、時間遅れなしの回路ブロックの計算サブ

ルーチンと見なせる。機能/回路混在ブロック図で指定される計算順序により機能関数計算ルーチンと回路ブロック計算ルーチンを順次実行すれば、機能/回路混在シミュレーションを実現できる。

3.4 新算法の効果

回路の一部を機能関数として簡略化することにより、計算の大幅な効率化が図れる。計算時間の短縮は、シミュレーションをワークステーション程度の計算機で行うことを可能にした。これにより、設計者

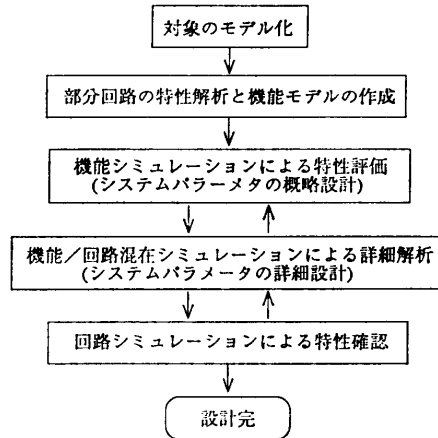


図5 機能/回路混在シミュレーションによるLSI設計法
Fig. 5 LSI design method with multi-level system simulator.

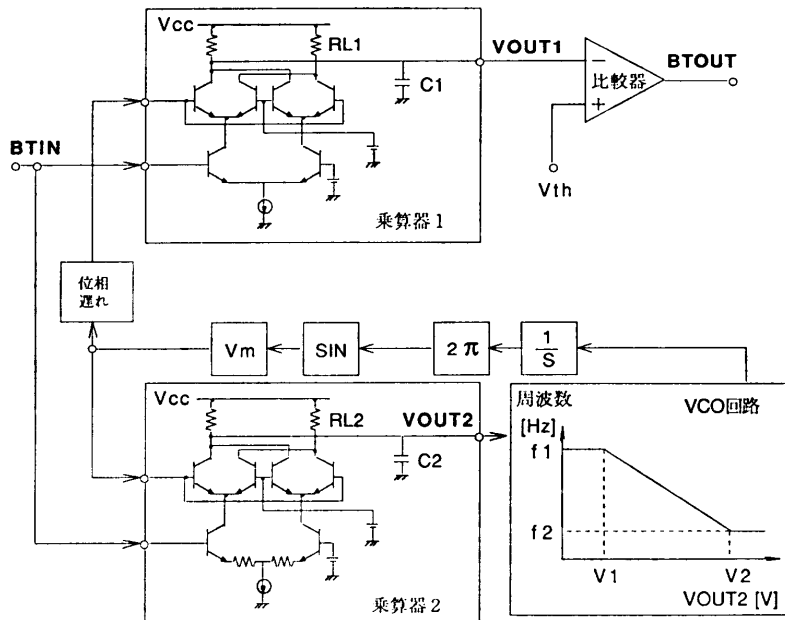


図6 電話用LSIのモデル
Fig. 6 Model of the LSI.

が、機能ブロック図を回路に詳細化してゆく過程を同一シミュレータで手軽に解析できることになる。

さらに、従来回路シミュレータをサブルーチンとして呼び出すことにより機能/回路混在システム用シミュレータを容易に実現できるため、従来のソフトウェア資産を有効に活用できる。

4. 新シミュレータによる LSI 設計法

4.1 LSI 設計法のフローチャート

本シミュレータを用いた LSI の設計法を図 5 に示す。以下、設計実例を用いて詳細を述べる。

4.2 設計実例

(Step 1) 対象のモデル化

設計者が機能ブロック図を用いて LSI の機能設計を行うステップである。部分回路として既存の回路を用いる場合には、この段階から、機能/回路混在の LSI モデルとなる。

設計例として電話用 LSI を取り上げる。本回路は、通話の相手方が受話器を置いたことを検出するための回路である。電話局から発信される信号を PLL (phase-locked loop) 方式¹³⁾で検出する。

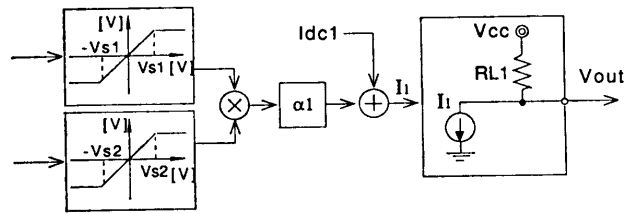
本回路をトランジスタレベルに展開し回路シミュレータで解析した場合、1 回の過渡解析に大型計算機で 1 時間以上の CPU 時間を要した。入力周波数に対する特性の検証を行うためには、すくなくとも、10 ケース以上の過渡解析を行う必要がある。このため、回路シミュレータの使用が難しい回路である。

本回路の解析モデルを図 6 に示す。電話局から発信される信号は、BTIN として乗算器 1 と乗算器 2 に入力される。乗算器 2 の出力 VOUT 2 は VCO 回路に入力され、VOUT 2 の電位に応じた周波数を持つフィードバック信号が発生される。乗算器 2 は、入力信号とフィードバック信号の位相差を一定値にロックし、乗算器 1 がロック状態を検出する。ロックが検出されると、VOUT 1 の電位がしきい値電圧 (V_{th}) より高くなり、比較器がこれを検出する。

本回路のシミュレーションの目的は、検出可能な入力信号の大きさを

入力周波数に対して解析し、検出可能な信号領域 (キャプチャレンジ) を明らかにすることである。

設計の際には、素子値がキャプチャレンジに与える影響を知る必要がある。この設計上の要請に応えるた



Limiter

図 7 乗算器の機能モデル
Fig. 7 Model of multiplier.

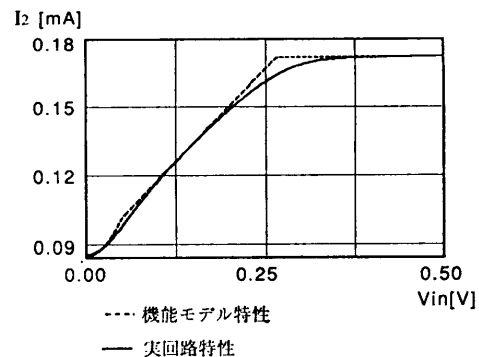


図 8 機能モデルと実回路の特性比較
Fig. 8 DC analysis of multiplier.

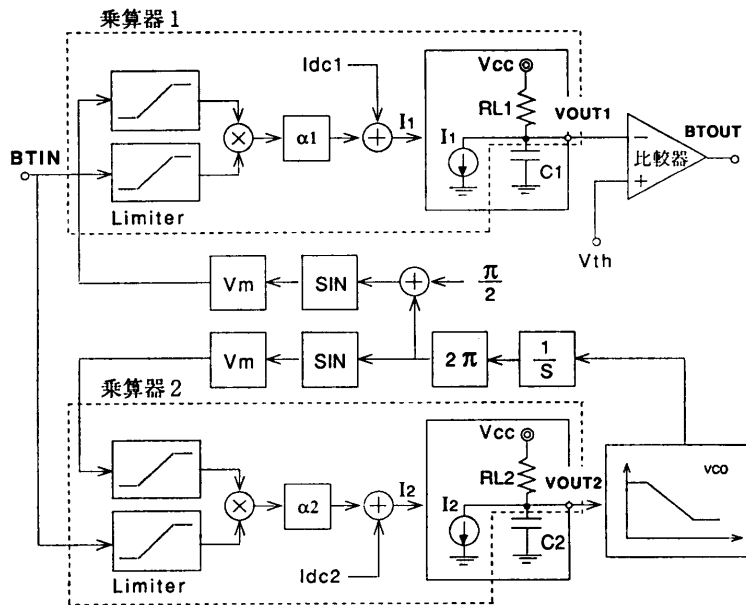


図 9 電話用 LSI 機能モデル
Fig. 9 Functional model of the LSI.

めに、短時間でキャプチャレンジを算出するシミュレーションが望まれていたが従来は不可能であった。

(Step 2) 部分回路の特性解析と機能モデルの作成

図6の混在モデルのままでもシミュレーションを行うことができるが、まず、乗算器を機能モデル化して解析を行う。これは、上流設計ではシミュレーションの精度よりもシミュレーション時間の短縮による設計支援効果が大きいためである。本ステップのシミュレーションによって、システムパラメータ (Vth, 乗算器の負荷容量, VCO 回路の伝達特性) がキャプチャレンジに与える影響を知ることができる。

乗算器の機能モデルを図7に示す。入力信号電圧をリミッタで整形し、これらを乗算することによって負荷抵抗を流れる電流値を決定するというモデルである。乗算器の直流特性を回路シミュレーション機能で解析することにより、バイアス電流 (Idc1)、リミッタの形状 (Vs1, Vs2)、利得 ($\alpha \times RL1$) を決定する。乗算器2の機能モデルと実回路と特性比較を図8に示す。図は、二つの入力端子に同一電圧を入力した場合に負荷抵抗を流れる電流を直流解析した結果である。

(Step 3) 機能シミュレーションによる LSI の特性評価

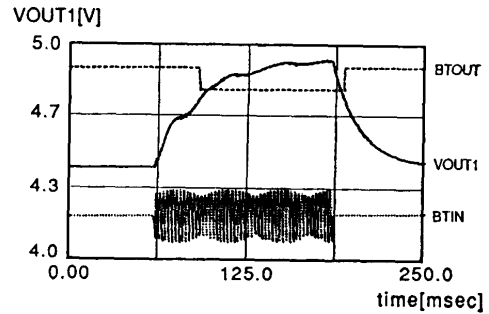
図6の乗算器部分を機能関数に置き換え、キャプチャレンジを測定する。解析モデルを図9に示す。過渡応答解析の結果を図10に示す。電話局からの信号が検出されると BTOUT の出力が下がる。入力信号 (BTIN) の振幅が大きいとき (図10(a))には検出可能、振幅が小さいとき (図10(b))には検出不可能であることが分かる。縦軸は VOUT 1 の電圧を示し、BTOUT と BTIN は、VOUT 1 と同一グラフに表すためにレベルシフトしている。シミュレーションは、時間刻みを 0.1 msec とする固定刻みで行った。1回の過渡応答解析に 0.9 sec (SUN 4) を要した。実 LSI による測定結果と良好な一致をみた。

過渡応答解析を繰り返し、キャプチャレンジを算出したものが図11である。図は、各周波数に対して検出可能な最小の入力電圧値をプロットしたものである。プロット線より上が検出可能領域、下が検出不可能領域を表す。このキャプチャレンジを自動的に描くために要する過渡解析は60回であり、総 CPU 時間は1分以下である。

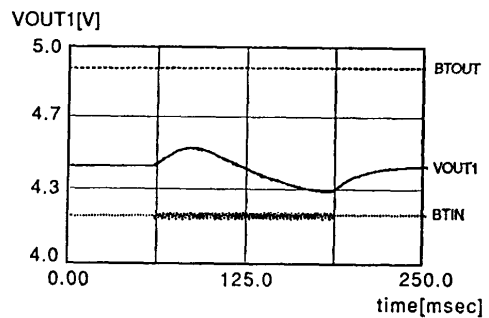
(Step 4) 機能/回路混在シミュレーションによ

る詳細解析

乗算器部分を回路にして、図6のモデルとして解析



(a) BTIN 振幅大
(a) BTIN large amplitude.



(b) BTIN 振幅小
(b) BTIN small amplitude.

図10 電話用 LSI の出力波形
Fig. 10 Behavior of the LSI.

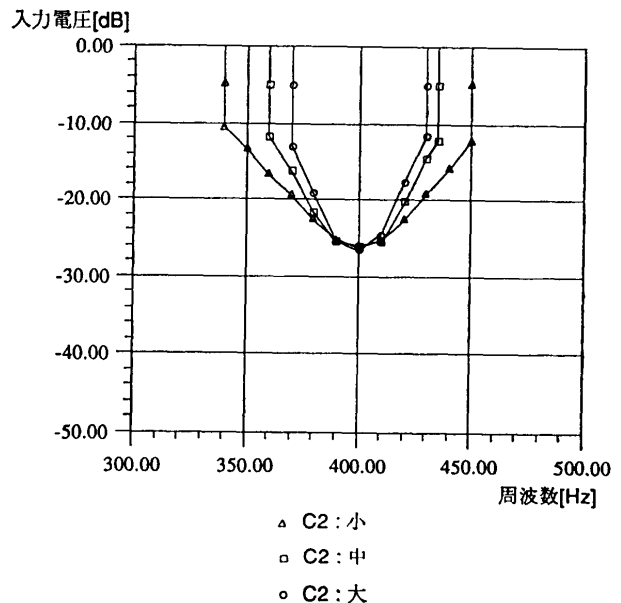


図11 キャプチャレンジ
Fig. 11 Capture range.

する。機能シミュレーションとはほぼ同様であるが、より精度の高い結果を得た。図 12 に比較を示す。混在シミュレーションの場合、1回の過渡解析に 90 sec (SUN 4) を要した。この場合でも VCO 回路が機能ブロックであるため、LSI 全体を回路レベルで解析した場合に比較して極めて高速である。

5. 新算法と LSI 設計法による効果

電話用 LSI のシミュレーション時間を表 2 に比較する。また、本論文では述べていないが、VTR カラー信号処理用 LSI の機能/回路混在シミュレーション結果¹⁴⁾も表に付記した。いずれの場合も、機能モデルを用いることにより大幅な高速化が可能となることが分かる。特に、ワークステーション程度の計算機でシミュレーションが行えることは、設計支援の観点から意味が大きい。

機能設計から詳細設計までを同一シミュレータで一貫支援できることは、LSI 設計の効率化に大きく貢献できる。

6. むすび

従来の回路シミュレータで取り扱い困難であった回路/機能混在系のシミュレーションに関する新方式を提案すると共に、新方式に基づく LSI 設計手法を提案した。具体的には、

(1) 回路シミュレータの基本算法である後退形積分法に連続系シミュレータで用いられてきた前進形積分法を付加する新算法、

(2) 新算法を実現するための従来シミュレータの改良法、

(3) LSI の機能設計から詳細設計までを新シミュレータで一貫支援する設計法、

の三点を示した。また、実際にシミュレータを開発し実験を行い、

(1) 一回のシミュレーションに要する時間は従来の 1/100 以下、

(2) LSI 設計階層間の自由なブラウジングが可能となる、

ことを確認した。

謝辞 本研究に関して、御助言を賜った東京大学工学部計数工学の伊理正夫教授に感謝いたします。また、回路設計およびシミュレーション法に関し御助言

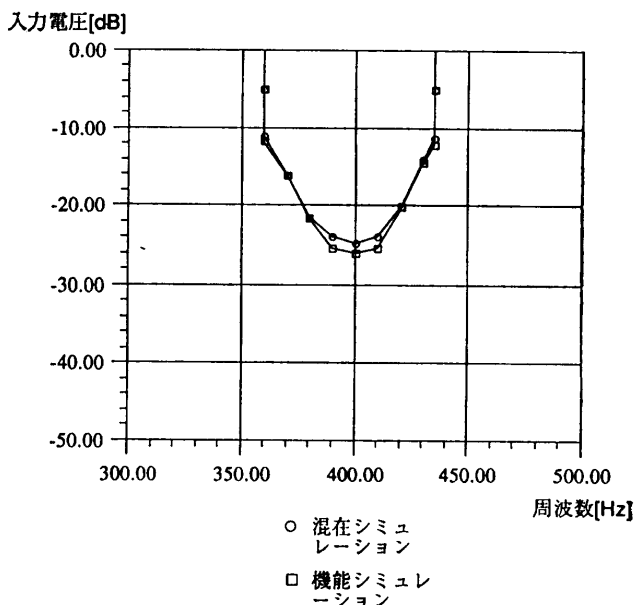


図 12 混在シミュレーション結果
Fig. 12 Result of mixed simulation.

表 2 解析時間比較
Table 2 CPU time.

解析対象 (素子数)	回路シミュレーション	混在シミュレーション	機能シミュレーション
電話用 LSI (300)	2 hours (HITAC-M680)	90 sec (SUN 4)	0.9 sec (SUN 4)
VTR カラー信号処理用 LSI (1300)	10 hours (HITAC-M680)	390 sec (SUN 4)	120 sec (SUN 4)

御討論いただいた日立製作所中央研究所永田穰博士、増田弘生博士、日立マイコンシステムの池松龍一氏、LSI のモデリングに関し御指導いただいた日立製作所高崎工場萩沢弘氏、研究機会を与えていただいた当所第 5 部部長森文彦博士に感謝いたします。

参考文献

- 1) 藤井信生: アナログ集積回路の計算機援用解析・設計における問題点, 電子情報通信学会論文誌 A, Vol. J 73-A, No. 8, pp. 1313-1320 (1990).
- 2) 鹿毛ほか: 一方向性ブロック化時間優先処理による D-A 混在回路シミュレーション方式, 電子情報通信学会論文誌 A, Vol. J 72-A, No. 12, pp. 1989-1997 (1989).
- 3) Odryna, P. et al.: A Workstation-Based Mixed Mode Circuit Simulator, 23rd DA Conference, 10.3, pp. 186-192 (1986).
- 4) Chen, C.F. et al.: The Second Generation Motis Mixed-Mode Simulator, 21st DA Conference, 2.2, pp. 10-16 (1984).

- 5) 三巻達夫: ダイナミックシステムのデジタルシミュレーション, 計測と制御, Vol. 7, No. 4, pp. 256-268 (1968).
- 6) Korn, G. A. and Wait, J. V.: *Digital Continuous-system Simulation*, Prentice-Hall Inc. (1978).
- 7) 林 晋一ほか: 連続系シミュレーション手法による VTR 用カラー信号処理 LSI の機能シミュレーション, 電子情報通信学会論文誌A, Vol. J 72-A, No. 11, pp. 1829-1843 (1989).
- 8) Maio, K. et al.: A Highly Efficient Design System for Mixed Analog/Digital LSIs, *Proc. ESSCIRC '89*, pp. 121-124 (1989).
- 9) 大沢ほか: 回路/機能混在シミュレーション, 電子学会回路研究会, ETC-90-17 (1990).
- 10) Calahan, D. A.: コンピュータによる電子回路設計, 日刊工業新聞社 (1974).
- 11) Yamamura, K. et al.: A Globally and Quadratically Convergent Algorithm for Solving Nonlinear Resistive Networks, *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 9, No. 5, pp. 487-499 (1990).
- 12) 赤坂 隆: 数値解析, コロナ社 (1967).
- 13) 畑, 古川: PLL-IC の使い方, 秋葉出版 (1976).
- 14) 平井ほか: 機能/回路レベル混在システムのシミュレーション方式, 第 42 回情報処理学会全国大会論文集(6), pp. 174-175 (1991).

(平成 3 年 2 月 8 日受付)
(平成 3 年 4 月 9 日採録)



平井 千秋 (正会員)

1961 年生. 1985 年東京大学工学部精密機械工学科卒業. 1987 年同大学院修士課程修了. 同年日立製作所システム開発研究所入社. LSI 設計 CAD の研究に従事. 並列計算機にも興味を持つ. 応用数学会, AI 学会各会員.



渡辺 俊典 (正会員)

1947 年. 1971 年東京大学工学部航空学科卒業. 同年日立製作所入社. 以来, システム開発研究所にて知識処理による LSI 設計 CAD の研究に従事. 現在, システム開発研究所第 5 部主任研究員. IEEE, OR 学会, ソフトウェア学会, 応用数学会各会員. 工学博士.



林 晋一 (正会員)

1946 年生. 1969 年東京工業大学理工学部電気工学科卒業. 1971 年同大学院修士課程修了. 同年日立製作所(株)入社. 以来, 中央研究所を経て, 現在, システム開発研究所にて, 知識処理による LSI 設計 CAD の研究に従事. 電気学会, 電子情報通信学会, 人工知能学会, IEEE-CAS 各会員.