

65nmバルクおよびSOTBプロセスでのアンテナ比による 製造時劣化の測定と評価

岸田 亮¹ 小林 和淑¹

概要：集積回路の配線加工工程で避けられない問題としてアンテナダメージがあるため、設計ルールで定められたアンテナ比の上限を守らなければならない。しかし、大規模な回路を設計するときは困難である。アンテナダメージを評価するため、アンテナ比を変えたリングオシレータの初期発振周波数がどのように変動するかを測定する。65 nm プロセスで試作して測定した結果、ルール上限値までは周波数の変動はなく、上限値以上からはアンテナ比増加に従って周波数が減少した。上限値の倍におけるアンテナ比での周波数は2.2%減少する。この結果は通常のパルクと10 nmの薄い埋め込み酸化膜を持つSOTB (Silicon On Thin BOX) で同じ傾向である。

Measurements and Evaluations of Manufacturing Degradation by Antenna Ratio in 65 nm Bulk and SOTB Processes

RYO KISHIDA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Chip designers have to obey the upper antenna ratio (AR) limit in a design rule to avoid plasma induced damage (PID) which happens during the production of MOSFETs. However, it is difficult to obey the rule when designing large scaled chips. We measure initial frequencies of ring oscillators in different AR to evaluate PID. A chip is fabricated in 65 nm process. As a result, the frequencies did not change within the upper limit of AR and decreased as larger AR in more than the upper limit. The frequency in twice of the upper limit decreases by 2.2%. These results show a similar tendency in SOTB (Silicon On Thin BOX) which has buried oxide (BOX) layers of less than 10 nm.

1. 序論

近年、集積回路素子の微細化が進んでいる。微細化を表すパラメータであるMOSFETのゲート長は、1970年では10 μm であった[1]。2015年現在ではゲート長が20 nm以下にまで微細化されている[2]。微細化により、トランジスタの性能は向上したが、アンテナダメージに代表される素子特性の劣化が報告されている[3], [4]。MOSFETを製造する際、金属配線に蓄積した電荷がMOSFETのゲート部分に接続され、ゲート酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。アンテナダメージによってしきい値電圧の増加やゲートリーク電流の増加などの特性劣化が起こり、最悪の場合ゲート酸化膜が破壊され

て動作しなくなる[5]。アンテナダメージは歩留まりの悪化や信頼性の低下につながる。信頼性低下を防ぐために、アンテナ比と呼ばれるダメージの大きさを表すパラメータが設計ルールとして設けられている。回路設計者はルールを破らないように設計するが、大規模回路では配線が長くなるため、ルールを守れずに設計が困難になる。今までアンテナ比による特性劣化は報告されているが[6], [7], [8]、ルール上限値付近での細かいアンテナ比によるダメージの影響は検証されていない。本稿では、試作に用いた65 nmプロセスで設定されているアンテナ比500付近で、アンテナ比を100ごとに細かく変えた構造を用いてアンテナダメージの影響を検証する。回路は発振経路の1ヶ所だけにアンテナを接続した11段リングオシレータを用いて、発振周波数の変動を測定することで評価する。

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

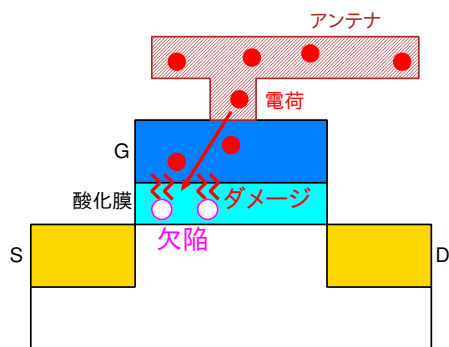


図 1 アンテナによるゲート酸化膜へのダメージ。

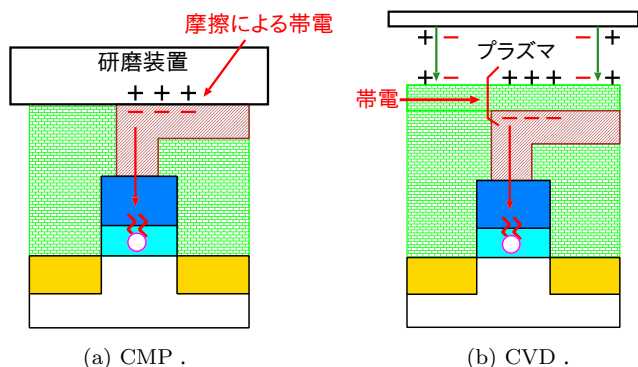


図 2 銅配線プロセスでのアンテナダメージ。(a) CMP による電荷の蓄積。研磨装置と配線との摩擦によって配線に電荷が帯電する。(b) CVD による電荷の蓄積。プラズマの濃度のばらつきにより配線に電荷が誘起されてアンテナとなる。

本稿の構成を述べる。2 節でアンテナダメージについて述べる。3 節ではアンテナダメージの影響を調べるために試作した回路とその測定方法を述べる。4 節で測定結果を示し、最後に 5 節で結論を述べる。

2. アンテナダメージ

本節で製造時における信頼性低下の要因となるアンテナダメージについて説明する。

2.1 アンテナダメージの概要

アンテナとは、製造工程で電荷がたまった金属配線のことである [3]。ゲート長が 180 nm 以上であるプロセスではアルミ配線を用いて配線を直接プラズマエッチングで加工するため、配線加工時に金属配線へ電荷が蓄積する [9]。図 1 のようにアンテナが MOSFET のゲート (G) に接続されると、ゲートから酸化膜に電荷が流れこみ、酸化膜がダメージを受ける。このダメージをアンテナダメージと呼ぶ。最悪の場合、ゲート酸化膜が壊れて MOSFET として動作しなくなる。壊れなかったとしても、アンテナダメージによって酸化膜に欠陥が作られ、しきい値電圧増加やリーク電流増加などの素子特性悪化の原因となる。アンテナダメージは製造工程上で発生するため、避けられない問題である。

近年の微細化されたプロセスにおいてアルミでは配線抵抗が大きいため、動作に悪影響をおよぼす。対策として 180 nm より小さなプロセスでは銅配線を用いている。銅はアルミより抵抗率が小さく電気伝導率が高いため、銅配線はアルミ配線より優れている。しかし、配線加工が難しいという問題がある。銅配線を直接プラズマエッチングすることは難しく、アルミ配線と同様の配線加工工程では製造できない。この問題を解決するために、デュアルダマシンプロセスを用いている [10]。デュアルダマシンプロセスとは先に金属の接続部分および配線パターンを形成し、金属をメッキ加工により埋め込む形成方法である。デュアルダマシンプロセスでは絶縁層を加工することで配線パターンを形成するため、金属配線を直接プラズマエッチングで加工することは銅配線ではなくなった。しかし、図 2 のように、銅配線でも金属配線を加工する工程以外で電荷が蓄積する。例えば、図 2(a) のように化学機械研磨 (CMP, Chemical Mechanical Polishing[10]) によってアンテナダメージが発生する。配線を削るときに、研磨装置と配線との摩擦によって一方に正 (または負) の電荷が帯電する。帯電によって配線に電荷が誘起される。この配線がアンテナとなり、アンテナダメージが発生する。また、図 2(b) のように化学気相成長 (CVD, Chemical Vapor Deposition[10]) でもアンテナダメージが発生する。CVD とは配線層上層の絶縁層を形成する方法である。プラズマ空間内で、化学反応による蒸着によって表面に絶縁膜を堆積させる。プラズマの濃度が不均一になると、ある部分に正 (または負) のイオンが集まる。集まったイオンにより、配線に電荷が誘起されてアンテナとなる。

近年の微細化によって絶縁層が薄くなり、絶縁層の容量が大きくなっている。容量が大きくなるとより多くの電荷が配線に誘起されるため、微細化が進むと、帯電によってより多くの電荷が蓄積すると考えられる。

2.2 アンテナダメージの緩和

アンテナダメージを緩和する方法は 2 つある。1 つはアンテナをゲートへ接続する前に、先にドレインへ接続することである。アンテナを先にゲートへ接続するとアンテナダメージが発生するが、アンテナとなる配線より上層の配線を用いてアンテナをドレインへ接続することでアンテナダメージを緩和できる。図 3 にドレインによるアンテナダメージの緩和方法を示す。アンテナに電荷がたまっても、アンテナはゲートにつながっていないため、ドレインを通じて基板へ電荷が流れる。アンテナより上層の配線はアンテナより後で作られる。上層の配線を作るときに、アンテナでたまっていた電荷はないため、電荷はゲート酸化膜に流れず、アンテナダメージは緩和される。

もう 1 つの緩和方法は、図 4 のようにアンテナにダイオードを接続することである。ゲートの近くで上層配線が

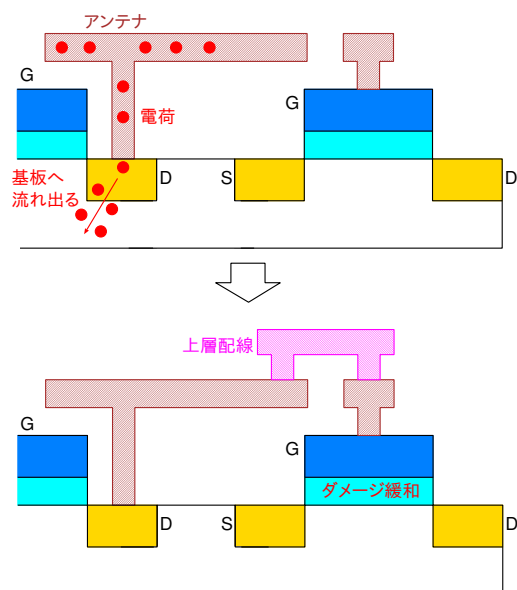


図 3 ドレイン接続によるアンテナダメージの緩和．ドレインを通じて基板へ電荷が流れる．

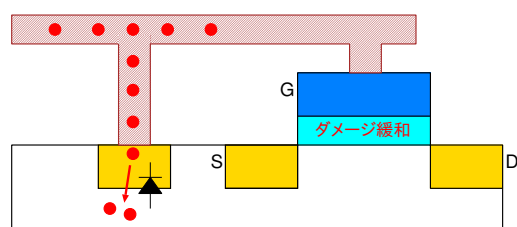


図 4 ダイオードの接続によるアンテナダメージの緩和．アンテナがゲートにつながっていてもダイオードを通じて電荷が基板へ流れ出ていく．

使えずに、アンテナがゲートへつながるときに用いる方法である．ダイオードにつなげることで、アンテナでたまった電荷はダイオードを通じて基板へ流れ出ていく．しかし、ダイオードによって容量が増加するため、動作速度などの回路性能は低下する．

2.3 SOTB (Silicon On Thin BOX)

SOTB は SOI (Silicon On Insulator) の一種で、通常のパルク構造に BOX 層 (Buried OXide) と呼ばれる埋め込み絶縁膜をドレイン・ソース直下に入れている [11]．SOI は部分空乏型 (PD-SOI, Partially Depleted SOI) と完全空乏型 (FD-SOI, Fully Depleted SOI) に分類される．部分空乏型は SOI 層が厚くチャンネルが部分的に空乏化しているが、完全空乏型は SOI 層が薄くチャンネルが完全に空乏化している．そのため、チャンネル部分に追加で不純物ドーピングの必要がなくなり不純物ばらつきを抑制できる．SOTB は SOI 層が 12 nm と薄いため完全空乏型の SOI であり、BOX 層が約 10 nm と非常に薄いことが特徴である．SOTB の BOX 層によってソース・ドレインと基板間の接合容量や、基板への漏れ電流が小さくなるので、BOX 層のない通常のパルク構造に比べて低消費電力での動作や高速動作が可

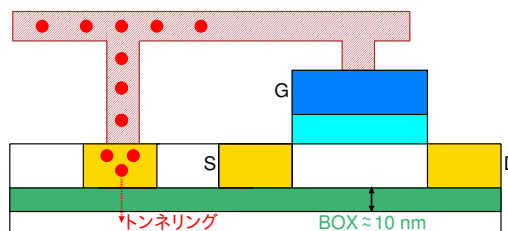


図 5 SOTB におけるアンテナダメージの緩和．通常の SOI では BOX 層により電荷が基板へ流れ出ないが、SOTB は BOX 層が薄いためトンネルリングによって緩和可能．

能である．しかし、基板が高価であることが欠点の 1 つである．

BOX 層は基板への電荷流出を妨げるため、ドレインやダイオードによって緩和できない可能性が SOTB では考えられる．しかし、SOTB は BOX 層が 10 nm と薄いため、トンネルリング (トンネル効果) によって電荷が基板へ流れ出ていく．図 5 に SOTB におけるアンテナダメージの緩和を表した様子を示す．SOTB もパルクと同様にアンテナダメージを緩和できる [12] ．

2.4 アンテナ比

アンテナ比は (アンテナ面積 / ゲート面積) で表され、アンテナダメージの大きさを表す．アンテナ面積は側壁面積を用いる場合もあるが、ここでは試作プロセスの設計ルールに従い、アンテナ面積とゲート面積に底面積を用いる．アンテナ面積が大きいほど、アンテナにたまる電荷が多くなるため、アンテナダメージが大きくなる．ダイオードやドレインへ先に接続された配線は、ゲートに接続されていてもアンテナ面積に含まれない．この配線に電荷がたまって、ダイオードやドレインを通じて基板に流れ出ていき、アンテナダメージは引き起こされないからである．

3. 測定方法

アンテナダメージの影響を調べるために試作した回路について述べた後に、測定および評価方法を述べる．

3.1 11 段リングオシレータ

図 6 のような NOR を鎖状につないだ 11 段リングオシレータを用いる．インバータではなく、NOR を用いた理由は、今後の測定で NBTI とアンテナダメージの相関を評価するためである．NOR の 2 つある入力端子のうち、1 つは発振制御用端子 (ENB) につなぐ．もう一方の端子は前段 NOR の出力端子につなぐ．リングオシレータの最終段のみにアンテナを接続することで、最終段の NOR がアンテナダメージを受ける構造となっている．初段の入力付近にダイオードを入れることで、他の配線より比較的長い帰還配線によるアンテナダメージの影響を防ぐ．帰還配線でたまる電荷をダイオードを通じて基板へ流すことができ

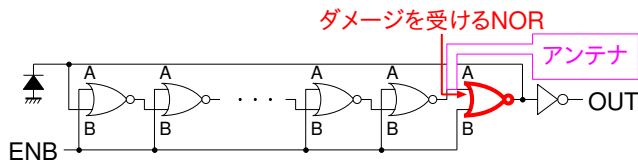


図 6 アンテナダメージの影響を調べる 11 段リングオシレータ測定回路 .

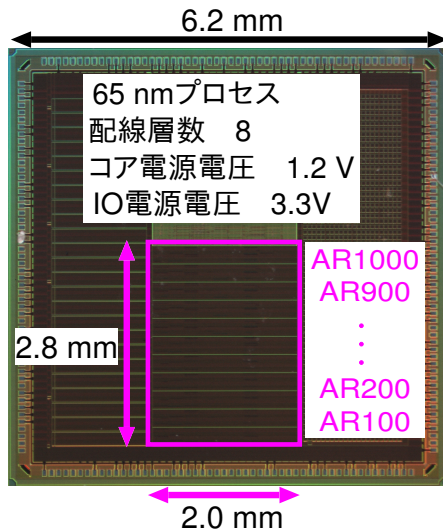


図 7 試作したチップ写真 .

る . このリングオシレータの初期発振周波数を測定することで , 製造時におけるアンテナダメージの影響を評価する . 発振周波数が減少していると , アンテナダメージによってしきい値電圧が増加していることが確認できる .

3.2 アンテナ比の種類

試作に用いた 65 nm プロセスにおけるアンテナ比の上限値は 500 である . アンテナ比 500 付近での細かいアンテナ比によるダメージの影響を調べるために , 1000 以下のアンテナ比を 100 刻みで用意する . アンテナ比を変えるのは最終段のみである . その他の各 NOR におけるアンテナ比は 3 以下でかつ , 全ての構造で同じである .

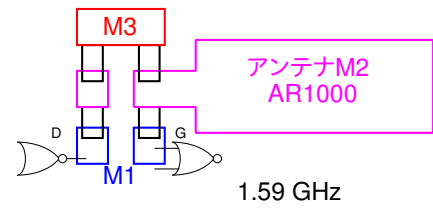
3.3 バルクと SOTB

レイアウトおよび回路構造が同じものをバルクおよび SOTB で試作する . バルクと SOTB で異なるのは BOX 層の有無のみである . これら 2 つのプロセスでアンテナダメージによる影響が異なるかを評価する .

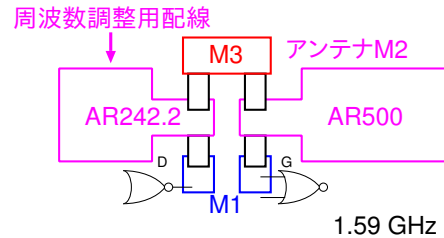
試作したチップ写真を図 7 に示す . 65 nm プロセスであり , チップの中央にアンテナダメージを評価する回路を配置している . 1 チップに同じ構造のリングオシレータを各アンテナ比全てで 576 個搭載している .

3.4 寄生成分抽出シミュレーション

評価方法はシミュレーション値と測定値を比較する . こ



(a) AR1000 .



(b) AR500 .

図 8 周波数調整用配線による各アンテナ比の設計 . 配線抵抗および容量の影響が AR1000 と同じになるように AR1000 以外はドレイン側に配線を付加する . (a) 基準にする AR1000 . (b) AR500 における配線付加 .

こでいうシミュレーションは , 寄生成分を抽出したネットリストを用いた回路シミュレーションである . 寄生成分には MOSFET の容量 , 配線抵抗および配線容量が含まれている . しかし , シミュレーションにアンテナダメージの影響は含まれていない . 測定値には寄生成分だけでなく , アンテナダメージの影響も含まれる . そのため , シミュレーション値と測定値を比較することでアンテナダメージを確認できる . しかし , アンテナ比が増加すると , アンテナダメージが含まれていないシミュレーションの発振周波数が低下する . アンテナ比を増加させるために , 最終段に付加するゲート側のアンテナ面積を増加させるが , それによって配線の抵抗および容量が増加する . 配線の抵抗および容量が増加すると , 発振周波数は低下する . アンテナ比によって周波数が異なると評価しにくい . どのアンテナ比でもシミュレーションでの発振周波数を同じにするため , 次節で述べるようにドレイン側の配線を用いて調整する .

3.5 ドレイン側配線による配線抵抗および容量調整

アンテナ比を増加させても発振周波数が同じになるように , 図 8 のようにアンテナ比 1000 以外の構造においてドレイン側に周波数調整用配線を付加する . こうすることで , どのアンテナ比でも配線抵抗および容量が同じになり , 発振周波数が同じになる . 表 1 にドレイン側の周波数調整用配線によって発振周波数を調整した結果を示す . ドレイン側配線面積はゲート面積を 1 としたときの相対配線面積を表している . すべてのアンテナ比で , 寄生成分を考慮したシミュレーションでの発振周波数が 1.59 GHz となった .

表 1 ドレイン側の周波数調整用配線による各アンテナ比 (AR) でのリングオシレータの発振周波数シミュレーション結果。ドレイン側配線面積比はゲート面積を 1 としている。

AR	ドレイン側配線面積比	シミュレーション周波数
100	642.0	1.590 GHz
200	542.3	
300	442.4	
400	340.3	
500	242.2	
600	147.5	
700	111.7	
800	74.0	
900	36.7	
1000	1.0	

4. 測定結果

3 節で説明した各構造において作成した回路で発振周波数を測定した結果を示す。電源電圧 1.5 V, 室温で測定を行った。

バルクでの結果を図 9 に示す。横軸はアンテナ比 (AR), 縦軸は発振周波数である。各アンテナ比の中央にある点は発振周波数の平均値 (Mean) であり, エラーバーは標準誤差 (SE, Standard Error) を表す。標準誤差は 99% の信頼区間を用いている。つまり, 標準偏差を σ とすると, 用いた標準誤差は $3\sigma/\sqrt{N}$ である。ここで, N は測定個数であるので, 今回の測定では 576 を用いる。結果をみると, アンテナ比 100 から 600 までは平均値が一定であることがわかる。設計ルールの上限值は 500 であるため, 設計ルールを守っていればアンテナダメージの影響はない。アンテナ比 600 を超えると, アンテナ比が増加するに従って平均周波数が減少している。設計ルールの上限值であるアンテナ比 500 と比べると, アンテナ比 1000 での周波数は 2.2% 減少している。アンテナダメージにより, しきい値電圧が増加していることが確認できる。設計ルールを破るときには, アンテナダメージの影響を考えた設計が必要である。

SOTB での結果を図 10 に示す。SOTB はソース・ドレインと基板間の容量がバルクと比べて少ないため, 発振周波数の値はバルクよりも高い。しかし, アンテナ比増加に伴う発振周波数減少の傾向はバルクと同じである。SOTB もバルクと同様に, アンテナ比 600 までは発振周波数が一定であり, 600 を超えるとアンテナ比増加に従って発振周波数が減少する。アンテナ比 1000 での周波数は, 上限値のアンテナ比 500 と比べて 2.3% 減少している。減少割合もバルクとほぼ同じであるため, SOTB でのアンテナダメージの影響はバルクと変わらない。SOTB を用いた設計でもバルクと同様, アンテナダメージの影響を考えた設計が必要である。しかし, バルクと SOTB で異なる設計余裕を考慮する必要はないといえる。

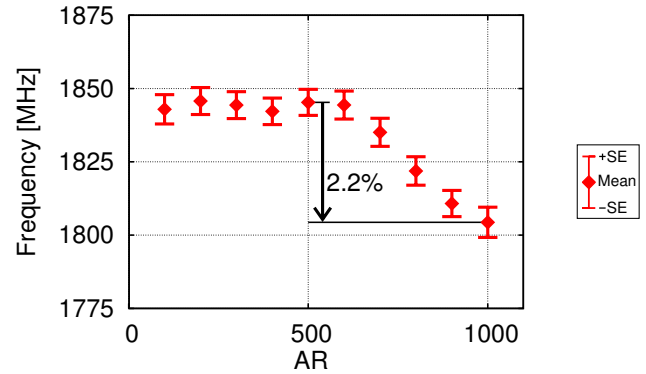


図 9 バルクにおける各アンテナ比 (AR) での発振周波数測定結果。AR600 までは一定であり, AR1000 での平均発振周波数はルール上限値である AR500 から 2.2% 減少している。

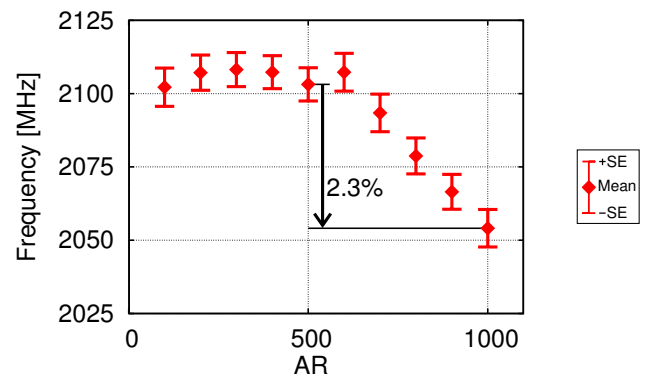


図 10 SOTB における各アンテナ比 (AR) での発振周波数測定結果。アンテナ比増加に伴う発振周波数減少の傾向はバルクと同じである。

5. 結論

65 nm プロセスでの設計ルール上限値であるアンテナ比 500 付近において, アンテナ比によるアンテナダメージの影響を検証した。発振経路の 1 ヶ所のみアンテナを付加した 11 段リングオシレータを試作して, 発振周波数を測定することで評価を行った。アンテナ比 600 まではアンテナ比によらず, 発振周波数は一定であった。しかし, アンテナ比 600 を超えると, アンテナ比増加に伴い発振周波数が減少した。設計ルールの上限值であるアンテナ比 500 と比べて, アンテナ比 1000 での発振周波数は 2.2% 減少した。アンテナ比が 1000 であってもトランジスタは壊れなかったため, 設計ルールを破っても動作しなくなることはない。しかし, ルールを破る際にはアンテナダメージによってしきい値電圧が劣化するため, アンテナ比に応じた設計余裕を考慮するべきである。しきい値電圧の劣化傾向は通常のバルクと SOTB プロセスで同じであるため, SOTB でも同様の設計余裕を考慮するべきであるが, 設計余裕をバルクと SOTB で変える必要はない。

謝辞 本研究は JSPS 科研費 15H02677 の助成を受けて実施したものであり、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

参考文献

- [1] R. H. Dennard, V. L. Rideout, E. Bassous, and A. R. LeBlanc, "Design of Ion-Implanted MOSFET's with Very Small Physical Dimensions", *Solid-State Circuits*, Vol. 9, No. 5, pp. 256–268, (1974).
- [2] C.-H. Jan, F. Al-amoody, H.-Y. Chang, T. Chang, Y.-W. Chen, N. Dias, W. Hafez, D. Ingerly, M. Jang, E. Karl, S. K.-Y. Shi, K. Komeyli, H. Kilambi, A. Kumar, K. Byon, C.-G. Lee, J. Lee, T. Leo, P.-C. Liu, N. Nidhi, R. Olac-vaw, C. Petersburg, K. Phoa, C. Prasad, C. Quincy, R. Ramaswamy, T. Rana, L. Rockford, A. Subramaniam, C. Tsai, P. Vandervoorn, L. Yang, A. Zainuddin, and P. Bai, "A 14 nm SoC Platform Technology Featuring 2nd Generation Tri-Gate Transistors, 70 nm Gate Pitch, 52 nm Metal Pitch, and 0.0499 μm^2 SRAM cells, Optimized for Low Power, High Performance and High Density SoC Products", *VLSI Tech.*, (2015), pp. T12–T13.
- [3] A. C. Mocuta, T. B. Hook, A. I. Chou, T. Wagner, A. K. Stamper, M. Khare, and J. P. Gambino, "Plasma Charging Damage in SOI Technology", *Plasma- and Process-Induced Damage*, (2001), pp. 104–107.
- [4] W. H. Choi, S. Satapathy, J. Keane, and C. H. Kim, "A Test Circuit Based on a Ring Oscillator Array for Statistical Characterization of Plasma-Induced Damage", *CICC*, (2014), p.14-3.
- [5] F. L. Chow and A. Chin, "Failure Analysis on Plasma Charging Induced Damage Due to Effect of Circuit Layout & Device Structure Marginality", *IPFA*, (2012), pp. 1–5.
- [6] W. H. Choi, P. Jain, and C.H. Kim, "An Array-Based Circuit for Characterizing Latent Plasma-Induced Damage", *IRPS*, (2013), pp. 4A.3.1–4A.3.4.
- [7] C. D. Young, G. Bersuker, F. Zhu, K. Matthews, R. Choi, S. C. Song, H. K. Park, J. C. Lee, and B. H Lee, "Comparison of Plasma-Induced Damage in SiO_2/TiN and HfO_2/TiN Gate Stacks", *IRPS*, (2007), pp. 67–70.
- [8] M. Akbal, G. Ribes, and L. Vallier, "New Insight in Plasma Charging Impact on Gate Oxide Breakdown in FDSOI Technology", *IRPS*, (2015), pp. PI.2.1–PI.2.4.
- [9] S. Samukawa, "Plasma-Induced Damage and Its Control in Plasma Etching Processes", *ICICDT*, (2007), pp. 1–4.
- [10] N. Weste and D. M. Harris, "*CMOS VLSI DESIGN*", Pearson, Addison-Wesley, (2011).
- [11] R. Tsuchiya, M. Horiuchi, S. Kimura, M. Yamaoka, T. Kawahara, S. Maegawa, T. Ipposhi, Y. Ohji, and H. Matsuoka, "Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power High-Performance Application Featuring Wide-Range Back-Bias Control", *IEDM*, (2004), pp. 631–634.
- [12] R. Kishida, A. Oshima, and K. Kobayashi, "Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon on Thin BOX (SOTB) Processes", *IRPS*, (2015), pp. CA.2.1–CA.2.5.