

回路シミュレーションを用いた ランダムテレグラフノイズのパラメータ依存性の評価

大島 梓¹ Pieter Weckex² Ben Kaczer² 小林 和淑¹ 松本 高士³

概要: ランダムテレグラフノイズ (RTN) は、MOSFET のしきい値電圧がランダムに変動する現象である。集積回路の微細化とともにその影響は深刻化している。本研究は、先行研究における 40nm プロセスのリングオシレータの RTN 実測結果を回路シミュレーションを用いて再現することにより、RTN の影響の予測を実現することを目的とする。シミュレーションでは、モンテカルロ法を用いて各デバイスに RTN 起因のしきい値変動量を与える。それらの値は、トラップ数と各トラップによるしきい値電圧変動量によって決まる。シミュレーションにおける発振周波数の分布は、電圧・リングオシレータの段数・デバイスサイズ・基板バイアス依存性において実測と一致する結果が得られた。

Evaluation of Parameter Dependence of Random Telegraph Noise Using Circuit-level Simulations

AZUSA OSHIMA¹ PIETER WECKEX² BEN KACZER² KAZUTOSHI KOBAYASHI¹ TAKASHI MATSUMOTO³

Abstract: Random Telegraph Noise (RTN) is the phenomena which threshold voltage of MOSFET change randomly. RTN has become dominant with rapid transistor downscaling in recent years. We simulate RTN-induced frequency fluctuation of Ring Oscillators (ROs) on 40 nm process using a circuit-level simulator to replicate measurement results from previous works. In simulation, each transistor of ROs is given RTN-induced threshold voltage shift by a Monte Carlo method. The distribution of threshold voltage shifts is calculated by a number of defects and threshold voltage shift per trap. Simulation results of dependences of frequency fluctuation on operating voltages, number of stages in ROs, gate widths, and body biases are corresponding to the measurements.

1. 導入

近年の LSI の微細化により、高信頼のシステムを設計することはますます困難になってきている。リーク電流といった従来からの問題に加えて、トランジスタのばらつきが深刻な影響を与えるようになってきているためである。トランジスタのばらつきは、静的(プロセス)ばらつきと動的ばらつきに分類される [1]。プロセスばらつきは製品製造時に定まる特性であるのに対して、動的ばらつきは製品出荷後の使用状態を反映した時間に依存する劣化現象によって起こる。それらの劣化現象の例として、HCI (Hot Carrier In-

jection), TDDB (Time Dependent Dielectric Breakdown), BTI (Bias Temperature Instability)[2], そして、ランダム・テレグラフ・ノイズ (Random Telegraph Noise, RTN)[3] がある。これらの劣化現象は、酸化膜欠陥に起因する。

RTN は、様々な時間スケールを伴って、一時的に特性が変動する現象である [3]。それに対して、BTI は、ゲートに電圧をかけた時間に伴って、特性が長期的に劣化していく現象である [2]。ゲートにかけた電圧を取り除くと回復現象が起こり、特性の大部分は元に戻る。近年の研究により、RTN と BTI の回復現象は同じメカニズムで起こっていることが明らかになっている [4], [5]。図 1, 2 にそれらのメカニズムを示す。図 1 の RTN では、ゲートに一定の電圧がかかると、酸化膜中の欠陥がソース/ドレイン間にあるキャリアを捕捉して、遅延時間の増加やしきい値電圧の

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology
² imec
³ 東京大学, University of Tokyo

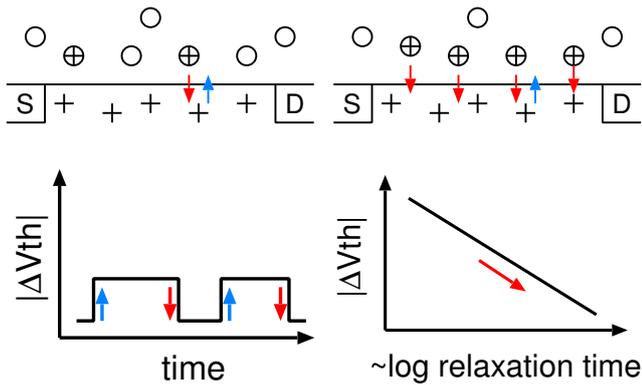


図 1 RTN の劣化 (青) と回復 (赤) 図 2 BTI の回復現象

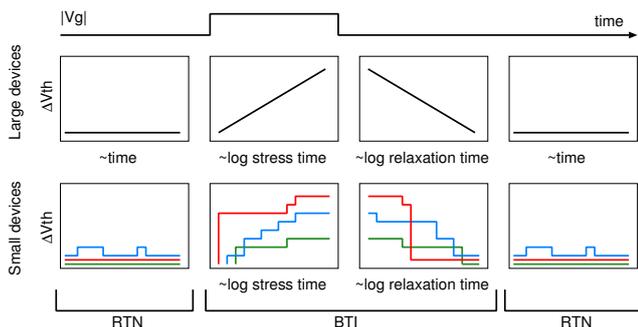


図 3 Large Scale と Small Scale での BTI・RTN の挙動の違い

劣化が起こる。欠陥がキャリアを放出すると、劣化していたしきい値電圧は回復する。RTN では、回復と劣化が交互に起こる [4], [6]。図 2 の BTI の回復現象は、キャリアを捕捉している欠陥が徐々にキャリアを放出していき、最終的にしきい値電圧の大部分が劣化前の状態に戻る。

図 3 のように、BTI はトランジスタの微細化に伴って、個々の欠陥の影響が顕著になってきているため、寿命が一意的に決まらなくなってきている。特に、RTN は微細化の影響を受けやすい [7]。その理由として、RTN の振幅は $1/(WL)$ に伴って増加するため、 $1/\sqrt{(WL)}$ でばらつくプロセスばらつきよりも微細化の影響を受けやすいことが挙げられる。RTN は、SRAM[8] やフラッシュメモリ [9]、イメージセンサ [10] などの高集積なデジタル回路に大きな影響を及ぼすことが報告されている。微細な素子を多数集積した場合に RTN の統計的な性質によって大きなノイズが生じ、回路へ影響を与えるためである。

以上の背景から、微細なプロセスでの RTN の影響の予測が必要である。本研究では、回路レベルシミュレーションを用いて RTN の影響予測モデルを提案する。デジタル回路における RTN の影響を実測した結果を回路シミュレーションで再現することにより、モデルの評価を行う。

2. リングオシレータにおける RTN の測定

文献 [3] に示されている RTN のデジタル回路における影響を測定した結果について述べる。測定した回路は、

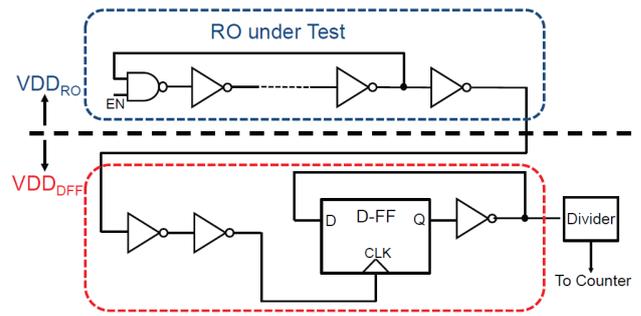


図 4 測定回路構造 [3]

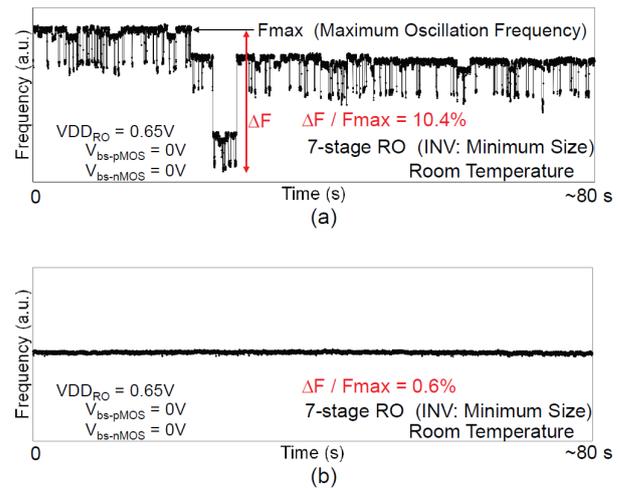


図 5 RTN に起因した発振周波数ゆらぎの測定結果 [3]

図 4 に示される 7 段のリングオシレータである。12,600 個のリングオシレータのうちの 2 つにおいて、RTN に起因する発振周波数ゆらぎを電源電圧 $V_{dd}=0.65V$ の条件下で 80s 間測定した結果を、図 5 に示す。図 5 において、 F_{max} は最大の発振周波数、 ΔF は最大周波数と最小周波数の差を表す。 $\Delta F/F_{max}$ は、RTN による発振周波数変動率であり、RTN の影響の大きさを表す指標である。図 5 (a) は、 $\Delta F/F_{max}=10.4\%$ と回路性能に大きな影響を及ぼしているが、別のリングオシレータ (b) の場合には、 $\Delta F/F_{max}=0.6\%$ と小さい。(a) のような大きな発振周波数ゆらぎが稀なものだとしても、回路には重大な影響を及ぼす。図 6 は、12,600 個のリングオシレータの $\Delta F/F_{max}$ の分布を示している。RTN により、 $\Delta F/F_{max}$ が対数正規分布でばらついている。

3. RTN シミュレーション方法

本章では、図 6 の $\Delta F/F_{max}$ の実測結果をシミュレーションで再現する方法について説明する。

3.1 シミュレーション手順

シミュレーションの流れを図 7 に示す。シミュレーションには、7 段リングオシレータのネットリストと 40nm

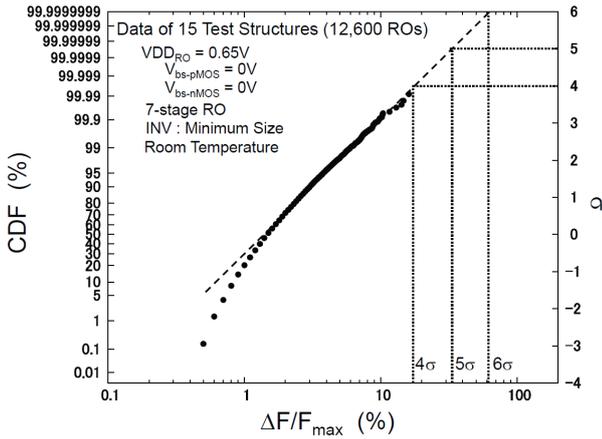


図 6 RTN に起因した発振周波数変動率の分布の測定結果 [3]

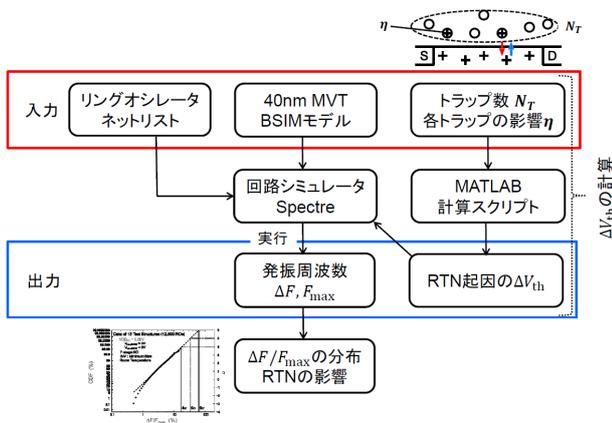


図 7 シミュレーションの流れ

BSIM モデルを用いる。シミュレータは Spectre を用いる。Spectre は高速・高精度の SPICE レベル回路シミュレータである。モンテカルロ法を用いて、7 段リングオシレータの各トランジスタに RTN 起因のしきい値電圧変動量 ΔV_{th} を与える。RTN 起因の ΔV_{th} の計算の流れを説明する。キャリアを捕捉している酸化膜中の欠陥の数を n 、各欠陥によるしきい値電圧変動量を η とする。それらを入力として MATLAB スクリプトに代入し、各トランジスタの RTN 起因のしきい値電圧変動量の分布を出力として得る。次節から、この MATLAB スクリプト内でどのように計算しているかを述べる。

3.2 各々の欠陥による RTN 起因の ΔV_{th} の分布

MATLAB スクリプトに入力するパラメータは、酸化膜欠陥の数 n と各欠陥によるしきい値電圧変動量 η である。この節では、 η について考える。文献 [4], [11] における実測結果より、 ΔV_{th} は η を中心とする指数分布に従い、その PDF (確率分布) は、次の式で表される。

$$f_{\eta}(\Delta V_{th}, \eta) = \frac{1}{\eta} e^{-\frac{\Delta V_{th}}{\eta}} \quad (1)$$

その CDF (累積分布関数) は、次のように表される。

$$F_{\eta}(\Delta V_{th}, \eta) = 1 - e^{-\frac{\Delta V_{th}}{\eta}} \quad (2)$$

この分布の分散を σ^2 とすると、 $\sigma^2 = \eta^2$ で表される。 η はデバイスのチャンネル面積増加に伴って減少することが先行研究により示されている [12]。トランジスタのゲート幅を W 、ゲート長を L とすると、その面積依存性は次のように表される。

$$\eta \propto \frac{1}{W\sqrt{L}} \quad (3)$$

3.3 欠陥数 n が定数のときの RTN 起因の ΔV_{th} の分布

トランジスタの酸化膜欠陥の数 n が定数であると仮定する。各トランジスタのしきい値電圧のばらつきは、各欠陥のもつ η の指数分布の畳み込みで表される [4]。 ΔV_{th} の PDF と CDF をそれぞれ式 (4), (5) に示す。

$$g_{\eta}(\Delta V_{th}, \eta) = \frac{e^{-\frac{\Delta V_{th}}{\eta}}}{(n-1)!} \frac{\Delta V_{th}^{n-1}}{\eta^n} \quad (4)$$

$$G_{\eta}(\Delta V_{th}, \eta) = 1 - \frac{\Gamma(n, \frac{\Delta V_{th}}{\eta})}{(n-1)!} \quad (5)$$

式 (5) において、 Γ はガンマ関数である。

3.4 実際の RTN 起因の ΔV_{th} の分布

実際には、酸化膜欠陥数 n は一定ではなく、各トランジスタはそれぞれ異なった n をもつ。 n は式 (6) に従ってポアソン分布している [4], [5], [13]。

$$P_{N_T}(n) = \frac{e^{-N_T} N_T^n}{n!} \quad (6)$$

N_T は酸化膜欠陥の数の平均であり、酸化膜欠陥の密度 N_{ot} を用いて、 $N_T = WLN_{ot}$ と表される。このとき、 N_T は整数とは限らない。実際の ΔV_{th} は、式 (5) に式 (6) を重み付けしたものとなる。 ΔV_{th} の CDF は、式 (7) で表される。

$$H_{\eta, N_T}(\Delta V_{th}, \eta) = \sum_{n=1}^{\infty} P_{N_T}(n) G_{\eta}(\Delta V_{th}, \eta) \quad (7)$$

3.5 RTN による ΔV_{th} の簡易モデル

式 (7) の ΔV_{th} の分布の平均値は、式 (8) で表される。

$$\langle V_{th} \rangle = \eta N_T \quad (8)$$

実際のシミュレーションでは、モンテカルロ法を用いて式 (2), (6) を組み合わせて計算を行う。各トランジスタのしきい値電圧変動量 $\Delta V_{th,k}$ は、式 (9) のように表される。

$$\Delta V_{th,k} = \sum_{i=1}^{N_{T,k}} \Delta V_{th,i} \quad (9)$$

ここで、 $\Delta V_{th,i}$ は各欠陥がしきい値電圧に及ぼす影響である。欠陥の数 $N_{T,k}$ 個の $\Delta V_{th,i}$ を合計したものが、各トランジスタのしきい値電圧変動量 $\Delta V_{th,k}$ となる。さらに、 m をモンテカルロシミュレーションの回数とすると、 $k = 1 \dots m$ を回して m 個のリングオシレータの $\Delta V_{th,k}$ を生成する。

3.6 プロセスばらつきによるしきい値電圧のばらつき

プロセスばらつきは、RTN と同様に回路動作に大きな影響をもたらす。本研究では、RTN にプロセスばらつきも考慮したシミュレーションを行う。プロセスばらつきは、各トランジスタに正規分布の ΔV_{th} を加えることで再現する [14]。

3.7 シミュレーションと測定値の違い

文献 [3] では、図 5 の発振周波数の時間依存性から、図 6 の 12,600 個のリングオシレータの発振周波数の分布を求めている。しかし、本シミュレーションは、発振周波数の時間依存性が求められない。そのため、シミュレーションでは発振周波数の分布を別の方法で求めた。シミュレーションは、(1) : プロセスばらつきのみと (2) : プロセスばらつきと RTN の 2 パターンのシミュレーションを行った。それぞれのシミュレーション方法について以下に示す。

- (1) リングオシレータ全段の PMOS, NMOS に平均値 $\mu=52$ mV, 標準偏差 $\sigma=31$ mV で正規分布するプロセスばらつき起因の ΔV_{th} を与えた。
 - (2) リングオシレータ全段の PMOS, NMOS に (1) と同じプロセスばらつき起因の ΔV_{th} を与えた。RTN 起因のパラメータ η , N_T は、それぞれのデバイスによる。
- (1), (2) のシミュレーションで得られた発振周波数を各々 F_1 , F_{RTN+} とすると、RTN の影響の大きさ $\Delta F/F_{max}$ は次のように表される。

$$\frac{\Delta F}{F_{max}} = \frac{F_1 - F_{RTN+}}{F_1} \quad (10)$$

4. RTN シミュレーション結果

本章では、リングオシレータにおける RTN シミュレーションを行った結果を示す。

4.1 RTN 起因の発振周波数変動

図 8 に $\Delta F/F_{max}$ の分布を電源電圧 $V_{dd}=0.65$ V において、840 個のリングオシレータで計算した結果を示す。図 8 中で、シミュレーションのフィッティングは、 $\Delta F/F_{max} > 1\%$ において $f(x) = a \log(bx)$ で近似した。 a と b はフィッティングパラメータである。シミュレーション値と測定値は $\Delta F/F_{max} > 1\%$ において、どちらも対数正規分布に従う。 $\Delta F/F_{max} < 1\%$ においては、シミュレーション値は下に凸であるが、測定値では上に凸である。これは、測定値の精度が低いためであると考えられる。 $\Delta F/F_{max}$ が 1% 以上の範囲では、シミュレーション値は、測定値によく一致している。以下ではその範囲について議論する。

4.2 パラメータ依存性

図 9-12 に、840 個のリングオシレータでシミュレーショ

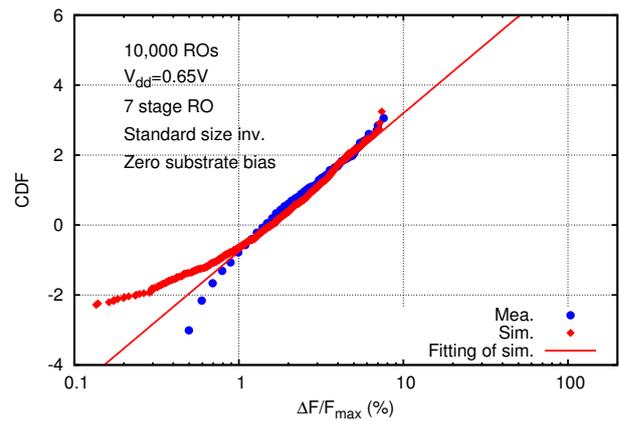


図 8 RTN に起因した発振周波数変動率の分布

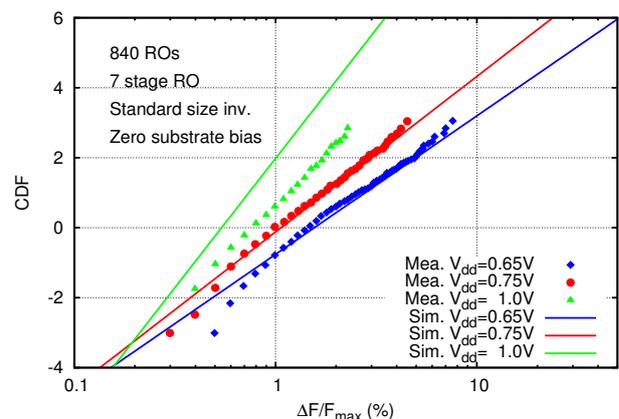


図 9 電圧依存性

ンした RTN の電源電圧 V_{dd} , リングオシレータの段数、デバイスサイズ、基板バイアス依存性の結果を示す。図 9 の電源電圧依存性では、 $V_{dd}=0.65, 0.75, 1.0$ V で比較した。電圧が大きくなるほど、RTN の影響は小さくなるのが分かる。この傾向は、測定値 [3] と一致している。これは、 F_{max} が V_{dd} に比例して大きくなるためである。

図 10 の段数依存性では、7, 19 段のリングオシレータで比較した。段数が大きくなるほど RTN の影響は小さくなっており、測定値 [3] と一致する結果となった。

図 11 のデバイスサイズ依存性では、標準サイズと最小サイズのインバータで比較した。標準サイズのインバータに対する最小サイズのインバータの PMOS と NMOS のゲート面積 ($W \times L$) の比は各々 0.21, 0.31 である。デバイスサイズが小さくなるほど、RTN の影響が大きくなる。これは、サイズに伴って酸化膜欠陥の数 N_T と各欠陥の ΔV_{th} の影響 η が変わるためである。デバイスサイズが大きくなるほど欠陥は増えるため、 $N_T \propto WL$ である。また、式 (3) より、 η はデバイスサイズに伴って減少する。

図 12 に基板バイアス依存性を示す。基板バイアスは、フォワードバイアス、ゼロバイアス、リバースバイアスで比較した。ここで、PMOS, NMOS の基板バイアスをそれぞれ $V_{bs-PMOS}$, $V_{bs-NMOS}$ とすると、フォワードバイアス

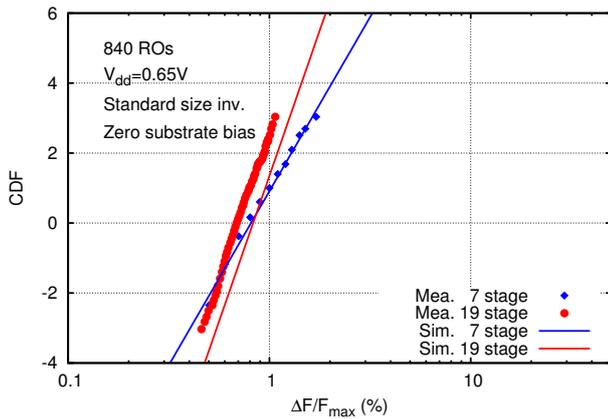


図 10 段数依存性

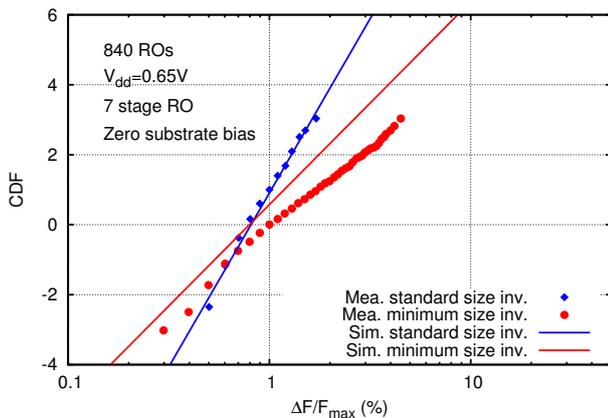


図 11 デバイスサイズ依存性

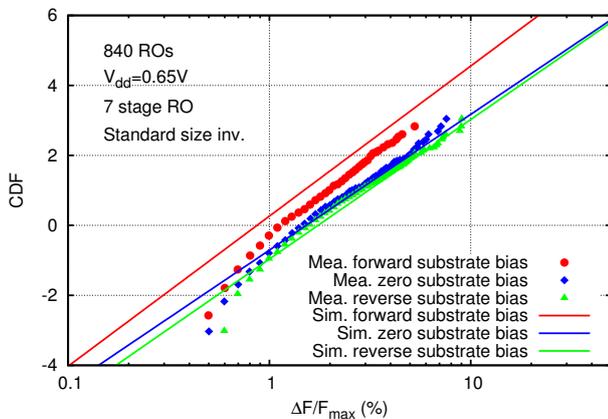


図 12 基板バイアス依存性

は、 $V_{bs-PMOS} = +0.2V$, $V_{bs-NMOS} = +0.2V$ 、リバースバイアスは、 $V_{bs-PMOS} = -0.2V$, $V_{bs-NMOS} = 0V$ のときで比較した。フォワードバイアスをかけたときに RTN の影響が小さくなり、リバースバイアスをかけたときに RTN の影響が大きくなった。この傾向は、測定値 [3] と一致している。これは、文献 [15] の η の基板バイアス依存性の測定結果に従って、フォワードバイアスをかけたときに η の値を小さく、リバースバイアスをかけたときに η の値を大きくしたためである。このとき、 N_T の値は変化しない。

5. 結論

40 nm プロセスのリングオシレータにおいて、ランダムテレグラフノイズのシミュレーションを行った。RTN シミュレーションでは、ポアソン分布するトラップ数 N_T と指数分布する各トラップのしきい値電圧への影響 η の組み合わせによって決まるしきい値電圧変動量を用いて RTN を再現した。シミュレーションの結果、RTN の影響の大きさ $\Delta F/F_{max}$ が 1%以上の範囲で、電圧・リングオシレータの段数・デバイスサイズ・基板バイアス依存性において、測定値と一致する傾向が得られた。このシミュレーションモデルは、 $\Delta F/F_{max}$ が 1%以上の範囲では優れたモデルである。

謝辞

本研究は JSPS 科研費 15H02677 の助成を受けて実施したものである。本研究に用いた TEG 設計は東京大学大規模集積システム設計教育センターを通して行われ、シノプシス株式会社、日本ケイデンス株式会社とメンター株式会社の協力で行われたものである。

参考文献

- [1] B. Kaczer, J. Franco, P.J. Roussel, G. Groeseneken, T. Chiarella, N. Horiguchi, and T. Grasser, "Extraction of the Random Component of Time-Dependent Variability Using Matched Pairs", *Electron Device Letters, IEEE*, Vol. 36, No. 4, pp. 300–302, (2015).
- [2] M. Yabuuchi, R. Kishida, and K. Kobayashi, "Correlation between BTI-induced degradations and process variations by measuring frequency of ROs", *International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, (2014), pp. 1–2.
- [3] T. Matsumoto, K. Kobayashi, and H. Onodera, "Impact of random telegraph noise on CMOS logic circuit reliability", *Custom Integrated Circuits Conference (CICC)*, (2014), pp. 1–8.
- [4] B. Kaczer, T. Grasser, P.J. Roussel, J. Franco, R. Degraeve, L.-A. Ragnarsson, E. Simoen, G. Groeseneken, and H. Reisinger, "Origin of NBTI variability in deeply scaled pFETs", *International Reliability Physics Symposium (IRPS)*, (2010), pp. 26–32.
- [5] B. Kaczer, T. Grasser, J. Martin-Martinez, E. Simoen, M. Aoulaiche, P.J. Roussel, and G. Groeseneken, "NBTI from the perspective of defect states with widely distributed time scales", *International Reliability Physics Symposium*, (2009), pp. 55–60.
- [6] A. Oshima, P. Weckx, B. Kaczer, K. Kazutoshi, and T. Matsumoto, "Impact of Random Telegraph Noise on Ring Oscillators Evaluated by Circuit-level Simulations", *ICICDT*, (2015).
- [7] N. Tega, H. Miki, Zhibin R., C.P. D'Emic, Y. Zhu, D.J. Frank, M. A. Guillorn, Dae-G. Park, W. Haensch, and K. Torii, "Impact of HK / MG stacks and future device scaling on RTN", *International Reliability Physics Symposium (IRPS)*, (2011), pp. 6A.5.1–6A.5.6.
- [8] M. Tanizawa, S. Ohbayashi, T. Okagaki, K. Sonoda, K. Eikyu, Y. Hirano, K. Ishikawa, O. Tsuchiya, and

- Y. Inoue, “Application of a statistical compact model for Random Telegraph Noise to scaled-SRAM Vmin analysis”, *VLSI Technology (VLSIT)*, (2010), pp. 95–96.
- [9] H. Kurata, K. Otsuga, A. Kotabe, S. Kajiyama, T. Osabe, Y. Sasago, S. Narumi, K. Tokami, S. Kamohara, and O. Tsuchiya, “Random Telegraph Signal in Flash Memory: Its Impact on Scaling of Multilevel Flash Memory Beyond the 90-nm Node”, *IEEE Journal of Solid-State Circuits*, Vol. 42, No. 6, pp. 1362–1369, (2007).
- [10] J.-M. Woo, H.-H. Park, H.-S. Min, Park C.-H., S.-M. Hong, and Park C.-H., “Statistical analysis of random telegraph noise in CMOS image sensors”, *Simulation of Semiconductor Processes and Devices, SISPAD*, (2008), pp. 77–80.
- [11] B. Kaczer, P.J. Roussel, T. Grasser, and G. Groeseneken, “Statistics of Multiple Trapped Charges in the Gate Oxide of Deeply Scaled MOSFET Devices - Application to NBTI”, *Electron Device Letters, IEEE*, Vol. 31, No. 5, pp. 411–413, (2010).
- [12] J. Franco, B. Kaczer, M. Toledano-Luque, P.J. Roussel, J. Mitard, L.-A. Ragnarsson, L. Witters, T. Chiarella, M. Togo, N. Horiguchi, G. Groeseneken, M.F. Bukhori, T. Grasser, and A. Asenov, “Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs”, *International Reliability Physics Symposium (IRPS)*, (2012), pp. 5A.4.1–5A.4.6.
- [13] M. Toledano-Luque, B. Kaczer, J. Franco, P.J. Roussel, T. Grasser, T.Y. Hoffmann, and G. Groeseneken, “From mean values to distributions of BTI lifetime of deeply scaled FETs through atomistic understanding of the degradation”, *VLSI Technology (VLSIT)*, (2011), pp. 152–153.
- [14] A. Ghetti, C. Monzio Compagnoni, A.S. Spinelli, and A. Visconti, “Comprehensive Analysis of Random Telegraph Noise Instability and Its Scaling in Deca - Nanometer Flash Memories”, *IEEE Transactions on Electron Devices*, Vol. 56, No. 8, pp. 1746–1752, (2009).
- [15] J. Franco, B. Kaczer, M. Toledano-Luque, P.J. Roussel, G. Groeseneken, B. Schwarz, M. Bina, M. Waltl, P.-J. Wagner, and T. Grasser, “Reduction of the BTI time-dependent variability in nanoscaled MOSFETs by body bias”, *IEEE International Reliability Physics Symposium (IRPS)*, (2013), pp. 2D.3.1–2D.3.6.