

# 65nm 薄膜 FD-SOIとバルクプロセスにおける アンテナダイオード起因ソフトエラーの実測と評価

曾根崎 詠二<sup>1</sup> 古田 潤<sup>1</sup> 小林 和淑<sup>1</sup>

概要：集積回路の配線加工工程上避けられない問題としてアンテナダメージがある。アンテナダイオードによりダメージを緩和可能であるが、SOI (Silicon On Insulator) プロセスではソフトエラー率の増加が危惧される。アンテナダイオード起因で発生するソフトエラーの実測と評価を目的とした。65nm バルクプロセスとFD-SOI (Fully-Depleted SOI) でチップを試作し、中性子による加速実験を行った。アンテナダイオードを用いることでバルクプロセスではソフトエラー率が 1.4 倍程度の増加であったが、FD-SOI では約 18 倍に増加した。FD-SOI はアンテナダイオード起因ソフトエラーに非常に敏感であると言える。

## Measurements and Evaluations of Soft error induced by Antenna Diode in 65 nm Bulk and SOTB Processes

ELJI SONEZAKI<sup>1</sup> JUN FURUTA<sup>1</sup> KAZUTOSHI KOBAYASHI<sup>1</sup>

**Abstract:** During the production of MOSFETs, it happened a problem called plasma induced damage. The damage is protected by AD(Antenna Diode). However, AD causes increase of SER(Soft error rate) in SOI(Silicon on insulator). We measure and evaluate SER caused by AD. Test chips are fabricated in 65nm Bulk and FD-SOI (Fully-Depleted SOI) process. Neutron irradiation tests are carried out at RCNP(Research Center for Nuclear Physics). In Bulk process, SER increased by AD is only 1.4 times. In FD-SOI, SER increased by AD is 18 times. This results show SER by AD in FD-SOI is very sensitive.

### 1. 序論

半導体の微細加工技術の進歩により、集積回路に搭載されるトランジスタの個数はムーアの法則に従って増加してきた [1]。近年では、1 チップに数億ものトランジスタが集積されることで低消費電力化や動作周波数向上など多くのメリットを得た。その反面、信頼性の低下が顕在化している。信頼性を低下させる要因にソフトエラーや初期劣化といった現象がある [2][3][4]。

半導体製造過程にて化学機械研磨 (CMP) やプラズマエッチングなどにより金属配線に電荷が溜まることがあり、その電荷の溜まった金属配線のことをアンテナという [5]。アンテナと MOSFET が接続することでゲート部分に電荷が流れ込み、ゲート酸化膜がダメージを受ける。それによ

り MOSFET の特性が劣化し、最悪の場合ではゲート酸化膜が破壊され、ハードエラーを引き起こす [6]。一般的な対策としてアンテナ部の電荷を基板に流すためにアンテナダイオードが用いられる。この方法によりゲート部分に流れる電荷を減少させ、ダメージを緩和できる。一方で、アンテナダイオードによりソフトエラー率が増加すると考えられる。特にソフトエラー対策として用いられる SOI 構造は非常に高いソフトエラー耐性を示すので [7]、バルク構造のアンテナダイオードを入れることで回路全体のソフトエラー率増加を招く危険性がある。したがって、本稿では完全空乏型 SOI においてアンテナダイオードを用いることでソフトエラー率に与える影響を評価した。

本稿の構成を述べる。第 2 節ではソフトエラーの発生要因について述べる。第 3 節ではアンテナダイオードによるソフトエラー率を評価するための回路構造について述べ、第 4 節では中性子照射試験による実測結果、最後に第 5 節

<sup>1</sup> 京都工芸繊維大学 電子システム工学専攻  
Department of Electronics, Kyoto Institute of Technology

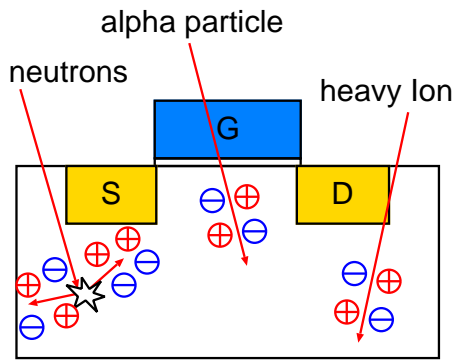


図 1 ソフトエラー発生機構

で結論について述べる。

## 2. ソフトエラー

本節では、ソフトエラーの発生要因とメカニズム、ソフトエラー対策として用いられるデバイスである SOI (Silicon On Insulator) について述べる。

### 2.1 ソフトエラーの要因

ソフトエラーとは、図 1 に示すように集積回路に粒子線が突入することで発生した電子正孔対により引き起される放射線起因一過性エラーのことを指す。

集積回路に影響を与える粒子として、アルファ線、中性子、重イオンが挙げられる [8][9]。アルファ線はパッケージやボンディングワイヤーなどに含まれる放射性不純物から発生する。中性子は宇宙から降り注ぐ重イオンが大気と反応することで発生する。これら 2 種類の粒子は地上でのソフトエラーの要因となる。重イオンは He よりも大きい原子番号を持つイオンを指し、宇宙環境にある人工衛星などで問題となる。

### 2.2 ソフトエラーの発生要因

ソフトエラーは、前節で述べたように粒子線により生じた電子正孔対がドレイン領域に収集されることにより発生する。ソフトエラーの発生要因には、主に誘起電荷収集と寄生バイポーラ効果の 2 種類がある [10][11]。それぞれの現象について以下に示す。

#### 誘起電荷収集

図 2 に示すように粒子線により基板で生じた電子正孔対の内、少数キャリア (n 型 MOSFET: 電子、p 型 MOSFET: 正孔) が拡散・ドリフトによりドレイン領域に収集されることで MOSFET の出力にノイズを発生する。

#### 寄生バイポーラ効果

図 3 に示すように粒子線により基板で生じた電子正孔対の内、多数キャリア (n 型 MOSFET: 正孔、p 型 MOSFET: 電子) がドレイン領域に収集されず基板に

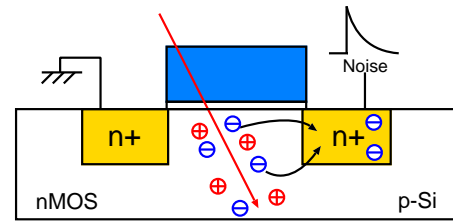


図 2 誘起電荷収集

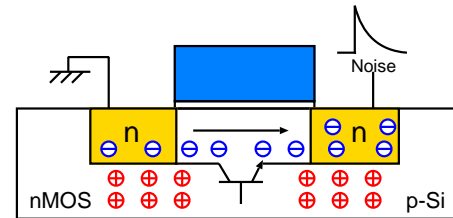


図 3 寄生バイポーラ効果

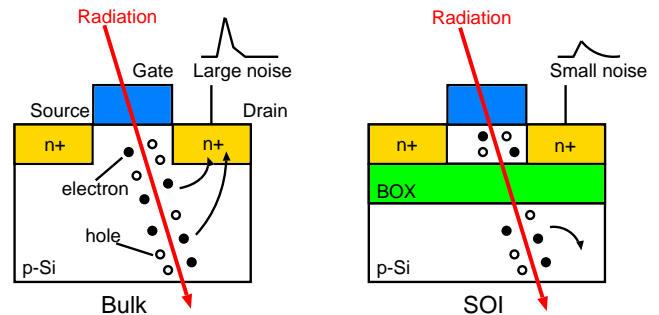


図 4 バルクと SOI のソフトエラーのメカニズム

残留し、基板電位を上昇させる。基板電位上昇により MOSFET に寄生しているバイポーラトランジスタを ON になり、ソースからドレインに電流を流れることで出力にノイズが発生する。チャンネル部の電位変動が起きやすい SOI では主要因として考えられる。

### 2.3 ソフトエラー対策

デバイスレベルでのソフトエラー対策としてプレーナ型の CMOS 回路構造の一種である SOI プロセスがある。図 4 に SOI プロセスとバルクプロセスのソフトエラー発生メカニズムを示す。粒子線により発生した電荷は従来のバルク構造ではドレイン領域に収集されてしまう。一方で、SOI プロセスでは、発生した電荷のほとんどが絶縁物の層 (BOX 層) によって遮断されるため収集されない [12]。そのため従来のバルクプロセスに比べてソフトエラー耐性が高い [7]。

その他の特徴として、チャンネルに不純物ドーピングを行っていない、またはドーピングの量がわずかであるため特性のばらつきを小さい。シリコン基板とトランジスタの間に BOX 層が挿入されているため、トランジスタの寄生容量や漏れ電流が小さく、高速動作や低消費電力での動作が可能である。

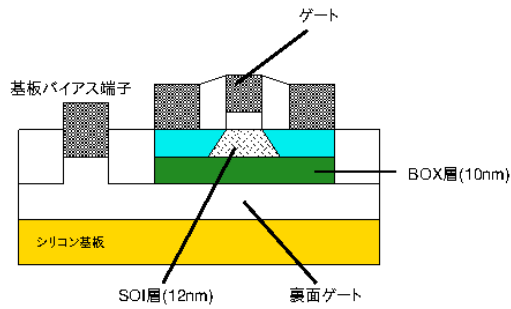


図 5 SOTB (Silicon On Thin BOX)

## 2.4 薄膜BOX SOI (SOTB: Silicon On Thin BOX)

本研究で用いた完全空乏型 SOI の一種である SOTB について図 5 に示す。通常の SOI の絶縁層膜厚はおおよそ 100 nm であるのに対し、SOTB はシリコン基板の上に 10 nm 程度の極薄の BOX 層とおおよそ 12 nm のシリコン薄膜 (SOI 層) が形成された SOI 基板上に形成されたトランジスタである。

## 3. アンテナダイオード起因ソフトエラー評価回路

本節では、トランジスタ間にダイオード配置することでソフトエラー率に与える影響を評価するために構成した回路構造について詳細に示す。

### 3.1 測定対象

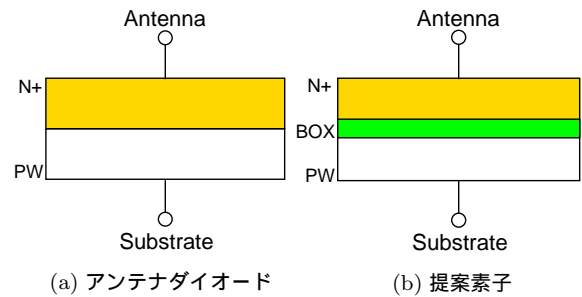
本研究では、図 6 に示すように通常のアンテナダイオードとは別にダイオードを構成する N+領域と P-well の間に BOX 層を挿入した素子を試作した。

アンテナの電荷を基板に流すために用いられるアンテナダイオードは通常、バルク構造である。SOI 構造のアンテナダイオードだと BOX 層により電荷が通過できないからである。しかし、本研究で用いた SOTB の BOX 層は 10nm と非常に薄いため、フラッシュメモリの動作原理と同様に電荷が BOX 層を通過すればゲート部に与えるダメージを緩和できる。

文献 [13] には、単体トランジスタ (NMOS) を用いて SOTB のドレイン領域から基板へ流れる電流を測定した結果が示されており、図 7 に示すように電圧を 2V 以上かけることで電流が流れることが分かる。また、アンテナを SOTB のドレイン領域に接続したことで、ダメージが緩和されていることから BOX 層をトンネリング (トンネル効果) により基板に流れたと示されている。トランジスタのドレイン領域はダイオードと同じ構造をしているため提案素子でもアンテナによるダメージ緩和が可能だと考えられる。

### 3.2 アンテナダイオード起因ソフトエラー発生回路

図 8 にソフトエラー発生部に相当する被測定回路 (Target



(a) アンテナダイオード (b) 提案素子  
図 6 測定対象

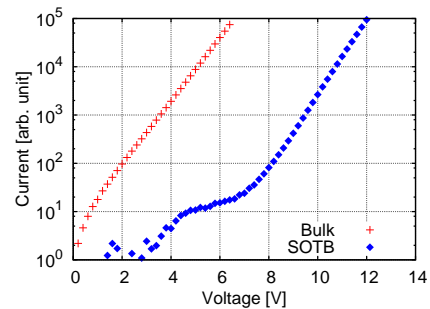


図 7 基板リーク電流測定結果

Circuit) を示す。被測定回路は 50 段のインバータチェーンを 16 列並列に並べ、合計 800 個のインバータにより構成されている。どのインバータでソフトエラーが発生しても回路全体の出力が変化するように各インバータチェーンの出力は NAND と NOR で一つにまとめた構造をしている。

本研究では、アンテナダイオードや提案素子起因ソフトエラーを測定するために図 9 に示すようにダイオードや提案素子をインバータ間に配置した回路を試作した。試作したそれぞれの回路の名称と構造について以下に示す。

- 1) 1x: 標準型の構造として駆動力 1x のインバータにより構成した回路
- 2) D\*: アンテナダイオードをインバータ間に挿入した回路
- 3) DB\*: 提案素子をインバータ間に挿入した回路 (バルクプロセスでは BOX 層を入れるプロセスがないため D\* と同様の構造となる)

配置したダイオードと提案素子の面積は x1 と x3, x9 の 3 種類ある。ダイオードの面積が大きいくほど流れる電流量が増加するためゲート部へのダメージを緩和するが、粒子線により発生した電荷を収集する領域 (有感領域) が増加すると考えられる。バルクと SOTB でダイオードの面積増加による有感領域の増加率を表 1 に示す。バルクでは MOSFET のドレイン面積+ゲート面積、SOTB ではゲート面積を "1" と正規化し、ダイオードによる有感領域の増加率を示した。

### 3.3 リングオシレータ型ソフトエラー測定回路

図 10 にリングオシレータ型ソフトエラー測定回路 (Measurement Circuit) の回路図を示す。

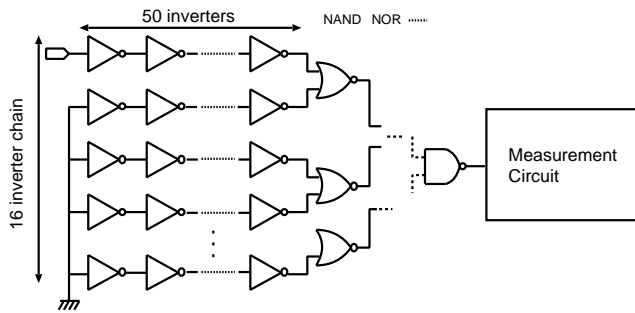


図 8 ソフトエラー発生回路 (Target Circuit)

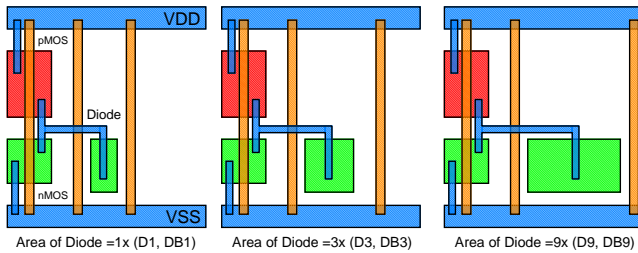


図 9 インバータと各ダイオードの接続構造。

表 1 配置するダイオードの面積による有感領域の増加率

ダイオード	バルク	SOTB
なし (正規化)	1	1
x1	1.7	3.1
x3	3.0	7.2
x9	7.0	19

測定回路は7段リングオシレータとラッチ、カウンタで構成されており、読み出し用にフリップフロップを直列につなげたシフトレジスタが搭載されている。放射線によりソフトエラー発生回路で発生したノイズパルスが本回路の”IN”に入力されるとリングオシレータが発振する。リングオシレータはパルスの長さ分だけ発振するのでカウンタで発振回数を測定することで、大まかなパルス幅が分かる。カウンタで測定できない細かいパルス幅はラッチにより測定する。カウンタとラッチの値をフリップフロップを用いて出力することでソフトエラーの発生数と発生したSETのパルス幅を測定できる仕様になっている。詳しい構造については文献 [14] に示す。

測定回路の測定分解能 (測定可能な最小パルス幅) はリングオシレータを構成する6段のインバータとNANDの遅延時間の平均であり、バルクとSOTBにおけるそれぞれの測定分解能は33.5psと22.1psである。各デバイスにおける測定分解能を測定した結果を図11に示す。

#### 4. 中性子照射試験によるソフトエラー率の評価方法と実測結果

本節では、中性子照射試験を用いたソフトエラー評価方法と実測結果を示す。

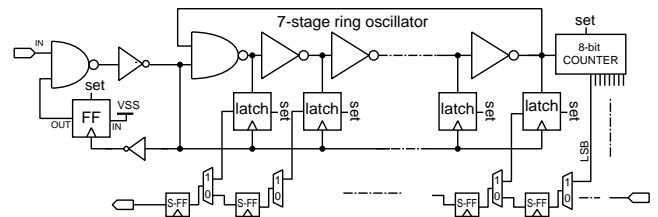


図 10 リングオシレータ型ソフトエラー測定回路 (Measurement Circuit)

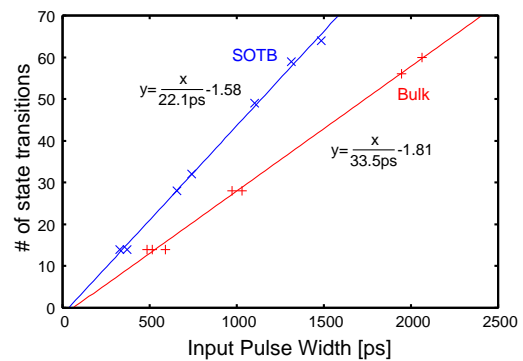


図 11 バルクおよびSOTBにおける測定回路の測定分解能測定結果

#### 4.1 テストチップ

図12にアンテナダイオード起因ソフトエラー率を実測するために試作したテストチップを示す。6.2mm×6.2mmのチップの1.5mm×5.0mmの領域に、ソフトエラー評価回路を合計で686unit搭載した。1unitとは、1種類の被測定回路と測定回路を合わせた回路である。各被測定回路は縦方向に98個が並んでいるため、測定対象となるインバータまたはインバータ+ダイオード (提案素子) は78400bitずつ搭載されている。測定回路のラッチとカウンタの値を出力するフリップフロップはアレイ状に配置されており、図12の矢印方向に出力する仕様である。また、フロアプランの左下にある”CAL”は測定回路をキャリブレーションするための回路である。リングオシレータを用いてノイズパルスを生じ、測定回路に入力することで測定分解能を測定できる。

#### 4.2 測定環境

大阪大学の核物理研究センター (RCNP) で中性子照射試験を行った。本実験施設は地上における中性子数を加速して実験を行うことが可能であり、本研究では地上の中性子数を $3.90 \times 10^8$ に加速して実験を行った。測定時の電源電圧 $V_{dd}$ は標準電圧である1.2Vとし、測定回数は112回で、1回の測定時間は3分とした。また、中性子は基板のSi原子に衝突して生じた荷電粒子が、電子正孔対を生成しないとソフトエラーとならないため中性子によるエラーは観測が難しい。短時間で多くのエラーを観測するために図13に示すように複数ボードを同時に測定した。1つのDUT(Device Under Tests)ボードにバルクチップを2チップ

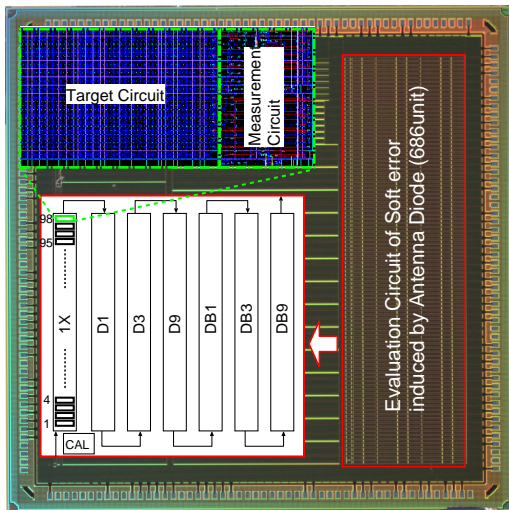


図 12 テストチップのフロアプラン

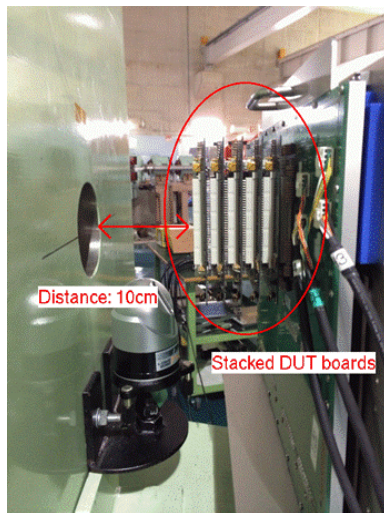


図 13 中性子照射試験の様子

ブ、SOTB を 2 チップの 4 チップ搭載した。その 4 チップ搭載ボードを 6 枚積層し、計 24 チップを同時に測定した。バルクは動作不良のチップが 1 個あったため各デバイスの有効チップ数はバルクが 11 チップ、SOTB が 12 チップとなっている。

#### 4.3 アンテナダイオード起因ソフトエラー率の実測結果

図 14 にバルクと SOTB におけるアンテナダイオード起因ソフトエラー率の実測結果を示す。縦軸はソフトエラー率 SER (Soft Error Rate)、単位は [FIT/Minv.] である。FIT とは  $10^9$  時間に発生するソフトエラー率を表す単位である。

両デバイスともアンテナダイオードを配置することでソフトエラー率が増加していることが分かる。1x と D1 のソフトエラー率を比較すると、バルクでは約 1.6 倍、SOTB では約 7.5 倍となった。SOTB 構造のインバータは 1.02FIT/Minv. と非常に高いソフトエラー耐性であるため、バルク構造のアンテナダイオード起因で発生したソフ

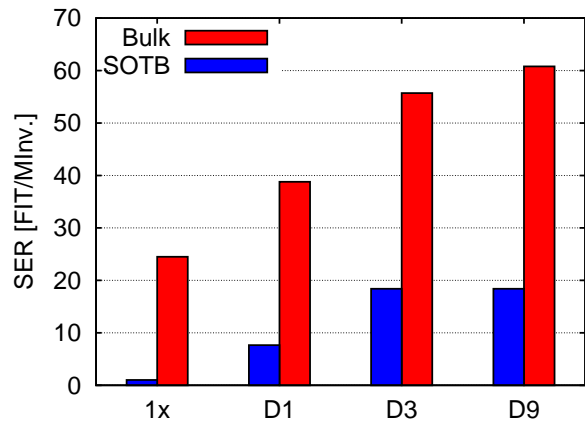


図 14 バルクおよび SOTB におけるアンテナダイオード起因ソフトエラー率の実測結果

トエラーに非常に敏感であることが分かる。

次に、配置するアンテナダイオードの面積を大きくした場合である。両デバイスともにアンテナダイオードの面積増加に伴ってソフトエラー率が増加していることが分かる。

ダイオードの面積を x1 から x3 にするとソフトエラー率がバルクでは 1.4 倍、SOTB では 2.4 倍と増加した。これは 3.2 節で述べたように有感領域の増大に起因するものだと考えられるが、有感領域の増大に比例してソフトエラー率が増加するわけではない。x3 から x9 にするとバルクでは約 1.1 倍、SOTB では 1 倍と増加率が減少している。これには 2 つの理由が考えられ、一つ目はアンテナダイオード配置によりトランジスタの出力容量も増加するためオン状態になるまでに必要な電荷量が増加し、ソフトエラーが発生しにくくなったからである。二つ目は容量増加により伝搬できる最小パルス幅が長くなり、短いパルスが発生していても伝播出来なかったからである。

#### 4.4 提案素子起因ソフトエラー率の実測結果

図 15 に SOTB におけるアンテナダイオードおよび提案素子起因ソフトエラー率の実測結果を示す。横軸はアンテナダイオードおよび提案素子の面積である。

ダイオードを構成する N+領域と P-well に BOX 層を挟んだ提案素子ではソフトエラーが 1 つしか発生せず、D9 と DB9 を比較すると提案素子のソフトエラー率はアンテナダイオードの約 1/18 倍であった。この結果より提案素子はアンテナダイオードに比べて非常に高いソフトエラー耐性を示す素子であることを分かる。また、3.1 節で述べたように提案素子と同様の構造である SOTB のドレイン領域でアンテナによるダメージが緩和できたことと本研究の結果よりアンテナダイオードに 10nm の BOX 層を挟んだ素子は、アンテナによるダメージとソフトエラー率をも抑制できると言える。

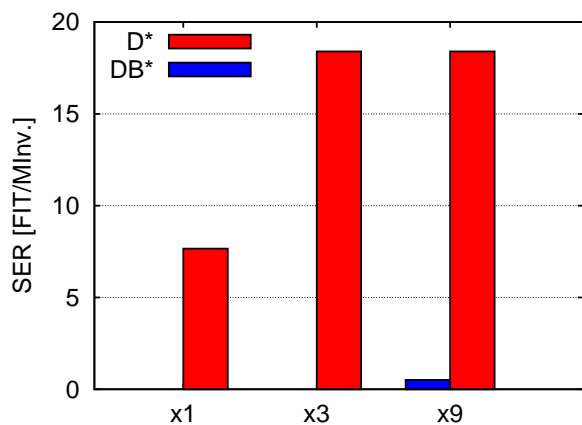


図 15 SOTB における提案素子起因ソフトエラー率の実測結果

## 5. 結論

本研究では、MOSFET の初期不良の原因となるアンテナダメージを緩和するために配置するダイオードによりソフトエラー率に与える影響を評価した。

ダイオード配置によりソフトエラー率に与える影響を評価するために 7 種類のソフトエラー評価回路を搭載した。65nm バルクプロセスと SOTB でチップを試作し、大阪大学の RCNP で中性子照射試験にて加速実験を行った。

アンテナダイオード起因ソフトエラー率の実測結果については、両デバイスともにダイオード配置に伴ってソフトエラー率が増加した。1x と D1 のソフトエラー率を比較すると、バルクでは約 1.6 倍なのに対して SOTB では約 7.5 倍であった。この結果より SOTB ではアンテナダイオード起因ソフトエラーに非常に敏感である。

次に提案素子起因ソフトエラー率の実測結果についてである。提案素子ではソフトエラーが一つしか発生せず、アンテナダイオードに比べて非常に高いソフトエラー耐性を示す素子であった。文献 [13] によれば提案素子と同じ構造である SOTB のドレイン領域にアンテナを接続することでダメージを緩和したことから提案素子は、初期劣化とソフトエラーをともに抑制できる。

謝辞 本研究は JSPS 科研費 15H02677, 26889037, STARC 共同研究の助成を受けて実施したものである。また、東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

## 参考文献

[1] G.E. Moore, “Cramming more components onto integrated circuits”, *Proceedings of the IEEE*, Vol. 86, (1998), pp. 82–85.  
 [2] ”戸坂義春”, “”知っておきたいソフト・エラーの実態””, ”日経エレクトロニクス”, 2005 年 7 月 24 日号, (2005).  
 [3] R. Kishida, A. Oshima, M. Yabuuchi, and K. Kobayashi,

“Initial and Long-Term Frequency Degradation on Ring Oscillators from Plasma Induced Damage in 65 nm Bulk and Silicon On Thin BOX processes”, *JJAP*, (2015), pp. 04DC19–1–6.  
 [4] W. H. Choi, S. Satapathy, J. Keane, and C. H. Kim, “A Test Circuit Based on a Ring Oscillator Array for Statistical Characterization of Plasma-Induced Damage”, *CICC*, (2014), p.14-3.  
 [5] S. Samukawa, “Plasma-Induced Damage and Its Control in Plasma Etching Processes”, *ICICDT*, (2007), pp. 1–4.  
 [6] F. L. Chow and A. Chin, “Failure Analysis on Plasma Charging Induced Damage Due to Effect of Circuit Layout & Device Structure Marginality”, *IPFA*, (2012), pp. 1–5.  
 [7] J. Furuta, E. Sonezaki, and K. Kobayashi, “Radiation hardness evaluations of 65nm fully depleted silicon on insulator and bulk processes by measuring single event transient pulse widths and single event upset rates”, *JJAP*, (2015), pp. 04DC15–1–6.  
 [8] R.C. Baumann and D. Radaelli, “Determination of Geometry and Absorption Effects and Their Impact on the Accuracy of Alpha Particle Soft Error Rate Extrapolations”, *IEEE Trans. Nucl. Sci.*, Vol. 54, No. 6, pp. 2141–2148, (2007).  
 [9] ShiJie Wen, R. Wong, M. Romain, and N. Tam, “Thermal neutron soft error rate for SRAMS in the 90nm-45nm technology range”, *Proc. Int. Reliability Phys. Symp.*, (2010), pp. 1036–1039.  
 [10] N. Seifert, B. Gill, K. Foley, and P. Relangi, “Multi-cell upset probabilities of 45nm high-k + metal gate SRAM devices in terrestrial and space environments”, *IEEE International Reliability Physics Symposium*, (2008), pp. 181–186.  
 [11] T. Nakauchi, N. Mikami, A. Oyama, H. Kobayashi, H. Usui, and J. Kase, “A novel technique for mitigating neutron-induced multi-cell upset by means of back bias”, *IEEE International Reliability Physics Symposium*, (2008), pp. 187–191.  
 [12] D. Kobayashi, K. Hirose, H. Ikeda, and H. Saito, “Radiation-Induced Pulse Noise in SOI CMOS Logic”, *ECS Transactions vol.35*, (2011).  
 [13] R. Kishida, A. Oshima, and K. Kobayashi, “Negative Bias Temperature Instability Caused by Plasma Induced Damage in 65 nm Bulk and Silicon on Thin BOX (SOTB) Processes”, *IRPS*, (2015), pp. CA.2.1–CA.2.5.  
 [14] J. Furuta, K. Yamamoto, K. Kobayashi, and H. Onodera, “Evaluation of Parasitic Bipolar Effects on Neutron-Induced SET Rates for Logic Gates”, *IRPS*, (2012), pp. SE.5.1–SE.5.5.