

28 nm UTBB FD-SOI プロセスにおける 線照射による 低電圧動作時のFFのソフトエラー耐性評価

一二三 潤¹ 曾根崎 詠二¹ 山口 潤己¹ 古田 潤¹ 小林 和淑¹

概要：集積回路の高集積化により用途が多様化し、医療機器など高信頼性が求められるシステムではソフトエラーの対策が必須となっている。高いソフトエラー耐性を持つデバイスも低電圧動作させるさいにはソフトエラーが発生する。本研究では 28nm UTBB FD-SOI プロセスで作成した FF のソフトエラー耐性を線照射測定により評価する。エラー数は電源電圧を低下させることで増加するが、増加傾向に FF の動作状態依存性が見られる。この動作状態依存性を発生させている原因を検証することを目的として、レーザーを照射によるソフトエラー測定を行うための FF のスタンダードセルを設計しチップに実装した。

Evaluation of Soft Error Tolerance of Flip-Flops at Low Voltage Operation in a 28nm UTBB FD-SOI Process by Alpha Particle Measurement

MASASHI HIFUMI¹ EIJI SONEZAKI¹ JUNKI YAMAGUCHI¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: Recently, VLSIs have a wide range of uses. It is necessary for a high reliability system to mitigate soft errors. Even highly-reliable devices with lower soft error rates become unreliable at low voltage. We evaluate the soft errors tolerance of flip-flop at low voltage operation in a 28nm UTBB (Ultra-Thin Body and Box) FD-SOI process by alpha particle measurement. Experimental results show that the number of errors increases as the power supply voltage decreases. However, the error rates fluctuate by the state of clock and stored data of the flip-flops. We designed several flip-flop layouts for measuring by pulsed laser irradiation to confirm this reasons.

1. 序論

集積回路 (LSI) は微細化による高集積化が進み、それに伴い計算機の性能の向上、さらに微細化が進むというサイクルが繰り返されている。微細化が進む一方、従来地上では考慮すべき問題ではなかったソフトエラーが無視できない問題となっている。微細化によって 1 つの集積回路に搭載できるトランジスタ数が増え、ソフトエラーは発生しやすくなっている。高性能化により、かつてより用途は多様化し、現在では航空機、医療機器などにも多数使用されているため、高信頼な LSI の需要が拡大している。よって今後の LSI にはソフトエラー対策は必要不可欠である。ソフトエラーの対策にはデバイスレベル、回路レベルなどの

対策が考えられている。回路レベルの対策としては冗長化などが挙げられる。デバイスレベルでは SOI (Silicon On Insulator) というシリコン基板とトランジスタの間に絶縁膜層 (BOX 層) を挿入する構造が挙げられる。本論文では 28 nm UTBB FD-SOI プロセスでのソフトエラーについて述べる。UTBB とは Ultra Thin Body and BOX のことで、SOI における Body と BOX 層を極めて薄くしたものである。このプロセスで作成されたフリップフロップは高いソフトエラー耐性を持つことが知られているが、低電圧時にはソフトエラーの発生率が増加する。

本稿では、28nm UTBB FD-SOI プロセスにおいて、58,800 段のシフトレジスタが搭載されたチップを設計し、そのチップの低電圧動作時のソフトエラー耐性を線照射によるソフトエラー測定を行い評価する。第 2 節では、ソフトエラーの要因、種類、対策について述べる。第 3 節で

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

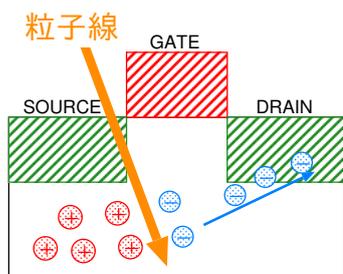


図 1 ソフトエラー発生機構

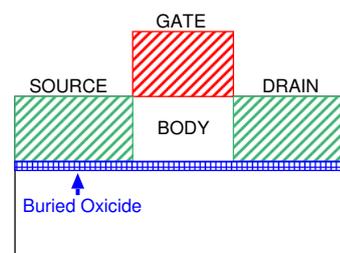


図 2 Silicon On Insulator

は線起因の SEU について、実測方法と結果を述べる。第 4 節では、実測結果からエラー耐性を検証するために行うレーザー照射によるソフトエラー測定方法について、設計したスタセルレイアウト構造と、チップに搭載したシフトレジスタについて述べる。第 5 節で本稿の結論を述べる。

2. ソフトエラー

ソフトエラーとは、集積回路に粒子線等が突入することにより電子正孔対が生成され、一時的にラッチの保持値が反転するエラーである。物理的損傷、故障によって永久に正常動作を行えないハードエラーとは異なり、一過性のエラーであるため再起動を行い値を書き換えることで正常動作を行うことが可能である。しかし、常に正常動作することが求められる航空機、医療機器、人工衛星などでは無視することのできない問題となり、対策は必須である。ソフトエラー発生機構を図 1 に示す。

粒子線が集積回路に突入することによって基板部に電子正孔対が発生、ドレイン領域に電子が収集され、電荷が変化し保持値が反転する(電荷収集起因)。基板に残留する正孔は基板の電位を上昇させ、基板・ソース・ドレインからなる寄生バイポーラトランジスタが ON 状態となり、保持値を反転させる(寄生バイポーラ効果)。

2.1 Single Event Effect

先に述べた粒子線等が LSI に突入することによって発生する一時的もしくは定常的な故障を総称して SEE (Single Event Effect) と呼ぶ。SEE はいくつかの種類があり、代表的な物としては SEU (Single Event Upset), SET (Single Event Transient), SEL (Single Event Latch-up) 等がある [1]。

2.1.1 Single Event Upset

SRAM やラッチ等のデータを保持するループ状の構造に粒子線などが衝突することによって直接的に保持しているデータが反転するソフトエラーである。これを SEU と呼ぶ。反転する bit 数が 1 つの場合は SBU (SingleBit Upset)、2 つ以上の場合には MCU (Multiple Cell Upset) と分類される。微細化による電源電圧の低下に伴い、保持データが反転するために必要な電荷量が減少しているため発生する

確率も上昇する傾向にある。

2.1.2 Single Event Transient

SRAM やラッチのデータ保持部以外で、粒子線の突入により生じた電子正孔対がパルスが生じる。このパルスがデータ保持部の CLK の立ち上がり時に取り込まれることで保持データが反転するソフトエラーである。このパルス波は SET パルスという。SET パルスは CLK の周期が短くなるとデータ保持部へ取り込まれる確率が上昇する。ラッチ部以外で SET パルスが発生した場合、パルスがラッチに取り込まれない限りエラーは発生しない。

2.1.3 Single Event Latch-up

半導体デバイスには回路構成の組み合わせによりサイリスタとよく似た回路ができる。その半導体基板上に形成されているサイリスタ構造 (pnpn 型, npnp 型) に粒子線が突入し、電子正孔対が生成され ON 状態になることで、本来意図しない経路で電流が流れる。再起動によって回復するが、電流が増加するとデバイスが故障する永久故障 (ハードエラー) となる。

2.2 ソフトエラー対策

ソフトエラーの対策には回路レベル、デバイスレベル、システムレベルの対策が存在する。ここではデバイスレベルの対策として SOI (Silicon On Insulator) について説明する。

2.3 Silicon On Insulator

SOI はプレーナ型の CMOS 回路構造の一種である。シリコン基板とトランジスタ (表面シリコン) の間に、絶縁物 (BOX, Buried OXide) の層を挿入した構造である。SOI 構造を図 2 に示す。SOI には空乏層が BOX 層まで達しない PD-SOI (Partially Depleted-SOI) と空乏層が BOX 層まで達する FD-SOI (Fully Depleted-SOI) が存在する。BOX 層には主に、SiO₂ やサファイアが用いられる。FD-SOI の利点として BOX 層を持たない従来のバルク構造とは異なり、Body に不純物を添加しないで済むために特性のばらつきを抑えやすい。

2.3.1 SOI の利点

BOX 層上にトランジスタが作成されることにより、ソース・ドレインと BOX 層の間の寄生容量が無いため、より

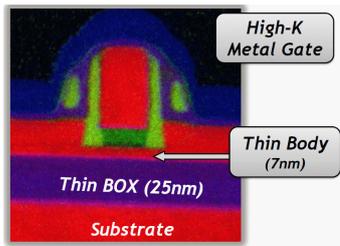


図 3 28nm UTBB FD-SOI[2]

高速なデバイスが実現可能となる。従来のバルク構造では粒子線の突入によって発生した電荷はドレイン領域に収集される。それに対し、SOIではBodyで発生した電荷はドレイン領域に収集されるが、BOX層以下の基板で発生した電荷は絶縁膜層によって遮られるためドレイン領域では収集されないためバルク構造と比較して高いソフトエラー耐性を持つ。

2.3.2 SOIの欠点

SOIの欠点としてセルフヒーティングが挙げられる。BOX層が断熱材の役割をしてトランジスタの動作により発生した熱が基板に逃げずトランジスタに蓄積する。それによってトランジスタが高温になり、電流が減少し動作が遅くなる。特にトランジスタのオンオフが多いクロックバッファ、I/Oトランジスタで問題となる。またバルクプロセスに比べてESD耐性(静電気によるLSIの破壊耐圧)が低い。トランジスタと基板やウェルへの接合がないために、静電気による電流が入った時に、電流が逃げる場所が保護トランジスタのみになるためデバイスが壊れやすい。ウェハ処理中や組み立て時に発生する静電気を抑えることで対策出来る。

3. Ultra Thin Body and BOX

今回の設計プロセスである28nm UTBB FD-SOIの構造を図3に示す[2]。UTBB(Ultra Thin Body and BOX)は、BOX層を薄くしたSOTBに加えて空乏層部であるBodyも同様に薄くした構造である。これによりBodyを不純物なしで製造できるためばらつきをさらに抑えることができる。さらに、基板バイアスを制御でき、Bodyの寄生容量を抑え、Bodyを流れる電子を効率的に制御するため、性能を低下させるリーク電流が大幅に低減する。基板に正の電圧をかけるFBB(Forward Body Bias)では高速スイッチングを可能とする。UTBBのゲートには従来のプロセスで使用されていたSiO₂とは異なりHfO₂(ハフニウム酸化膜)系の材料を使用したHigh-k Metal Gateが用いられる。

4. 線照射ソフトエラー測定

粒子の測定は線源を用いることで容易に測定することが可能である。線起因のソフトエラーは、短時間で

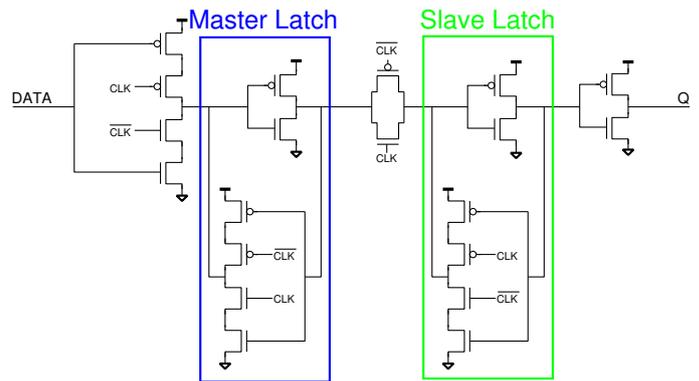


図 4 検証対象のFF

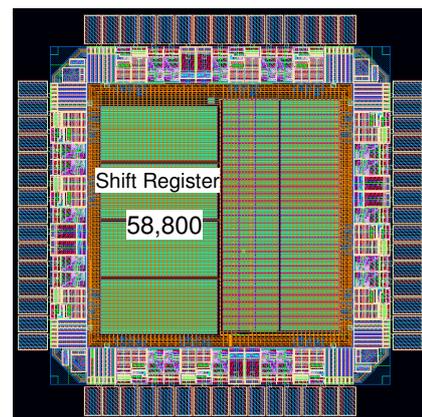


図 5 測定対象チップ

エラーが発生するが与えるエネルギー量が小さい。また、トータルドーズ効果によってLSIが永久故障する恐れがあるため長時間の連続測定を行うことは出来ない。

4.1 測定対象

測定に用いるのは一般的なTGFF(図4)で構成された58,800段のシフトレジスタである。チップの概要を図5に示す。

4.2 測定方法

測定の流れを以下に示す。

- (1) 標準電圧(1.0V)でシフトレジスタ全段に値を書き込む。
- (2) CLKの発振を停止させ、電源電圧(VDD)を下げる。(保持状態)
- (3) 1分間線照射
- (4) 標準電圧で値を読み出し、SEUが発生したFFのビット数の合計をエラー数とする。

4.3 測定条件

以下に測定した条件を示す。

- (DATA, CLK) 全条件 (動作状態依存性)
- VDD = 1.0V 0.9V 0.8V 0.7V 0.6V 0.5V 0.45V 0.4V (電源電圧依存性)

表 1 電源電圧，動作状態依存性

VDD[V]	(DATA,CLK)			
	(0, 0)	(0, 1)	(1, 0)	(1, 1)
	平均エラー数			
1.0	0	0	0	0
0.9	0	0	0	0
0.8	0	0	0	0
0.7	0	0.2	0.2	0
0.6	0	0.6	0.8	0
0.5	1.6	1.0	0.8	0
0.45	8	0.8(2.0)	1.8	0
0.4	36.4	1.0(9.0)	9.2(18.4)	1.2(42)

表 2 VDD=0.5V でのバイアス依存性

VBP[V]	V _{bsP} [V]	(DATA,CLK)			
		(0, 0)	(0, 1)	(1, 0)	(1, 1)
		平均エラー数			
0.6	-0.1	6.6	3.2(1.8)	1.4	0
0.7	-0.2	14.8	2.6(1.8)	2.2	0.2
0.8	-0.3	42.2	2.6(1.8)	2.6	0
0.9	-0.4	79.4	3.0(3.0)	1.8(2.0)	0.6
1.0	-0.5	134.2	6.4(3.0)	2.0(2.0)	0

- VDD = 0.5V に固定 基板電位 (VBP:PMOS バックゲートバイアス電圧)1.0V ~ 0.6V 1.0V 刻み (バイアス依存性)

測定は 1 つの条件に対して繰り返し 5 回行い，エラー数の平均値を算出する。

4.4 測定結果

電源電圧を変更して測定を行った結果を表 1 に，電源電圧 0.5V 時に基板電圧 VBP を変更して測定を行った結果を表 2 に示す。V_{bsP} は PMOS へのバイアス電圧である。表内の () は動作しなかった FF があることを示し，() 内の数字は動作しなかった FF の数を示し，横の数字はエラーの参考数字を示す。

4.5 考察

図 6 に VDD=0.4V，(DATA, CLK)=(0, 0) での線照射ソフトエラー測定のプロセス間の比較を示す。比較対象は 65nm SOTB プロセスの TGFF で構成された全 69120 段のシフトレジスタであり，全縦軸は 1 ビットあたりに発生したエラー数を示す。この比較より，28nm UTBB FD-SOI プロセスは 65nm SOTB プロセスより約 3 倍のソフトエラー耐性を持つことが分かる。

測定結果から，FF の動作状態によってエラー耐性に異なる傾向が見られる。図 7 に動作状態によるエラー数を比較した棒グラフを示す。

(DATA, CLK)=(0, 0) では低電圧動作時に他の状態と比較して低いエラー耐性を示す。一方，(DATA, CLK)=(1, 1) は他の条件と比較すると，高いエラー耐性を示す。電

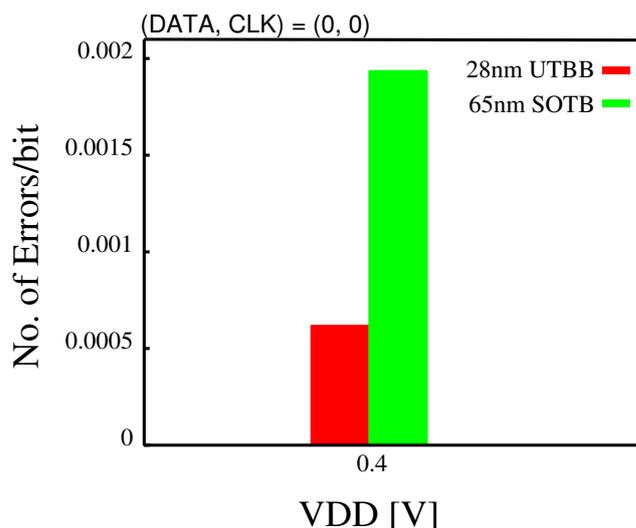


図 6 エラー耐性のプロセス間比較

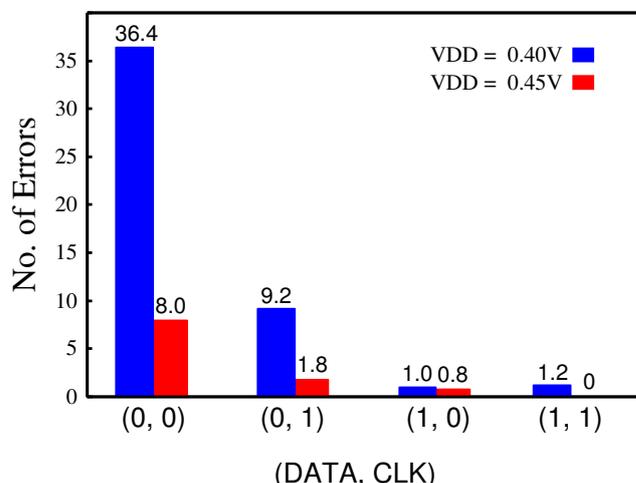


図 7 エラー数の動作状態比較

源電圧 0.4V 時の (DATA, CLK)=(1, 1) のエラー耐性は (DATA, CLK)=(0, 0) のエラー耐性の約 30 倍である。

このエラー数の動作状態依存性は，ML と SL のレイアウト構造の違いによるものと考えられる。(DATA, CLK)=(0, 0) の場合は SL 側がラッチ状態となり，(DATA, CLK)=(1, 1) では ML 側がラッチ状態となる。ここで検証対象の FF のレイアウト上の Diffusion とポリのみの概略を図 8 に示す。ML ではインバータとトライステートインバータの Diffusion が共有しているのに対して，SL は共有せずにダミーポリが置かれている。このダミーポリ直下には STI(Shallow Trench Isolation) 層が埋め込まれている。STI はその量が多いと近傍の Diffusion にストレスを与える。ストレスが与えられた PMOS では正孔の移動度が減少し，ON 電流が減少する。逆に NMOS にストレスが与えられると電子の移動度は増大し，ON 電流は増加する。このことから，(DATA, CLK)=(0, 0) 時には STI の影響によるストレスで SL のインバータの PMOS 部の ON 電流が低下し，値の反転が起こりやすくなっていることが考え

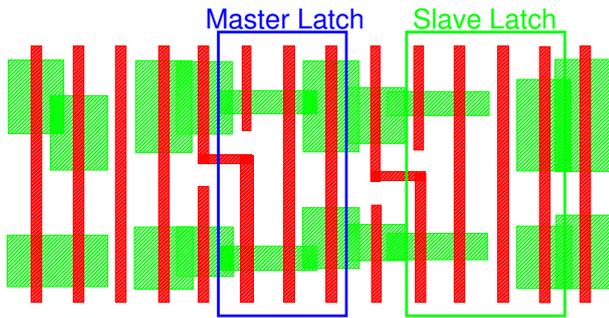


図 8 TGFF のレイアウト概略

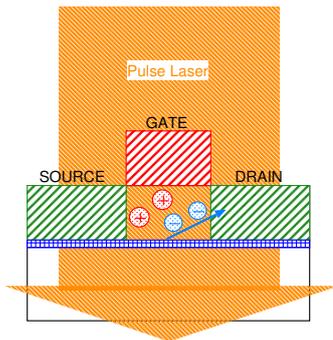


図 9 レーザー照射ソフトエラー測定

られる。

この原因を確かめるするために、回路シミュレーション、デバイスシミュレーションを行ったが、検証することは出来なかった。

また、バイアス依存性に関しては PMOS の基板電圧が 0.1V 上がるだけで (DATA, CLK)=(0, 0) でのエラー数は約 2 倍に増えていくことがわかる。

5. レーザー照射ソフトエラー測定

レーザー照射測定は、集積回路内のレイアウトのエラー耐性が弱い箇所を測定するのに便利な測定である [3]。この測定方法は 2002 年に確立した測定方法で、他のプロセスおよび SOI においては SEE の測定に成功している [4][5]。

線、中性子などを用いる測定方法とは異なり、照射する箇所はチップ全面ではなく電子正孔対を発生させたい箇所のみ照射することが出来る。

5.1 原理

レーザーが半導体デバイスに照射された時、照射領域内の Si 結晶で電子正孔対が生成される [4]。レーザー照射測定時の電子正孔対の発生を図 9 に示す。結晶内の Si 分子に捕縛されていた電子が二光子吸収過程でレーザーの持つエネルギーを吸収し励起する。28 nm UTBB FD-SOI プロセスにおいても Body の Si 結晶内で二光子吸収過程を起こすことで保持値を反転させる [6][7]。

デバイスに照射されたレーザーのエネルギー量 $E(nJ)$ と LET ($MeVcm^2/mg$) の関係を、式 1 に示す [5]。照射した

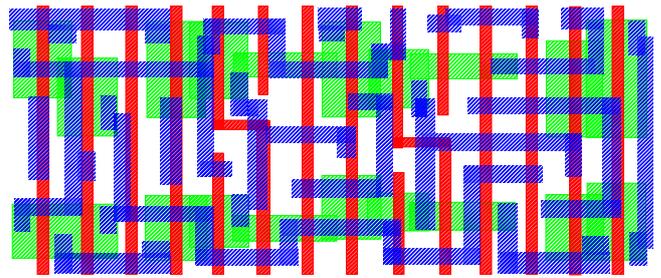


図 10 TGFF のレイアウト

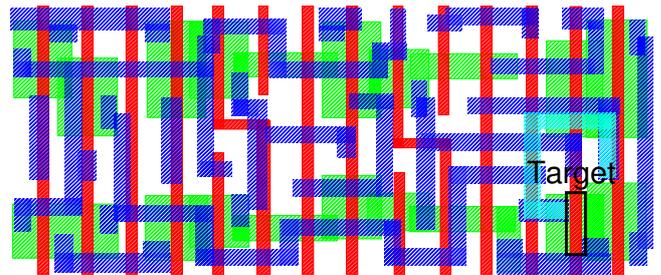


図 11 Target : SL インバータ NMOS

レーザーのエネルギーからエラー発生時の LET を算出、値が反転するレーザーのパルスエネルギーの最小値から各照射箇所でのソフトエラー発生のしきい値 LET を求める。

$$E^2 = 0.95 \times LET \quad (1)$$

5.2 測定用レイアウトの設計

レーザー照射によるソフトエラー測定を行うには、従来のレイアウトとは異なり、専用のレイアウトを設計する必要がある。レーザーはレイアウト上の配線等で用いられるメタルに当たると反射するため、目的の照射箇所上に配線されているレイアウトでは照射することができない。FF の特性は変えずに、上位配線を用いて照射箇所の配線を迂回させたスタンダードセルを設計する。変更例として、シフトレジスタを構成する TGFF と、(DATA, CLK)=(0, 0) 時のエラー発生箇所として考えられる SL のインバータの NMOS のスタンダードセルのレイアウトを図 10, 11 に示す。レイアウトにて赤はポリ、緑は Diffusion、青色は金属配線、水色は上位配線を示す。

その他にもラッチ回路を構成するインバータ、トライステートインバータの各トランジスタのソフトエラー耐性を比較するために、専用のスタンダードセルを計 8 種類設計した。設計したそれぞれのスタンダードセルごとに 25 段のシフトレジスタを作成する。設計したシフトレジスタの一部の概要を図 12 に示す。1 つのスタンダードセルごとに図のような 25 段のシフトレジスタを作成する。図の空白の部分にはフィルが配置されている。照射しない側の MOS には、配線に用いたメタルの上位メタルからトップメタルまで用いてレーザーを通さないようシールドを各段ごとに配置する。図は NMOS へ照射する目的のシフトレ

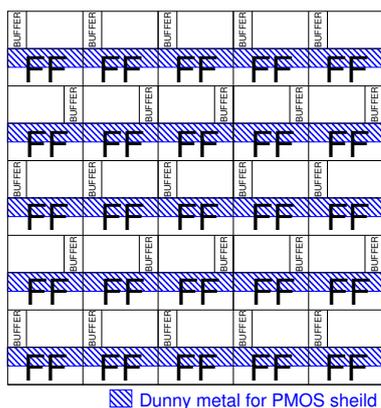


図 12 NMOS へ照射する際のマクロの構造

ジスタのためシールドは PMOS 上位部に配置，PMOS へ照射する場合は NMOS 上位部に配置する．マクロ内でのフリップフロップ，バッファ，シールドの配置した．また，照射する側の MOS の上位にダミーメタルが作成されないようにレイアウト上で指定した．このような 25 段のシフトレジスタをそれぞれ接続し，計 200 段のシフトレジスタを設計し，チップに実装した．

6. 結論

本論文で評価を行ったのは，28 nm UTBB FD-SOI プロセスにおいて TGFF で構成された全 58,800 段のシフトレジスタである．線照射測定により，FF の動作状態依存性，電源電圧依存性，また PMOS へのバイアス依存性を評価した．電源電圧が標準電圧で動作しているとき，ソフトエラーは観測されなかった．電源電圧を低下させていくとエラー耐性が低くなっていった．28nm UTBB FD-SOI プロセスは低電源電圧 (0.4V) 時では 65nm SOTB プロセスの約 3.1 倍のソフトエラー耐性を持つことが分かった．エラー耐性は FF の動作状態依存性が見られた．電源電圧 0.4V，(DATA, CLK)=(1, 1) のエラー耐性は (DATA, CLK)=(0, 0) のエラー耐性の約 30 倍となった．これは ML と SL のレイアウト構造の違いによって STI のストレスが異なることで発生していると考えられるが，シミュレーションで検証することは出来なかった．

レーザー照射によるソフトエラー測定は，高エネルギーのレーザーを半導体に照射し，二光子吸収過程により電子正孔対を生成させる．線照射測定とは異なり，チップ内の電子正孔対を発生させる箇所に限定した照射が可能である．レーザーの照射箇所ごとに 8 種類のスタンダードセルを設計した．各スタンダードセルごとに 25 段，計 200 段のシフトレジスタを設計，チップに実装した．チップの到着後実測を行い，FF 内の箇所ごとのソフトエラー耐性をレーザー照射測定を用い，各トランジスタのエラー耐性を求め，レイアウト構造の FF の動作状態依存性検証する．

謝辞

本研究は JSPS 科研費 15H02677，26889037，STARC 共同研究の助成を受けて実施したものである．本研究は東京大学大規模集積システム設計教育研究センターを通し，CMP，STMicroelectronics，シノプシス株式会社，日本ケイデンス株式会社，メンターグラフィックス株式会社の協力で行われたものである．

参考文献

- [1] Edward Petersen, "Single event effects in aerospace", John Wiley & Sons, (2011).
- [2] G. Gasiot, D. Soussan, M. Glorieux, C. Bottoni, and P. Roche, "SER/SEL performances of SRAMs in UTBB FDSOI28 and comparisons with PDSOI and BULK counterparts", *Reliability Physics Symposium, 2014 IEEE International*, (2014), pp. SE.6.1–SE.6.5.
- [3] F.R. Palomo, J.M. Mogollon, J. Napoles, H. Guzman-Miranda, A.P. Vega-Leal, M.A. Aguirre, P. Moreno, C. Mendez, and J.R. Vazquez de Aldana, "Pulsed Laser SEU Cross-Section measurement using coincidence detectors", *Radiation and Its Effects on Components and Systems (RADECS), 2008 European Conference on*, (2008), pp. 147–151.
- [4] D. McMorrow, W.T. Lotshaw, J.S. Melinger, S. Buchner, and R.L. Pease, "Subbandgap laser-induced single event effects: carrier generation via two-photon absorption", *Nuclear Science, IEEE Transactions on*, Vol. 49, No. 6, pp. 3002–3008, (2002).
- [5] J.R. Schwank, M.R. Shaneyfelt, D. McMorrow, V. Ferlet-Cavrois, P. Dodd, D.F. Heidel, P.W. Marshall, J.A. Peltish, K.A. LaBel, K.P. Rodbell, M. Hakey, R.S. Flores, S.E. Swanson, and S.M. Dalton, "Estimation of Heavy-Ion LET Thresholds in Advanced SOI IC Technologies From Two-Photon Absorption Laser Measurements", *Nuclear Science, IEEE Transactions on*, Vol. 57, No. 4, pp. 1827–1834, (2010).
- [6] Milosz Pawlicki, Hazel A. Collins, Robert G. Denning, and Harry L. Anderson, "Two-Photon Absorption and the Design of Two-Photon Dyes", *Angewandte Chemie International Edition*, Vol. 48, No. 18, pp. 3244–3266, (2009).
- [7] Martin Schultze, Krupa Ramasesha, C.D. Pemmaraju, S.A. Sato, D. Whitmore, A. Gandman, James S. Prell, L. J. Borja, D. Prendergast, K. Yabana, Daniel M. Neumarck, and Stephen R. Leone, "Attosecond band-gap dynamics in silicon", *Science*, Vol. 346, No. 6215, pp. 1348–1352, (2014).