

28nm UTBB FD-SOIプロセスにおけるデバイスシミュレーションによるソフトエラー耐性の評価

梅原 成宏¹ 張 魁元¹ 一二三 潤¹ 古田 潤¹ 小林 和淑¹

概要: 集積回路はプロセスの微細化、高集積化に伴い、ソフトエラーによる信頼性の低下が問題となっている。ソフトエラー対策として冗長化や SOI 構造を用いることがある。本研究では 28nm UTBB FD-SOI プロセスのソフトエラー耐性の評価をデバイスシミュレーションにより行った。デバイスモデルを構築し、静特性と動特性を回路モデルと比較した。電源電圧と基板バイアスを変動させ、ソフトエラー耐性への影響を評価した結果、電源電圧低下に伴いソフトエラー耐性は低下し、基板へ順バイアスを印加するとソフトエラー耐性は向上するが、逆バイアスを印加するとソフトエラー耐性が低下することを示した。

Analysis of Soft Error Rates in a 28nm UTBB FD-SOI Structure by Device-Level Simulation

SHIGEHIRO UMEHARA¹ KUIYUAN ZHANG¹ MASASHI HIFUMI¹ JUN FURUTA¹ KAZUTOSHI KOBAYASHI¹

Abstract: The impact of soft errors has been serious with process scaling of integrated circuits. Redundant circuits or SOI structures are used for radiation hardened circuits. In this paper, we build a device model and estimate static and dynamic characteristics and the soft error tolerance of 28nm UTBB FD-SOI process by device-level simulation. The soft error tolerance is decreased by reducing supply voltage or by applying reverse body bias.

1. 序論

集積回路は製造プロセスの微細化、高集積化により高性能になり、様々な用途で用いられている。しかし、微細化、高集積化により、ソフトエラーによる信頼性の低下が問題になっている。ソフトエラーとは、集積回路に粒子線が衝突することにより電子正孔対が生成されて、一時的にラッチやフリップフロップの値が反転する現象である。一時的な故障であるため、再起動することで修復が可能である。しかし、高い信頼性が要求される航空機や医療機器などにおいては非常に深刻なエラーとなる。そのため、宇宙線の影響を受けやすい人工衛星に搭載する集積回路だけでなく、地上における集積回路についてもソフトエラー対策が必須である。

ソフトエラー対策として、回路レベルでは冗長化が挙げられる [1]。回路を多重化した構造である冗長化フリップフロップを用いることで、ソフトエラー耐性を高めることができる。しかし、面積オーバーヘッドが大きいため、SOI (Silicon On Insulator) 技術などのデバイスレベルでの対策が必要である。従来のバルク構造では、粒子線衝突により基板で発生した電荷がドレイン領域に収集されてしまうが、SOI 構造では基板に埋め込み酸化膜 (BOX 層、(Buried OXide)) によって遮られるので、ドレイン領域に収集されることはなく、結果としてエラーが発生しない。

本論文では、SOI 技術のひとつである完全空乏型 (FD、Fully Depleted) SOI 技術を用いた構造、その中でもボディと BOX 層が非常に薄い UTBB (Ultra Thin Body and Box) 構造を用いる。低電圧動作が可能のため、ソフトエラー耐性の電源電圧依存性の評価を行う。UTBB は BOX 層の下の基板の電位を制御することで、しきい値電圧を制

¹ 京都工芸繊維大学 電子システム工学専攻
Department of Electronics, Kyoto Institute of Technology

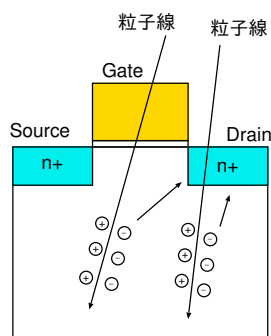


図 1 ソフトエラー発生機構

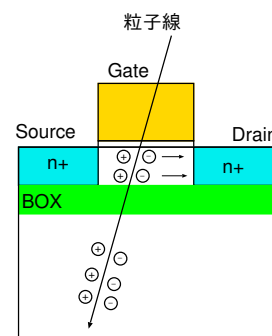


図 2 SOI に粒子線が突入した様子

御することができる。この特性を利用し、ソフトエラー耐性の基板バイアス依存性の評価を行う。第 2 節ではソフトエラーの発生原理、ソフトエラーの種類について述べる。第 3 節では TCAD シミュレーションによるソフトエラー耐性の評価した結果と考察について述べる。第 4 節では、PHITS-TCAD シミュレーションにより中性子起因のソフトエラー耐性を評価した結果について述べる。第 5 節では結論を述べる。

2. ソフトエラー

2.1 ソフトエラーとは

ソフトエラーとは、集積回路 (LSI) の基板部分へ粒子線が突入することにより電子正孔対が生成され、ラッチの保持値やフリップフロップの論理値が反転するエラーのことである。粒子線によるソフトエラー発生機構を図 1 に示す。かつては LSI やパッケージの材料に含まれる放射線不純物が崩壊することで発生する粒子がソフトエラーの主要因であったが、純度の高い材料を用いることで粒子の影響はなくなってきていた。しかし、微細化が進み、電源電圧が低下するに連れて、粒子による影響が再び問題となってきている [2]。ソフトエラーを起こす粒子線は他にも熱中性子 [3] や高エネルギー中性子 [1] といったものが挙げられる。

ソフトエラーは物理的な故障であるハードエラーとは異なり、一過性のエラーであるので、再起動を行うことにより元の動作に復帰可能であるが、高信頼性が要求される製品ではソフトエラー対策が不可欠である。

2.2 ソフトエラーの種類

ソフトエラーは粒子線の突入により発生する故障であり、SEE (Single Event Effect) と呼ばれている。SEE は粒子線の突入部分によって分類されており、ラッチなどのデータを保持している部分に突入することによってデータが反転するものを SEU (Single Event Upset)、データ保持部以外の組み合わせ回路に電荷が生じパルスが発生するものを SET (Single Event Transient) と呼ぶ [4]。また SEU が複数同時に起きた場合は MCU (Multiple Cell Upset) と

いい、電荷共有や寄生バイポーラ効果などが発生起因であり、素子間が近いほど発生しやすくなる [5]。NMOS では電子起因、PMOS では正孔起因の電流が発生し、電子の移動度は正孔に比べ大きいので、NMOS の方がソフトエラーが発生しやすい。

2.3 ソフトエラー対策

今までのバルク構造では冗長化という回路レベルの対策手法が用いられていた [6]。冗長化とは、回路を多重化して、1 つの回路でソフトエラーが生じた場合、他の回路と比較して値を保持、訂正するように設計することである。しかし、冗長化に頼らなくてもソフトエラーに強い新たなデバイス構造が開発されてきた。それが SOI 構造である。SOI (Silicon On Insulator) はプレーナ型の CMOS 回路の一種である。シリコン基板とトランジスタの間に、絶縁物である埋め込み酸化膜 (BOX 層、Buried OXide) を挿入する。絶縁物としては主に SiO_2 が用いられる。SOI の利点としては、BOX 層を挿入することにより、短チャネル効果を抑え、トランジスタの寄生容量を小さくすることができる。また、高速動作、低消費電力での動作が可能である。さらにソフトエラー耐性も強くなる。図 2 に SOI 構造のトランジスタに粒子線が衝突する様子を示す。粒子線の衝突により発生した電子正孔対は、従来のバルク構造ではドレイン領域に収集されてしまう。それに対して SOI 構造では、SOI 層で発生した電荷はドレイン領域に収集されてしまうが、基板で発生した電荷は BOX 層により遮られるため、収集されることがなく再結合して消滅してしまう。

SOI 基板を使う LSI にはトランジスタの空乏部分の違いによって部分空乏型 SOI (PD-SOI: Partially Depleted SOI) と完全空乏型 SOI (FD-SOI: Fully Depleted SOI) に分類できる。[7]

2.4 UTBB (Ultra Thin Body and BOX)

UTBB 構造を図 3 に示す [8]。ボディと BOX 層が薄いため UTBB (Ultra Thin Body and BOX) 構造と呼ばれ、FD-SOI の一種である。通常の SOI の BOX 層は約 100nm であるのに対し、UTBB は 25nm と非常に薄く、BOX 層の

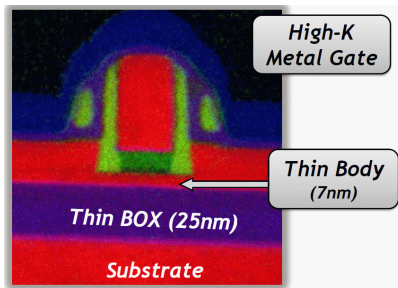


図 3 28nmUTBB プロセスの構造 [8]

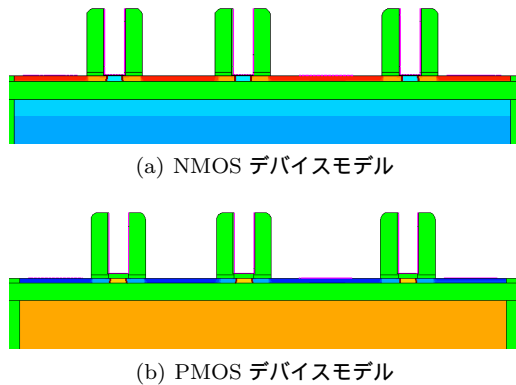


図 4 構築したデバイスモデル

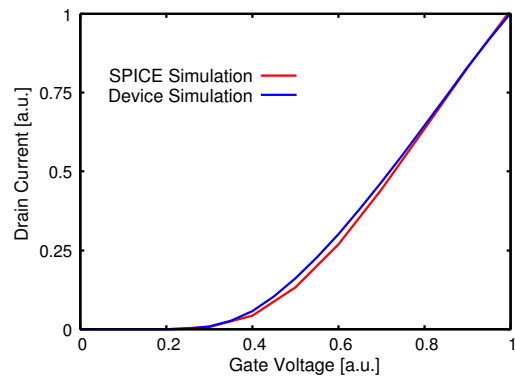
下の基板に電位を制御することで、しきい値電圧を制御できる。FD-SOI であり、チャンネルへのドーピングが不要なため、ドーピングによるばらつきが無くなる。また High-k Metal ゲートを採用しており、ゲート酸化膜がシリコン酸化膜より誘電率が高くなっているため、酸化膜を厚くすることができる。これによってゲートリーク電流の低減や更なるスケールアップが可能になっているという特徴がある。

3. TCAD シミュレーションによるソフトエラー耐性の評価

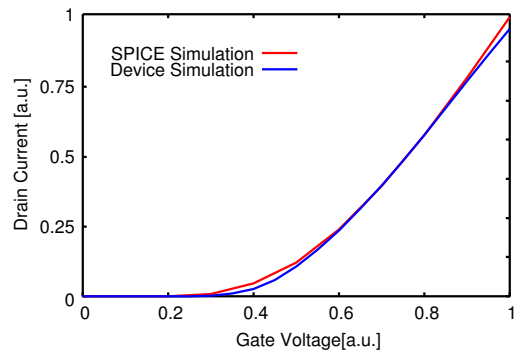
TCAD シミュレーションによって構築したデバイスモデルの特性の評価及びソフトエラー耐性の評価を行った。

3.1 デバイスの構築

28nm UTBB FD-SOI 構造に基づき、3D デバイスモデルを構築する。図 4 に構築したインバータとトライステートインバータで構成されるラッチを示す。メタルゲートは仕事関数が固定されてしまうため、削除して調整できるようにした。構築したデバイスモデルの特性を回路シミュレーションと比較した。 $I_d - V_g$ 特性を図 5、インバータの遅延時間を表 1 に示す。 $V_{gs}=1V$ として $I_d - V_g$ 特性を回路シミュレーションとデバイスシミュレーションで比較を行った。NMOS, PMOS 共に I_d の全体の誤差が 10%以下であった。インバータの遅延時間は矩形波をインバータ 2 段に通したものを V_{in} とし、出力部の容量は 0.40fF に設定してシミュレーションを行った。遅延時間は t_{LH} が誤差



(a) NMOS



(b) PMOS

図 5 $I_d - V_g$ 特性

表 1 インバータの遅延時間

	構築したデバイス [a.u.]	SPICE[a.u.]
t_{LH}	0.764	1
t_{HL}	0.852	1

23.6%、 t_{HL} が誤差 14.8%で共に回路シミュレーションよりも遅延時間が小さい結果となった。これは構築したデバイスのオーバーラップ容量が小さいためである。

3.2 ソフトエラー耐性の評価

粒子線がトランジスタに突入した場合、電子正孔対が発生し、ドレインに収集され、収集された電荷量が一定を超えるとエラーとなる。インバータの NMOS に粒子線を照射させ、エラーが発生する臨界 LET をデバイスシミュレーションによって求めた。電源電圧を 1V から 0.4V まで下げた場合の臨界 LET を図 6 に示す。電源電圧低下に伴い、臨界 LET は低下していき、0.4V のときの臨界 LET を 1V のときと比べると 1/5 に低下する。1V において基板バイアスを NMOS と PMOS それぞれに印加した場合の臨界 LET を図 7 に示す。NMOS への印加では最大で 2MeV の変動であったのに対して、PMOS は最大で 10MeV もの変動を示した。また順バイアスの印加により臨界 LET が 1V 時に比べ約 1.1 倍増加、逆バイアスの印加により約 0.9 倍に低下するという傾向を示した。これはインバータの PMOS がオン状態であるため、順バイアスを印加すると PMOS のオン電流が増加し、逆バイアスを印加するとオン電流は

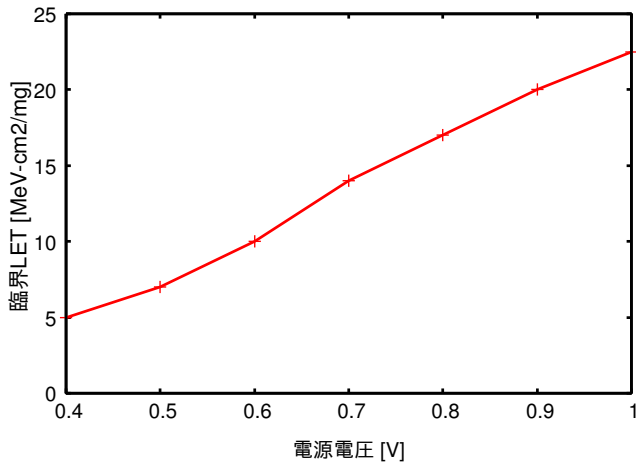


図 6 臨界 LET の電源電圧依存性

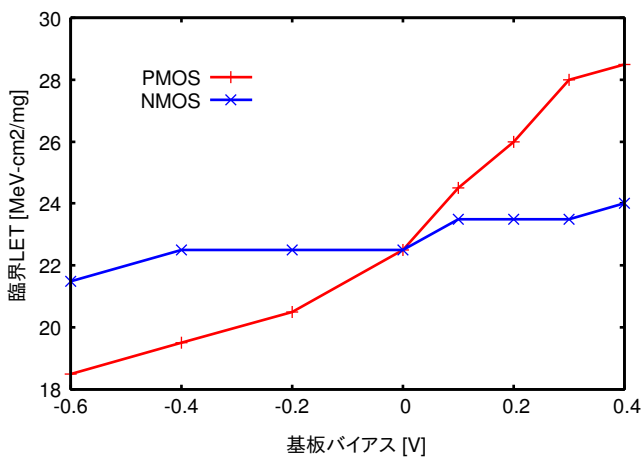


図 7 臨界 LET の基板バイアス依存性

減少する。オン電流が減少すると、PMOS をオン状態に維持する力が弱くなり、ソフトエラー耐性が低下する。よって、ソフトエラー耐性はオンしているトランジスタの電流量に依存する。

4. PHITS-TCAD によるソフトエラー率の計算

この節では、PHITS-TCAD シミュレーション手法によるソフトエラー率の計算を説明する [9]。これとよく似た PHYSERD [10] という手法もある。PHITS-TCAD では TCAD シミュレーションにより電荷収集量を元に PHITS シミュレーションを行うが、PHYSERD では PHITS シミュレーションによるイオンの情報を元に TCAD シミュレーションを行うという違いがある。

4.1 PHITS とは

PHITS とは Particle and Heavy Ion Transport code System の略で、任意の体系中における様々な放射線の挙動、核反応モデルや核データを用いて模擬するモンテカルロ計算コードのことである。

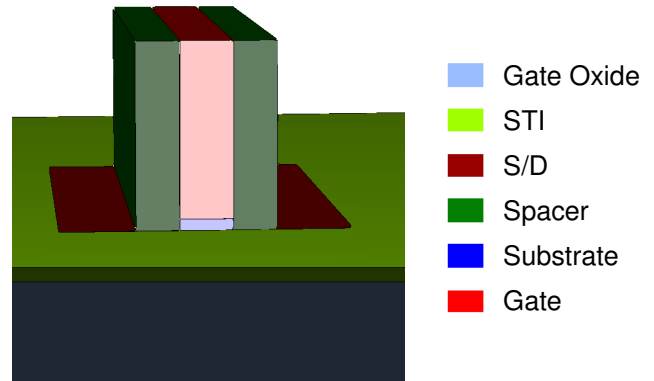


図 8 PHITS デバイスモデル

4.2 PHITS-TCAD 手法について

PHITS シミュレーションの手法を説明する。図 8 に示すように PHITS 用のデバイスモデルを構築する。中性子照射シミュレーションの模式図を図 9 に示す。中性子がデバイス内のシリコン原子と衝突し、二次イオンを生成する。二次イオンがデバイスの有感領域に突入するさいに与えるエネルギーを Deposit Energy と呼ぶ。

TCAD シミュレーションにおいて、粒子線がデバイス内に突入し、ドレインに収集された電荷量を Deposit charge と呼び、Deposit Q と略す。50fC の Deposit Q は 1MeV の Deposit Energy に相当する [11]。臨界 LET の粒子線が突入したときの Deposit Q を臨界 Deposit Energy に換算する。

図 10 に臨界 Deposit Energy よりエラー数を算出するグラフを示す。PHITS シミュレーションにより得られた Deposit Energy の分布から、臨界 Deposit Energy より大きいエネルギーを放出した二次粒子の数がソフトエラー数とする。

式 1 に PHITS で求めたエラー数をソフトエラー率に換算する方法を示す。

$$SER_{SEU}[\text{FIT}/\text{Mbit}] = \frac{3.6 \times 10^9 \times A_n \times N_{SEU} \times F \times 10^6}{N_n} \quad (1)$$

ただし、 A_n は PHITS で定義した中性子線源の照射面積である。 N_{SEU} と N_n はそれぞれエラー数と中性子数を表す。 F は照射領域の Flux である。

4.3 中性子起因ソフトエラー率の電源電圧依存性

図 11 に電源電圧を 1V から 0.4V まで電圧を下げた場合のソフトエラー率を計算したものを示す。電源電圧が 1V の場合ではソフトエラー率は 2.1FIT/Mbit であり、0.4V の場合では 48.2FIT/Mbit で 1V の 22.5 倍となる。

4.4 中性子起因ソフトエラー率の基板バイアス依存性

図 12 に電源電圧 1V で PMOS の基板バイアスを変化させた場合のソフトエラー率を計算したものを示す。順バイア

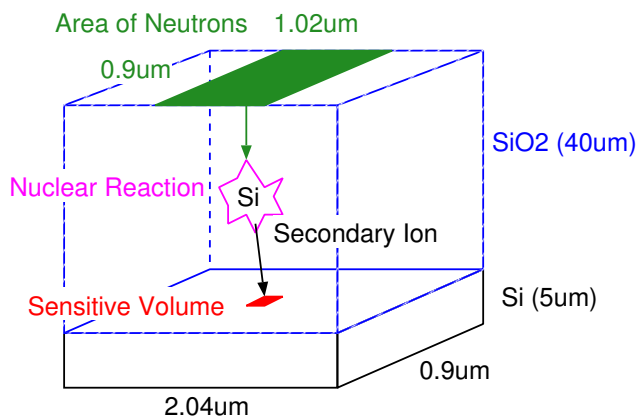


図 9 PHITS のシミュレーションモデル

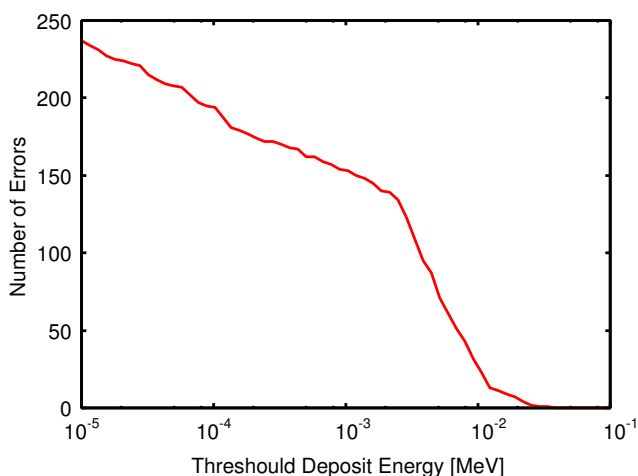


図 10 臨界 Deposit Energy によるエラー数の分布

ス 0.4V を印加した場合にはソフトエラー率は 0.7FIT/Mbit であり、非印加時と比べてソフトエラー率は 0.33 倍に低下した。また逆バイアス 0.6V を印加した場合にはソフトエラー率は 3.2FIT/Mbit であり、非印加時と比べてソフトエラー率は 1.5 倍増加し、順バイアス 0.4V を印加した場合と比較すると 4.5 倍に増加することを示した。図 13 に電源電圧 0.4V で PMOS の基板バイアスを変化させた場合の線での測定結果を示す。順バイアス印加によりエラー数が減少し、逆バイアス印加によりエラー数が上昇する。よってシミュレーション結果と実測結果の傾向が一致している。

5. 結論

本稿ではデバイスシミュレーションによって 28nm UTBB FD-SOI プロセスのソフトエラー耐性を評価した。電源電圧が 1V から 0.4V に下がることにより、ラッチが反転しやすくなり、ソフトエラーが発生しやすくなるので、臨界 LET は約 0.2 倍まで低下し、中性子起因のソフトエラー率は 22.5 倍に増加することを示した。基板バイアスの印加によってソフトエラー耐性に変化があることを示した。逆バイアス印加によりトランジスタのオン電流が減少するため、ソフトエラー耐性は低下するため、基板バイアス非印

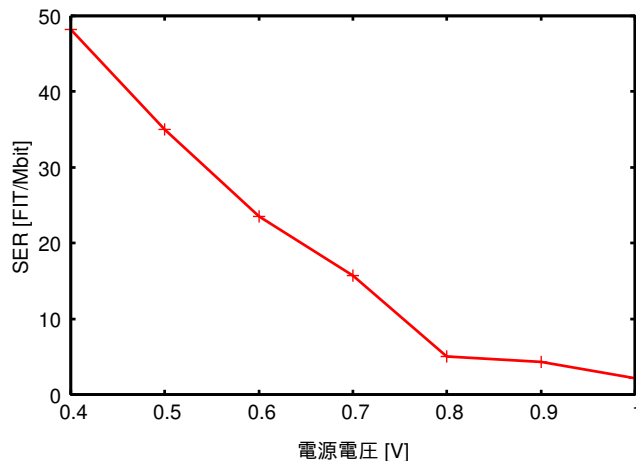


図 11 ソフトエラー率の電源電圧依存性

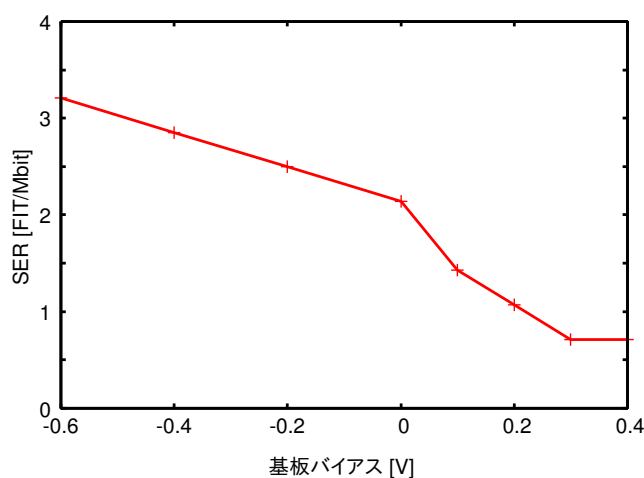


図 12 ソフトエラー率の PMOS の基板バイアス依存性

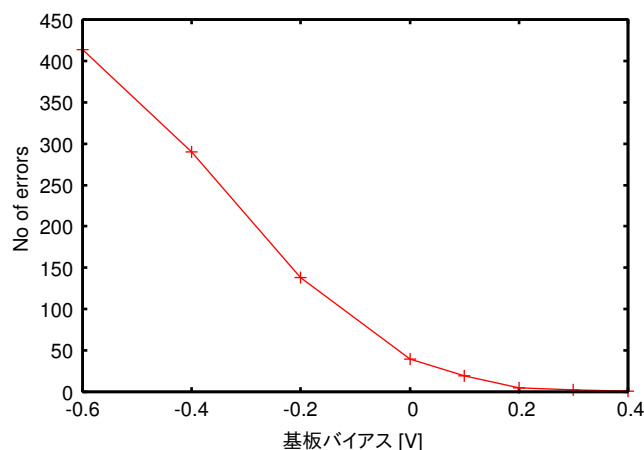


図 13 PMOS の基板バイアス印加時の線照射測定結果

加時と比較して、臨界 LET は約 0.9 倍となり、ソフトエラー率は 1.5 倍に増加することを示した。このシミュレーション結果は線による実測結果と傾向が一致している。

謝辞

本研究は JSPS 科研費 15H02677, 26889037 STARC 共

同研究の助成を受けて実施したものである。本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社、日本ケイデンス株式会社、メンター株式会社の協力で行われたものである。

参考文献

- [1] 戸坂義春, “知っておきたいソフトエラーの実態”, 日経エレクトロニクス, 2005年7月24日号, (2005).
- [2] 堀切近史, “ソフト・エラー対策, 待ったなし SRAM や論理回路が焔上に”, 日経エレクトロニクス, 2005年7月4日号, No. 903, pp. 63–70, (2005).
- [3] Y. Tosaka, S. Satoh, T. Itakura, H. Ehara, T. Ueda, GA Woffinden, and SA Wender, “Measurement and Analysis of Neutron-Induced Soft Errors Insub-Half-Micron CMOS Circuits”, *IEEE Trans. Elec. Dev.*, Vol. 45, No. 7, pp. 1453–1458, (1998).
- [4] 古田潤, “集積回路におけるシングルイベント効果の評価とソフトエラー耐性向上手法の提案”, 京都大学情報学研究科博士論文, (2014).
- [5] K. Zhang, J Furuta, K Kobayashi, and H Onodera, “Dependence of Cell Distance and Well-contact Density of MCU Rates by Device Simulations and Neutron Experiments in a 65-nm Bulk Process”, *The conference on Radiation and its Effects on Components and Systems*, (2013).
- [6] L. Anghel, D. Alexandrescu, and M. Nicolaidis, “Evaluation of a Soft Error Tolerance Technique Based on Time and/or Space Redundancy”, *SBCCI '00*, p. 237, (2000).
- [7] Neil H.E. Weste and D. Harris, “CMOS VLSI DESIGN A circuits and systems perspective Forth Edition”, *Addison Wesley*, (2010).
- [8] G. Gasiot, D. Soussan, M. Glorieux, C. Bottoni, and P. Roche, “SER/SEL performances of SRAMs in UTBB FDSOI28 and comparisons with PDSOI and BULK counterparts”, *Reliability Physics Symposium, 2014 IEEE International*, (2014), pp. SE.6.1–SE.6.5.
- [9] K. Zhang, S Kanda, J. Yamaguchi, J Furuta, and K Kobayashi, “Analysis of Soft Error Rates by Supply Voltage in 65-nm SOTB and 28-nm UTBB Structures by a PHITS-TCAD Simulation System”, *The conference on Radiation and its Effects on Components and Systems*, (2015, to be presented).
- [10] S. Abe, R. Ogata, and Y. Watanabe, “Impact of Nuclear Reaction Models on Neutron-Induced Soft Error Rate Analysis”, *IEEE Trans. Nucl. Sci.*, Vol. 61, No. 4, pp. 1806–1812, (2014).
- [11] T. Handa, K Niita, and H Sawamura, “Neutron-induced semiconductor soft error simulation using the PHITS Monte Carlo simulator”, *2003 symposium on nuclear data.*, (2003).