

## 束データ方式のデータパス回路に適した非同期式制御回路の一設計手法

市川 智浩<sup>†</sup> 桑子 雅史<sup>‡</sup> 新家 稔央<sup>‡</sup> 横山 孝典<sup>‡</sup><sup>†</sup> 東京都市大学大学院 工学研究科 情報工学専攻 <sup>‡</sup> 東京都市大学 知識工学部 情報科学科

## 1 はじめに

近年、デジタルシステムにおける消費電力増大などの問題を解決する方法の一つとして非同期式回路設計が注目されている。

非同期式回路のデータ転送方式として 2 線 2 相式や束データ方式 [1] がある。束データ方式は同期式回路の概念と親和性が高く、非同期式回路においても同期式のデータパスをそのまま利用できる。2 線 2 相式は束データ方式に比べて回路規模が増大し、処理速度も遅い傾向があることが分かっている。また、従来は束データ方式のデータパス回路の制御回路として、2 線 2 相式用のものをそのまま代用する設計手法が提案されていた。

しかし、従来の手法で設計を行った場合、2 線 2 相式と束データ方式ではデータ転送の開始タイミングが異なるために不要な遅延が生じてしまう。このデータ転送の開始タイミングの違いを利用すれば、2 線 2 相式や従来の束データ方式よりも高速な非同期式回路を実現できると考えられる。

そこで、本研究では束データ方式のデータパス回路に適した非同期式制御回路の一設計手法を提案する。

## 2 束データ方式における

## データ転送の開始タイミング

非同期式回路のデータ転送は制御回路とデータパス回路のあいだで要求信号と応答信号をやりとりすることによって実現される。このような要求応答方式に基づいたデータ転送方式として、2 線 2 相式や束データ方式がある。

2 線 2 相式は、データパスを 2 線符号化することによってデータ自体にタイミング情報を持たせるデータ転送方式で、制御回路側からの要求信号によってデータ転送を開始し、転送先へのデータ書き込みが完了すると応答信号を返すことでデータ転送を実現する。この方式では 2 線符号化に対応するようにレジスタなどを設計する必要があるため、回路規模が増大し、処理速度も遅い傾向がある。

一方、束データ方式は図 1 に示すように、データ転送時間に相当する遅延時間を持つ遅延回路によって要求信号を遅らせ、それをレジスタにクロックとして入

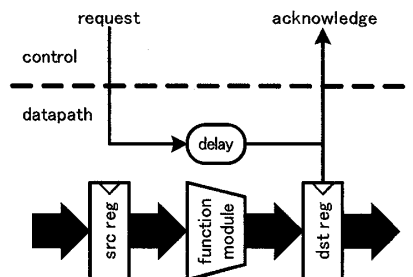


図 1: 束データ方式

力すると同時に応答信号を返すことでデータ転送を実現する。

束データ方式と 2 線 2 相式とではデータ転送の開始タイミングにおいて違いがある。2 線 2 相式のデータ転送は転送元レジスタへの要求信号の入力によって開始されるのに対し、束データ方式のそれは、前段のレジスタへの書き込みの完了と同時に開始される。

## 3 依存性グラフに基づく制御回路

非同期式回路の従来の設計手法として、依存性グラフを用いた制御回路構成法がある [2, 3]。依存性グラフは、変数の代入を単位とした制御フローのグラフ表現であり、5 種類のノードをそれぞれに対応する制御モジュールに置き換えることによって制御回路を構成することができる。

この構成法を用いれば 2 線 2 相式と束データ方式を区別せずに非同期式回路を設計することが可能となるが、前述したデータ転送開始タイミングの違いにより束データ方式においては不要な遅延が生じてしまう場合がある。それが起こり得る回路例を図 2 に示す。図中の A, B および C はレジスタである。

従来の手法ではそれぞれのデータパスに 2 相制御モジュールを付加する。つまり、AB 間 (以下データパス B)、AC 間 (以下データパス C) のデータパスそれぞれに、そのデータ転送時間分の遅延時間をもつ遅延回路が付加されることになる。このとき、B の値に基づいて C への書き込みを行うか否かを決定するという仕様であると仮定する。その場合、データパス回路においては A の書き込みによってデータパス B とデータパス C のデータ転送が同時に開始されているにも関わらず、C に書き込むときには更にデータパス C のデータ転送時間分を遅延させてから書きこむことになり、不要な遅延が生じることになる。

## A design method of asynchronous controller suitable for bundled-data transfer

Tomohiro ICHIKAWA<sup>†</sup>, Masashi KUWAKO<sup>‡</sup>, Toshihiro NIINOMI<sup>†</sup> and Takanori YOKOYAMA<sup>‡</sup><sup>†</sup> Graduate School of Research Division in Engineering, Tokyo City University<sup>‡</sup> Faculty of Knowledge Engineering, Tokyo City University

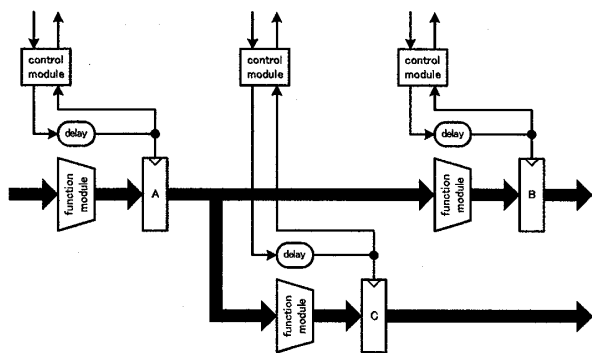


図 2: 従来手法

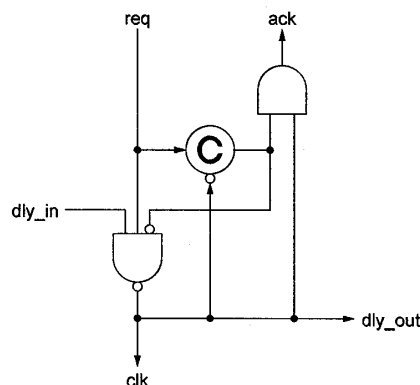


図 4: 提案制御モジュール

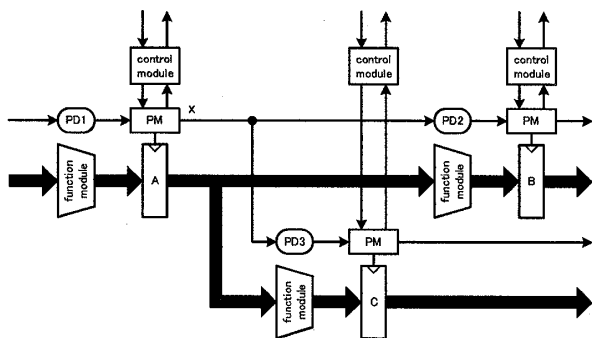


図 3: 提案手法

#### 4 提案手法

従来手法では 2 相制御モジュールの下位層に遅延回路が配置されていたため、要求信号が入力されてはじめて遅延が計測開始されるようになっていた。しかし、東データ方式は前段のレジスタへの書き込みの完了によってデータ転送が開始されるため、遅延の計測開始もそのタイミングにすることで不要な遅延が生じることなく適切なタイミングで後段のレジスタの書き込みを行うことができる。

そこで本研究で提案する設計手法では、遅延回路を 2 相制御モジュールから分離し、遅延計測開始のタイミングを前段のレジスタの書き込み完了のタイミングに合わせるようにする。それを実現する設計例を図 3 に示す。図中の PM, PD はそれぞれ提案する制御モジュールと遅延回路である。

制御モジュール PM の構成例を図 4 に示す。その動作は、req および dly\_in が 1 になると、clk および dly\_out が 0 となる。続いて clk および dly\_out が 1 となった後、ack=1 となる。req が 1→0 遷移したときには、dly\_in の論理値に関わらず ack=0 となる。

遅延回路 PD は、その入力が 0→1 遷移すると、設定した遅延時間後に出力の 0→1 遷移が起こる。入力が 1→0 遷移した場合は、即時に出力の 1→0 遷移が起こるものとする。そして遅延回路内部の初期化が完了するまでは、入力に次の 0→1 遷移は与えられないことを

前提とする。

図 3 に示すように、PM はレジスタ 1 つに対して 1 つのモジュールを配置する。PD は function module ごとに配置する。レジスタ A への書き込みが行われた時点で信号 x が 1 となり、PD2 および PD3 による遅延時間の計測が開始される。B の値に基づいて C への書き込みを行うか否かを決定するという仕様である場合にも、C への書き込みは、A への書き込みが行われた時刻にデータパス C のデータ転送時間を加えたタイミングで行われる。

このような手法で東データ方式のデータ転送を実現することによって、不要な遅延が生じることなく高速に動作する非同期式回路が実現できると考えられる。

#### 5 おわりに

東データ方式のデータパス回路に適した非同期式制御回路の一設計手法を提案した。2 相制御モジュールと遅延回路を分離し、新たに提案した遅延回路と制御モジュールを用いる。これにより前段の書き込みが完了したタイミングで遅延の計測が開始され、不要な遅延を生じることなくデータ転送を行うことができる。今回提案したものよりもより良い構成を検討することが今後の課題である。

#### 参考文献

- [1] Scott Hauck, "Asynchronous design methodologies: An overview", Proceedings of the IEEE, Vol. 83, No. 1, pp. 69-93, 1995.
- [2] 籠谷裕人, 南谷崇, "依存性グラフを用いた 2 相式非同期回路の合成", 信学論 (D-I), Vol. J77-D-I, No. 8, pp. 548-556, Aug. 1994.
- [3] 籠谷裕人, 杉山裕二, 岡本卓爾, "依存性グラフを用いた非同期式パイプライン合成のための制御回路構成法", 信学論 (D), Vol. J91-D, No. 2, pp. 402-412, 2008.