

積層方式 NAND 構造 1 トランジスタ型 FeRAM の検討

菅野 孝一[†] 渡辺 重佳[‡]

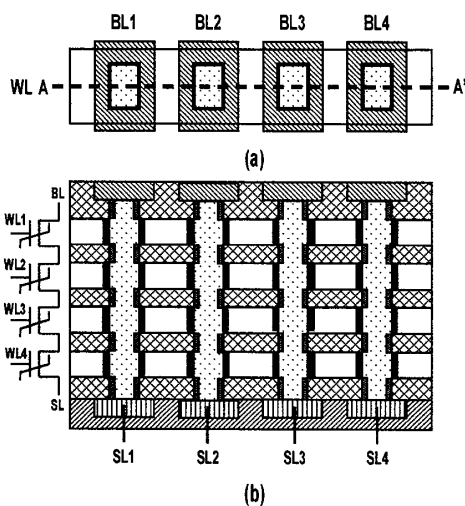
湘南工科大学情報工学科^{†‡}

1. まえがき

ユニバーサルメモリには低コスト、高速性能、不揮発の要素が求められる。現在低コストメモリとして積層方式 NAND 構造フラッシュメモリが提案されている[1]。しかし、この方式は高速性能、書換え回数に問題がある。それに対して、1 トランジスタ型 FeRAM は不揮発で高速、書換え回数の制限も少ない。今回フラッシュメモリの代わりに NAND 構造 1 トランジスタ型 FeRAM を提案し、通過メモリセルのゲートにパルス入力を印加する読出し方式について検討した。

2. 検討に用いた積層型 NAND FeRAM

図 1 に今回提案する積層方式 NAND 構造 FeRAM の上面図(a)、及びその A-A'断面図(b)を示す。フラッシュメモリの SONOS 型メモリセルトランジスタ[1]を 1 トランジスタ型 FeRAM[2]に代替した構成になっている。ゲート絶縁膜に情報記憶用の強誘電体膜を使用する。トランジスタは積層化に適した SGT 構造[3]を用いる。ワード線幅と間隔、ビット線幅及び間隔のデザインルールを F とすると、1 つの NAND 構造を $4F^2$ の微小な面積に実現できる。書込みに関しては、例えば選択セルに”0”書込みする場合、NAND 構造の基板に接続されるソース線に高電圧を、選択セルのゲートには 0V を印加して行う。その時同一 NAND 構造の非選択セル(図 2 の通過セルに対応)のゲートには、高電圧を印加して誤書込みを防ぐ。



□ Gate electrode ▨ Bit Line ▤ P-type silicon ■ Ferroelectric film
 ▩ Interlayer Dielectric ▣ n+ diffusion layer ▧ Source Line ▦ SOI substrate

図 1. 積層型 NAND FeRAM の上面図と断面図
 Fig.1 stacked NAND type FeRAM

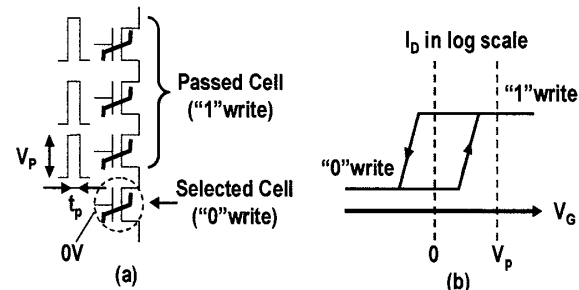


図 2. NAND 構造 1 トランジスタ型 FeRAM の読出し方式
 Fig.2 Reading method of NAND type 1-transistor FeRAM

3. 読出し時間の解析

次に提案した方式の読出し方法を示す(4 段直列接続の場合、図 2)。NAND 構成では選択メモリセルの情報を読出す時に通過メモリセルに誤書込みをする可能性がある。本方式では通過メモリセルのゲートに強誘電体の分極反転が起きない短時間で高電圧パルスを印加する方式を導入し[4][5]誤書込みを防いだ。高電圧を印加する事により、通過メモリセルでの遅延時間を低減する効果も期待出来る。選択メモリセルには 0V のゲート電圧を印加する。NAND 構造 1 トランジスタ型 FeRAM のメモリセルの読出し時間

NAND type 1-transistor FeRAM with pulse input
[†]Koichi SUGANO, Department of Information Science, Shonan Institute of Technology
[‡]Shigeyoshi WATANABE, Department of Information Science, Shonan Institute of Technology

T_{READ} は(1)式を用いて求められる。

(“0” write のメモリセルを”1” write のメモリセルを通過して読み出す最大読出し時間を想定する)。

$$T_{READ} = ((N-1)R_p + R_s)C_L \dots (1)$$

N は直列接続段数、 R_p は”1” write の通過セルの等価抵抗、 R_s は”0” write の選択メモリセルの等価抵抗、 C_L はビット線の負荷容量(0.1pF)である。 R_p 、 R_s を求める時に、1 トランジスタ型 FeRAM のドレイン電流 I_D とドレイン電圧 V_D より、 V_D/I_D で求めた。 I_D は(2)式と $W/L=50\mu/5\mu$ の 1 トランジスタ型 FeRAM の静特性の測定値 [6] が一致するように、 θ と β を算出した。

($\beta = 0.15[\text{mA}/\text{V}^2]$ 、 $\theta = 0.1$ 、 $V_D = 0.05[\text{V}]$ 、 $V_T = 0.5[\text{V}]$ ”1” 書き込みメモリセル、 $V_T = 0.5[\text{V}]$ ”0” 書き込みメモリセル)

$$I_D = \frac{\beta((V_G - V_T)V_D - V_D^2/2)}{(1 + \theta(V_G - V_T))} \dots (2)$$

分極反転時間 t_s のパルス電圧 V_P 依存性は強誘電体膜の膜厚 l を用いて(3)で表わされる。一方自発分極 P の反転特性(時間 t 依存性)は残留分極 P_r を用いて(4)で表わされる。

$$t_s = t_{s0} \exp(E_a/E) = t_{s0} \exp(Ea_l/V_p) \dots (3)$$

$$P = P_r \{1 - 2 \exp[-(t/t_s)n]\} \dots (4)$$

t_{s0} 、 E_a 、 n は静特性に用いた 1 トランジスタ型 FeRAM とほぼ同等のデザインルールでの実測値 [7] ($t_{s0} = 169\text{ns}$ 、 $E_a = 120\text{kV}/\text{cm}$ 、 $n = 1.35$) の値を用いた。(4)式から通過メモリセルに誤書き込みしない分極量の上限を 5% ($P = -0.9P_r$) と決め、パルス入力出来る最大時間 T_{MAX} を求めた。図 3 に T_{READ} と T_{MAX} のパルス電圧 V_P 依存性を示す。 $T_{MAX} \geq T_{READ}$ の部分で誤書き込みせずに読出しが出来る。 $N \leq 8$ では V_P に関係なく誤書き込みしないが、 $N \geq 32$ では誤書き込みする。 $N = 16$ では V_P の値を限定すれば ($20\text{V} \leq V_P \leq 25\text{V}$) では誤書き込みせず、 10ns 以下で、高速読出しができる。 $2\text{V} \leq V_P \leq 5\text{V}$ でも誤書き込みしないが、読出し時間は 20ns と遅くなってしまふ。(更なる誤書き込み低減のため、読出し後、ゲートに逆相のパルス入力を印加することも有効である。)

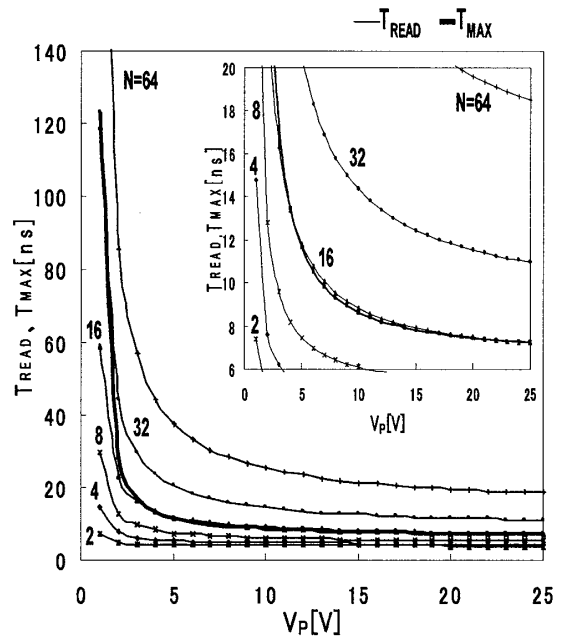


図 3. セルの読出し時間と V_P の関係
Fig.3. Relationship between T_{READ}/T_{MAX} and V_P

4. むすび

今回、積層方式 NAND 構造 1 トランジスタ型 FeRAM を提案し、その読出し法を検討した。通過セルのゲートに分極反転が起きない短時間の高電圧パルス印加することにより、フラッシュメモリと同程度以上の積層数(16)と数十 ns 以下の高速読出し時間を実現できる可能性があることを示した。

謝辞 本検討に当たり有益なご助言を頂いた、東京工業大学石原宏教授、徳光永輔准教授に感謝致します。

文献

- [1] T. Tanaka et al., Symp. on VLSI Technology, 2007.
- [2] S. Y. Wu, IEEE Trans. Electron Devices, ED-21, 499, 1974.
- [3] H. Takato et al., IEEE Trans. Electron Devices, vol. 38, no. 3, pp. 573-578, 1991.
- [4] E. Tokumitsu et al., Mater. Res. Soc., 6/symp. Proc., 0902-T10-54.1~0.92-T10-54.6, 2006.
- [5] 田渕、東京工業大学総合理工学研究科平成 18 年度博士論文, pp. 93-101.
- [6] <http://www.ishiwara.ae.titech.ac.jp>.
- [7] E. Tokumitsu et al., Jpn. J. Appl. Phys. Vol. 33(1994) pp. 5201-5206 Part. 1, No. 9B, September, 1994.