

ハード/ソフト協調学習のためのコンパイラ開発の検討

井手 純一† 志水 建太† 山崎 勝弘†

†立命館大学 理工学研究科

1. はじめに

半導体の高集積に伴い、システム LSI に求められる機能が多様化してきている。その中でシステムの性能や制約に従ってプロセッサの命令の追加や構成をカスタマイズすることが多く、ハードウェアとソフトウェア両方の知識やプロセッサにおける命令セットとマイクロアーキテクチャの知識が必要である。このような背景から、本研究室では学習者が命令セットとマイクロアーキテクチャを設計し、その境界を学習できるハード/ソフト協調学習システム (Hardware Software Co-learning System:HSCS) を開発している[1]-[4]。本稿では、これまでの学習システムの評価をもとに、ハード/ソフト協調学習のためのコンパイラ開発の検討について述べる。

2. ハード/ソフト協調学習システム

2.1 システムの概要

ハード/ソフト協調学習システムとは、学習者がプロセッサ設計を通してソフトウェアとハードウェアの知識を習得し、両者のトレードオフを理解していくことを目的とした教育システムである。

図 1 に HSCS の構成と学習フローを示す。HSCS は、MIPS のサブセットとして定義した MONI[1]命令セットを用いたアセンブリプログラミングとプロセッサ設計を行うプロセッサ学習システム、及び学習者が独自の命令セットとプロセッサを設計するプロセッサ設計支援ツールで構成されている。まず、学習者は MONI 命令セットを用いてアセンブリプログラミングを行い、MONI シミュレータによりシミュレーション検証する。これにより、プログラムのデバッグと各命令によるプロセッサの動作が理解でき、アセンブリプログラミング技術とプロセッサアーキテクチャの知識を習得する。次に、実際に MONI プロセッサを HDL で設計し FPGA ボードコンピュータ上で動作検証して、プロセッサの基本的な設計能力を習得する。さらに応用学習として、プロセッサ設計支援ツールを用いて MONI 命令セットの拡張や、独自の命令セットを考案してプロセッサ設計を行う。

2.2 プロセッサ設計支援ツール

プロセッサ設計支援ツールの役割は、命令セットの定義とプロセッサのデバッグのサポートの二つである。学習者が独自のプロセッサ設計をするためには命令セットの定義と検証を繰り返し行える環境が必要である。命令セット定義ツールでは、フィールド、フォーマット、命令や動作、擬似命令などを入力することで、新たな命令セットを定義できる。命令セットアセンブラは、異なる命令セットで記述されたプログラムのアセンブルが可能である。命令セットシミュレータを用いることで、プロセッサ設計に入る前の段階で、プログラムのデバッグが容易になり、命令セッ

Development of a Compiler for Hardware / Software Co-learning, Junichi Ide, Kenta Shimizu and Katsuhiko Yamazaki, Graduate School of Science and Engineering, Ritsumeikan University.

トの評価も行える。

実機上でプロセッサのデバッグを行うために、プロセッサデバッグ・モニタを開発した。学習者が設計したプロセッサをプロセッサデバッグと接続することで、プロセッサの実行や停止、メモリやレジスタのデータの更新などが可能となる。設計するプロセッサのトップモジュールは統一しているため、一つのプロセッサデバッグで様々なプロセッサが検証可能である。プロセッサモニタはホスト PC 上で実機上のプロセッサの制御とデバッグを行うために、学習者が入力したデバッグコマンドを解釈し、プロセッサデバッグへ指示を与える。これらのプロセッサ支援ツールを用いて、学習者は独自のプロセッサ設計学習を行う。

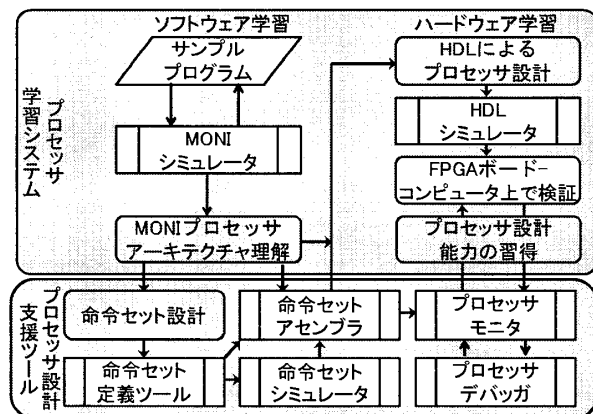


図 1 ハード/ソフト協調学習システムの学習フロー

3. ハード/ソフト協調学習システムの評価

3.1 学習時間

表 1 に HSCS を利用した 2006 年度の学習者(A)と 2007 年度の学習者(B)のそれぞれの学習時間を示す。A と B はそれぞれ複数のアーキテクチャを設計することができ、B においては独自に命令セットを定義している。A に対して B はプロセッサデバッグのデバッグコマンドが多く用意されており、プロセッサのデバッグ時間を短縮することができた。デバッグコマンドの充実により、B は A よりハードウェア学習に集中できたと言える。

3.2 ソフトウェア学習の評価

アセンブリプログラミングを行い、MONI シミュレータを用いてデバッグとシミュレーションを行うことで、シングル、マルチ、パイプラインの 3 つの回路の動作を理解することができ、よりスムーズにハードウェア学習に入ることができた。

3.3 ハードウェア学習の評価

学習者が設計したプロセッサを実機上で検証する際に用いるプロセッサデバッグ・モニタにおいて、デバッグコマンドが細かく用意され、効率よくバグの発見を行えるようになったためデバッグ時間の短縮につながった。また、実

機上で詳細なデバッグを行えることで、HDLシミュレータ上と実機上での動作の違いを的確に発見することが可能となった。

表1 学習時間 <単位：時間>

| 設計者 | A | | B | |
|------------|--------------------|-------|-----|-------|
| | 単一 | 4段マルチ | 単一 | 4段マルチ |
| ソフト学習 | MONIアセンブリプログラミング | | 12 | |
| | MONIシミュレータ上のデバッグ時間 | | 6 | |
| | ソフトウェア学習合計 | | 18 | |
| ハード学習 | 命令セット定義 | | 10 | 0 |
| | 1 | 3 | 5 | 20 |
| | アーキテクチャ設計 | | 5 | 20 |
| | HDL設計 | | 35 | 60 |
| | HDLシミュレータ上のデバッグ | | 40 | 35 |
| | デバッガ・モニタを用いたデバッグ | | 15 | 10 |
| ハードウェア学習合計 | | 105 | 125 | |

4. MONI コンパイラ開発の検討

4.1 MONI コンパイラの構成

図2にMONIコンパイラの構成を示す。プリプロセッサは、Cソースコードにおいてファイルの読み込み、マクロ展開などを行った前処理済みCソースコードを生成する。字句解析器では、プログラムから字句要素を取り出し、トークン列を生成する。構文解析器では生成したトークン列を解析し、構文木を生成する。意味解析器では変数の宣言や型を調べ、生成した構文木に意味情報を付加して、中間コードを生成する。そしてコード生成器において、中間コードとMONI命令セットを対応付け、出力ファイルを生成する。

4.2 MONI コンパイラによる学習効果

MONIコンパイラの開発を検討するにあたって、学習者がHSCSを利用して学習を始める際のプログラミング能力に着目した。アセンブリ言語は対象とするプロセッサが実際に実行する命令コードや、また細かくアーキテクチャを理解する必要があり、プログラミング知識が少ない学生にとってアセンブリプログラミングを行うことは困難であり、学習時間が増加する。一方C言語は、論理演算やアドレス演算が容易であり、1つの命令が複数のアセンブリ命令に対応しているので、初心者でも理解しやすいプログラミング言語といえる。以上の点から、MONIコンパイラを開発することで以下3つの学習効果を期待できる。

(1) アセンブリプログラミングの理解の促進

MONIコンパイラを開発することにより、CソースコードとMONIアセンブリコードを比較することで学習者のアセンブリ言語の理解を早め、複雑なアセンブリプログラムを作成できるようになることが期待できる。

(2) 特徴ある命令セット・アーキテクチャの設計

アセンブリプログラミングをより深く理解することは、命令セットやプロセッサアーキテクチャの理解向上にも繋がると思われる。MONIコンパイラを使用することでアセンブリ言語の理解を今まで以上に深めることは、MONI命令セットとMONIアーキテクチャをより詳細に理解することであり、ハードウェア学習の際にも複雑な命令セットを考えることができ、学習者自身の特徴あるプロセッサ設計を行えることが期待できる。

(3) アプリケーションに特化したプロセッサ設計

今後HSCSでは、学習者自身がコンパイラを実際に設計し、言語処理系ソフトウェアの学習も行ってもらうことを検討している。学習者はMONIコンパイラを使用し、実際にコンパイラを設計することで、C言語の学習を活かしてアプリケーションを考え、特定のアプリケーションに対して命令セット・アーキテクチャを特化した専用プロセッサの設計学習ができるものと考えている。

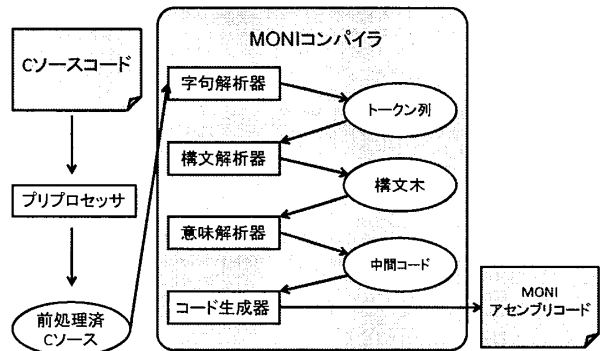


図2 MONIコンパイラの構成

5. おわりに

本稿では、ハード/ソフト協調学習システムとその評価について述べ、MONIコンパイラを開発することを検討した。MONIコンパイラは学習者のアセンブリプログラミングの理解を促進し、複雑なアセンブリプログラム、特徴ある命令セットのプロセッサ設計に役立つものと考えられる。今後は、MONIコンパイラの仕様を決定し、完成に向けて設計を進める。そして、学習者がコンパイラについても学習できるシステムを目指す。

参考文献

- [1] 池田, 他: ハード/ソフト・カラーニングシステムにおけるFPGAボードコンピュータの設計, 情報処理学会, 第66回全国大会論文集, 5T-5, 2004.
- [2] 難波, 他: プロセッサ設計支援ツールの設計・実装とハード/ソフト協調学習システムの評価, 情報科学技術レターズ, FIT2007, LC-002, 2007.
- [3] 井手, 他: 学生によるプロセッサ設計実験に基づいたハード/ソフト協調学習システムの評価, 情報科学技術レターズ, FIT2008, C-009, 2008.
- [4] 志水, 他: プロセッサ設計教育における命令セット定義ツールと命令セットシミュレータの試作, 情報処理学会, 関西支部大会講演論文集, A-05, 2008.
- [5] 湯浅太一: コンパイラ, 昭晃堂, 2005.
- [6] 中田育男: コンパイラの構成と最適化, 朝倉書店, 2005.