

積層型高速低コスト半導体不揮発性メモリの基礎検討

渡辺重佳

湘南工科大学 情報工学科

1. はじめに

近年、DRAM の高速性能とフラッシュメモリの低コスト不揮発特性を併せ持つ新型メモリの研究が盛んである。その代表例の FeRAM (Ferroelectric Random Access Memory) [1]、MRAM(Magnetic Random Access Memory)[2]、PRAM(Phase Change Random Access Memory) [3]、ReRAM(Resistive Random Access Memory) [4]を用いた積層型高速低コスト半導体不揮発性メモリの基礎検討を行った。

2. 新型メモリの目標

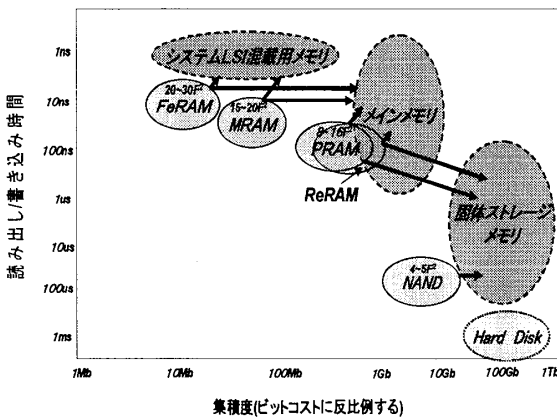


図1 新型メモリのこれまでの方向付け

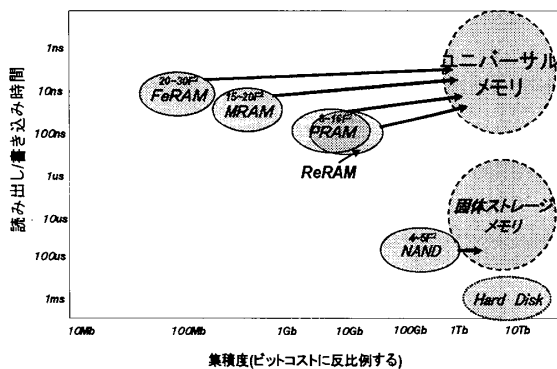


図2 新型メモリの新しい方向付け

Study of stacked type high-speed, low-cost non-volatile semiconductor memory.
Shigeyoshi Watanabe
Department of information science, Shonan Institute of Technology

上記新型メモリはこれまで図1に示すような高速性能か低コストのどちらかを実現する応用をターゲットとして研究されてきた[5]。今回は図1のようにいずれかではなく、図2に示すように両方の特徴を併せ持ついわゆるユニバーサルメモリを実現することを目標とした。低コストを実現するにはメモリセルを NAND 構造にして縦に積層することが効果的である事がフラッシュメモリで最近提案された (図3) [6]。今回の検討では新型メモリの中でも比較的研究が進んでいる FeRAM と MRAM をフラッシュメモリのように積層化する事により高速低コスト半導体不揮発性メモリを実現することを考案した。

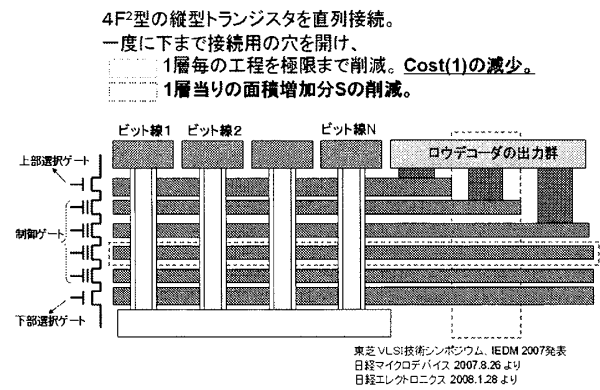


図3 積層構造 NAND 型フラッシュの構成

3. 積層構造 NAND 型 FeRAM の構成

今回検討した積層型 FeRAM の構成を図4に示す。基本的な構成は積層型フラッシュメモリの1トランジスタ型メモリセルを1トランジスタ型の FeRAM に置き換えることによって得られる。

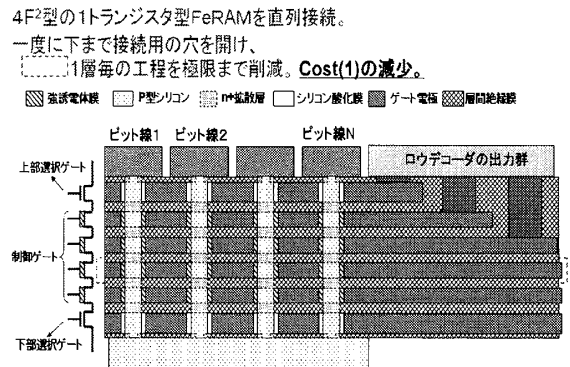
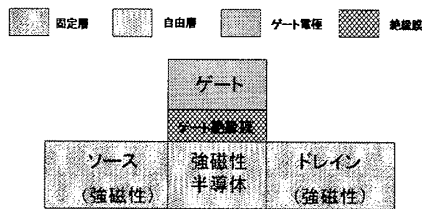


図4 積層構造 NAND 型 FeRAM の構成

FeRAM 自身の不揮発性のみならず積層する事によりフラッシュメモリと同程度の低コストが実現できる。また高速特性を実現するために新たに通過メモリセル部に高電圧パルスを入力する方式の導入により[7]、積層しているにもかかわらず高速特性が実現できる。

4. 積層構造 NAND 型 MRAM の構成

MRAM に関しても FeRAM と同様な検討を行った。MRAM の場合には積層する際に必要なメモリセルの構造を選定することが重要となる。今回は図5に示す基板部分の磁性半導体の自由層にスピンの方向の情報を記憶するスピントランジスタを積層化に適しているため選択した[8]。図6に



自由層の磁化方向が固定層と平行か反平行かで抵抗の大きが決まり、これにより2値状態を記憶

図5 検討に用いたスピントランジスタ

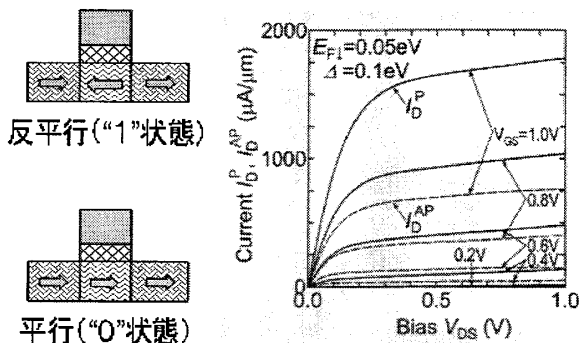


図6 スピントランジスタの特性

スピントランジスタの特性を示す。スピンの方向によってメモリセルの抵抗値が異なる。スピントランジスタを NAND 型に積層する事により MRAM 自身の不揮発性のみならずフラッシュメモリと同程度の低コストが実現できる。また高速特性を実現するために新たに通過メモリセル部に比較的高い電圧を印加し、選択メモリセル部に比較的低い電圧を印加する方式の導入により[9]、積層しているにもかかわらず高速特性が実現できる。更に磁界による書き込みを容易にす

るために積層部分に書き込み用ビット線を埋め込む方式を採用している。

5. おわりに

積層構造の NAND 型 FeRAM 及び NAND 型 MRAM を用いる事により、ユニバーサルメモリになる高速低コスト半導体不揮発性メモリが実現できる可能性がある事を示した。本方式は将来高速な DRAM、低コストなフラッシュメモリや HDD を置き換える有力な候補になると考えられる。今後具体的な回路構成を検討していく。

参考文献

- [1] T. Sumi et. al., ISSCC Dig. Tech. Papers, pp. 68-69, 1994.
- [2] Y. Iwata et. al., ISSCC Dig. Tech. Papers, pp. 138-139 2006.
- [3] S. Lai, IEDM Tech. Dig., pp. 10.1.1-10.1.4, 2003.
- [4] W.W. Zhuang, et. al., IEDM Tech. Dig., p. 193, 2002.
- [5] 渡辺、菅野、玉井 “先端不揮発性メモリの BiCS 型積層化に関する検討 - BiCS 型 FeRAM、MRAM の基礎検討-” 電子情報通信学会信学技法 SDM2008-145、pp. 97-102, 2008.
- [6] T. Tanaka et. al., “Bit cost scalable technology with punch and plug process for ultra high density flash memory”, Symp. on VLSI Technology, 2007.
- [7] 菅野、渡辺、 “積層方式 NAND 構造 1 トランジスタ型 FeRAM の読み出し方式の検討” 電子情報通信学会論文誌 vol. J91-C, no. 11, pp. 668-669, 2008.
- [8] S. Sugahara and M. Tanaka, “A spin metal-oxide-semiconductor field-effect transistor (spin MOSFET) with a ferromagnetic semiconductor for the channel,” J. Appl. Phys., Vol. 97, no. 10, pp. 10D503/1-10D503/3, 2005.
- [9] 玉井、渡辺、 “スピントランジスタを用いた積層型 NAND MRAM の読み出し法の検討” 電子情報通信学会論文誌 vol. J91-C, no. 11, pp. 667-668, 2008.
- [10] 渡辺、 “次世代不揮発性メモリの現状と将来展望 “ 電子ジャーナル講演会（不揮発性メモリの最前線徹底研究） 2008 年 10 月 pp. 9-34.