

無線で遠隔再構成が可能なワンチップ FPGA の設計

後藤誠彦[†] 安永守利[‡] 庄野和宏[‡] 山口佳樹[‡]^{†‡} 筑波大学大学院システム情報工学研究科

1 はじめに

遠隔地にある FPGA が組み込まれたシステムを、遠隔で回路の修復や更新を行うために、インターネットと TCP/IP を用いて FPGA(Field Programmable Gate Array) を遠隔再構成するシステムが研究されている [1]。また、無線 LAN と TCP/IP を用いて、FPGA を相互に書き換える研究が行われている [2]。一方、インターネットや無線 LAN が接続できない環境(山間部、洋上、砂漠、宇宙)においても、今後 FPGA の遠隔再構成が必要になると考えられる。本研究の目的は、無線技術を用いることで、インターネットや無線 LAN がなくても再構成が可能な FPGA を実現することである。これにより、アンテナを接続して電波を受信するだけで再構成が可能な FPGA を、対象となるシステムに搭載することで、ローコストかつコンパクトに無線回線を用いて回路の修復や更新ができる。本研究では、提案するシステムを実現するために、中心部分となる「無線で直接書き換え可能なワンチップ FPGA」の設計と回路面積の評価を行った。本報告では、BPSK(Binary Phase Shift Keying) で変調された信号を復調するアナログ CMOS 回路の設計と回路面積の評価について述べる。少ない回路面積で実現できる BPSK 復調で有効な能動負荷トランジスタを用いた AGC(Automatic Gain Control) 回路について述べる。そして、本研究で用いたマンチェスタ符号を効率よく復調する回路について述べる。

2 提案するシステム

2.1 システム構成

本研究で提案するシステムの概念図を図 1 に示す。図 1 の「無線で直接書き換え可能なワンチップ FPGA」の構成を図 2 に示す。その特徴は、アンテナを FPGA につなぐだけでシステムの回路の再構成が可能であり、ローコストで柔軟性のあるシステムを実現できることである。問題点は受信のみの一方方向なシステムであり、

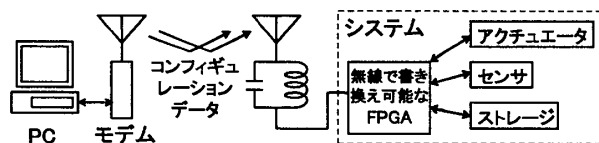


図 1: 本研究で提案するシステムの概念図

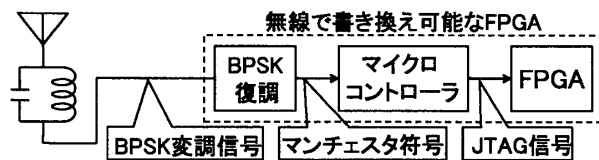


図 2: 無線で書き換え可能なワンチップ FPGA の構成

Design of a Single-chip Wireless Reconfigurable FPGA
Masahiko Goto[†], Moritoshi Yasunaga[‡], Kazuhiro Syouno[‡],
Yoshiki Yamaguchi[‡]

^{†‡}Graduate School of Systems and Information Engineering,
University of Tsukuba, Tsukuba-shi, 305-8573, Japan

データ送信側に再送要求ができないことである。そのため、誤り訂正能力が高い伝送方式を実装する必要がある。本研究では、誤り訂正と書き換えのための計算コストが少ない手法を考察した。

2.2 BPSK(Binary Phase Shift Keying) 復調ブロック

本研究では変調方式として、ノイズや信号の減衰の影響をうけにくくハードウェアが簡単な、BPSK 変調方式を採用した。図 3 に BPSK 復調のブロック図を示す。電離層反射により長距離通信が可能な短波帯(3~30MHz)の周波数であり、中間の周波数である 10MHz を搬送波として採用した。

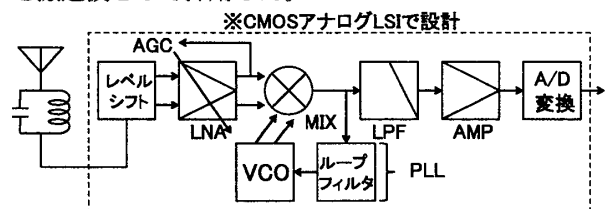


図 3: BPSK 復調ブロック

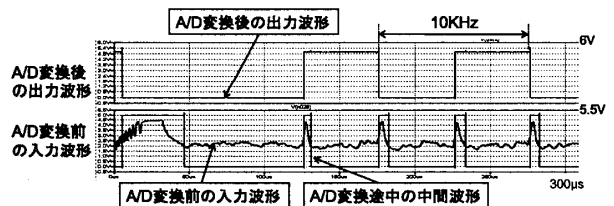


図 4: BPSK 復調ブロックの出力波形

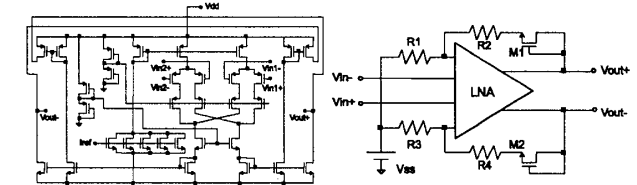


図 5: Low Noise Amp.

図 6: AGC 回路

Xilinx 社の 10~160 万ゲート FPGA である spartan3E を例に挙げると、コンフィギュレーションデータは約 73~750kbyte である [3]。100kbyte のコンフィギュレーションデータに誤り訂正符号を付加したデータを、1 時間で転送できるシステムを設計した結果、5kbps 程度の変調速度が必要であることがわかった。本研究ではマンチェスタ符号を用いるため、10kbps の変調速度を目標とした。設計した BPSK 復調ブロック回路を 1.2 μ m の CMOS プロセスで実際に試作し評価する予定である。そこで、プロセスルールを 1.2 μ m とし、10kbps の BPSK 変調をかけた信号が復調できる CMOS アナログ LSI の設計を行った。設計の結果、ループフィルタに必要な受動部品は精度が要求され、CMOS プロセスの絶対誤差と面積効率を考えると、CMOS プロセス上に実装することは現実的ではないと判断し、ループフィルタのブロックはワンチップ FPGA の外付け部品

で構成した。図 4 に A/D 変換ブロックの入力波形、中間波形、A/D 変換後の出力波形を示す。図 5 に設計した 4 入力の変動 LNA (Low Noise Amp.) を示す。また図 6 に少ない回路面積で実現できる AGC (Automatic Gain Control) 回路の実現手法を示す。本研究で提案する AGC 回路は、LNA を非反転増幅器として用い、ゲインを決める帰還抵抗の一部にトランジスタの ON 抵抗を利用した。出力信号が閾値を超えるまではトランジスタは ON 抵抗は高抵抗である。出力信号が閾値を超えるとトランジスタは能動負荷として動作し、ON 抵抗が下がる。本研究ではこの特性を利用して AGC を実現した。

図 7 に LNA の出力波形 (差動信号) を示す。入力レベルが変わっても出力レベルが最大 3.3V_{p-p} になるようにコントロールされているが、入力信号に対して出力信号は非線形で、出力レベルが一定ではない。しかし、信号の位相が保たれているので、BPSK 信号を復調することができる。[4] は、本研究と同様に不飽和領域で動作する MOS トランジスタとキャパシタを用いて線形性の良い AGC 動作を実現している。本研究はキャパシタを用いなくて AGC を実現している点が [4] との違いである。1.2 μ m のテクノロジーで [4] で用いている 500pF のキャパシタを実現するために必要な面積に対して、本研究の提案する LNA を含めた AGC 回路の回路面積を計算すると、約 20 分の 1 となり、BPSK 変調を復調することに関して有効であると考えられる。

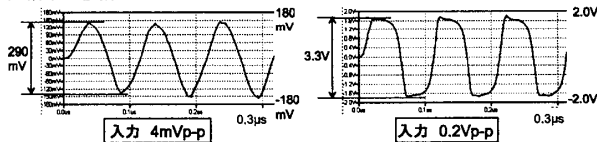


図 7: Low Noise Amp の出力波形

2.3 回路面積の試算

本研究では、提案する「無線で書き換え可能なワンチップ FPGA」を実現した場合の回路面積について、0.15 μ m テクノロジー 100mm² のチップサイズ上で実装すると仮定し、[5] を参考に評価を行った。BPSK 復調ブロックの回路面積については、0.15 μ m テクノロジー上で 1.2 μ m テクノロジーを実現すると仮定し、回路面積の試算を行った。トランジスタ 1 個あたりの回路面積は、ゲートの面積 (ゲート長 \times ゲート幅) を 5 倍することとした。それ以外の面積も 5 倍し、全体の回路面積の試算を行った。表 1 に BPSK 復調ブロックの回路面積の試算結果を示す。

表 1: BPSK 復調ブロックの回路面積

	トランジスタ数	ゲート面積 (μm^2)	使用数	合計面積 (μm^2)
LNA (Low Noise Amp.)	32	5960	1	5960
MIX (アナログ乗算器)	14	514	1	514
VCO (電圧制御発振器)	12	1800	1	1800
AMP (OP-AMP)	11	693	2	1386
LPF (Low Pass Filter)	11	125	1	125
A/D 変換ブロック	44	78	1	78
その他	22	1302		1302
受動部品 (R=657k Ω , C=24.3pF)				16593
総回路面積 (μm^2)				27758
予想回路面積 (μm^2) = 総回路面積 \times 5				138790
予想回路面積 \div ダイの面積 (%)				1.39

本研究の提案手法で必要とされるマイクロコントローラの計算能力は、命令長 8bit で RAM が 64byte である。PicoBlaze[6] をモデルとして用いて回路面積を算出したところ、ダイの面積の約 0.5 % になった。プログラムを格納する領域を追加すると約 1.5 % 程度にな

ると考えられる。表から得られる BPSK 復調ブロックと、マイクロコントローラの回路面積を計算すると、FPGA のダイに占める占有面積は 1.5 % + 1.39 % = 約 2.89 % となった。これより、BPSK 復調とマイクロコントローラを実現する回路面積は、ワンチップ FPGA のダイの約 3 % 以下に抑えることができると考えられる。

3 データの復調とパケットの構成

本研究で提案するマンチェスタ符号を復調する時に、マイクロコントローラのデータの読み込み回数を削減する回路を図 8 に示す。ボーレートの 8 倍のクロックを入力し、エッジの検出結果とデータのサンプリング結果を後段の 8bit のシフトレジスタに別々に記憶する回路である。マンチェスタ符号は 6 種類の状態に分類できる。ボーレートの間隔でデータを読み込み、パケットの同期信号と 6 種類の変換テーブルを利用することで、データの 1、0 の判別が可能となる。マイクロコントローラでボーレートの 8 倍の周期でサンプリングする従来の判別手法 [7] と比べ、データの読み出し回数を 8 分の 1 にできる。従って、提案する回路の回路面積の分だけ回路面積が増加するが、システム全体の消費電力を下げる事が可能となる。

本研究では、書き換えを行うマイクロコントローラにおいて、書き換えのためのバッファ部分の回路面積を削減するために、オンザフライ書き換えを行うこととした。パケットについては、1 パケットあたり 14byte (1+1+4 \times 3) で構成されるパケット構造を提案する。コンフィギュレーションデータ 1byte と制御コード 1byte の合計 2byte のデータを、4bit づつに 4 分割し、それぞれ 7-4 ハミング符号に変換する。その結果得られた 4byte のデータをインターリーブし、三重冗長してパケットに格納する。

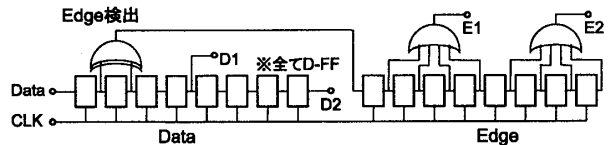


図 8: 読み込み回数を削減する回路

4 まとめと今後の課題

本研究で提案する「無線で遠隔再構成が可能なワンチップ FPGA」において、BPSK 復調ブロックについてアナログ CMOS-LSI の設計を行い、SPICE 上で動作確認を行った。また、本研究で提案するシステムを FPGA に実装した場合、回路面積が約 3 % 以下になることを示した。今後は、設計した回路をアナログ CMOS-LSI として実装して評価を行い、すべてのコンポーネントを接続し、本研究で提案するシステムが有効であることを実証していく。

参考文献

- [1] 末吉敏弘, 久我守弘, 柴村英智, 坂本伊佐雄, 須崎貴憲, 永田和生, 齊藤豪, “リコンフィギュラブルシステムと遠隔再構成技術”, January 26 2005, EDS Fair 大学研究室による研究発表 資料集 p43-p52
- [2] Savio Chau, Abhijit Segunputa, Tush Tran, Alireza Bakhshi and Tooraj Kia, “Ultra Long-life Avionics Architecture”, Jet Propulsion Laboratory, 2002.
- [3] Xilinx DS312 “Spartan-3E FPGA ファミリー データシート”.
- [4] 中原裕隆, 中村正孝, “ソース接地電圧増幅回路の AGC の検討”, 電子情報通信学会総合大会講演論文集, Vol. 2005-基礎・境界 p.14, 2005.
- [5] Candice Yui, Gary Swift and Carl Carmichael, “Single Event Upset Susceptibility Testing of the Xilinx Virtex II FPGA”, NASA Jet Propulsion Laboratory, California Institute of Technology, Pasadena, CA Xilinx Inc., San Jose, CA, 2002 MAPLD International Conference, September 10-12, 2002.
- [6] Xilinx UG129 “PicoBlaze 8-bit Embedded Microcontroller User Guide”, November 21, 2005.
- [7] CIRCUIT DESIGN, INC 特定小電力シリアルデータ伝送無線モデム MU-1-429 マニュアル.