

しきい値電圧以下で動作するシステム LSI の研究

鶴窪淳 渡辺重佳

湘南工科大学 情報工学

1. はじめに

今日、半導体の高速化、高集積化によるシステム LSI の高機能化とともに、消費電力の増大が問題になっている。この問題を解決するために様々な低消費電力化の研究が行われてきた。

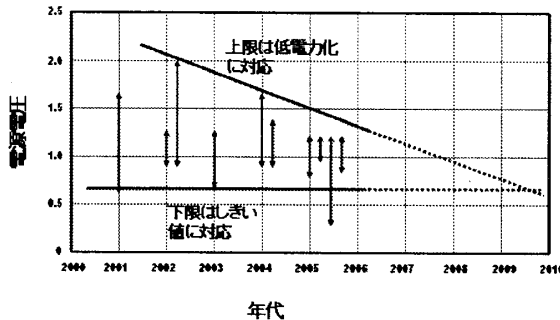


図1. 年代に対する電源電圧の推移

図1に各年代に対する電源電圧の推移を示す[1]。図に示されているようにこのまま上限に対応する低電力化の研究が進んで行くと、下限に対応するしきい値から決まる電圧値と交差してしまい、トランジスタが動作しなくなる。この問題を解決するため、しきい値電圧以下でのサブスレッショルド動作について調査を行った。すると、この方式では低消費電力特性は実現出来るもののサブスレッショルド領域での動作速度がとても遅いということが分かった。しかし、それに関らず、高速化についての研究が全くされていない事も分かった[1]。そこで、今回、従来しきい値以上動作で使われている高速低電力設計方法をサブスレッショルド動作に適用した場合の検討を行ったので報告する。

2. 高速低電力設計方法

今回、並列処理（現在汎用プロセッサに使用されている方式）、DTMOS 動作（将来の微細化に向け検討中の方式）、ゲート電圧を電源電圧以上に昇圧（過去の nMOS 世代に使用されていた方式）の 3 つの方法について検討を行った。

並列処理とは複数のトランジスタなどに処理を分散して割り当て、同時に処理を行うことで高速化させる技術である。DTMOS 動作とはゲートと基板を接続させ、ゲートがオン状態になる時にしきい値電圧を下げることでオフ状態のリーク電流を低減し、オン状態の電流を増加させる事で高速化する技術である[2]。ゲート電圧を電源電圧以上に昇圧するとは、ゲート電圧の値を通常の電源電圧値の 1.5 倍に昇圧して高速化させる技術である。

3. 遅延時間とエネルギーの公式

各高速低電力設計法の比較を行うために、以下に示す遅延時間、エネルギーの公式を用いた。[1][3]。

<遅延時間の公式>

$$T_d = \frac{CV_{DD}}{I} = \frac{KV_{DD} \left\{ 1 + \ln \left[1 + \exp \left(\frac{V_{DD} - V_{th}}{E_{sat}L} \right) \right] \right\}}{\left\{ \ln \left[1 + \exp \left(\frac{V_{DD} - V_{th}}{2S} \right) \right] \right\}^2} \quad (1)$$

(1)式では、 T_d は遅延時間、 C は静電容量、 K は比例乗数、 V_{DD} は電源電圧、 E_{sat} は飽和電界強度、 L はチャネル長、 S はサブスレッショルドファクタ ($S=0.06$) である。一方、 V_{th} はドレイン電圧依存性を考慮に入れたしきい値電圧で ($V_{th}=V_{t0}-V_{DD} * 0.06$) で表される。

<エネルギーの公式>

$$E_T = E_{DYN} + E_L \quad (2)$$

$$E_{DYN} = CV_{DD}^2 \quad (3)$$

$$E_L = W_{eff} I_{o,g} \exp \left(-\frac{V_{th}}{S} \right) V_{DD} \frac{1}{f} \quad (4)$$

(2)式では、 E_T は全体のエネルギー、 E_{DYN} は充放電によるエネルギー、 E_L はサブスレッショルドリーク電流によるエネルギーである。(4)式での、 W_{eff} はチャネル幅、 $I_{o,g}$ はサブスレッショルドリーク電流、 f は周波数である。

今回の検討では 3 つの高速低電力設計方法の消費電力 (E_T) として、充放電のみならず今後 MOSFET の微細化に伴ってさらに増大するリーク電流を考慮に入れた 65 nm 世代技術に対応する充放電電流とサブスレッショルドリーク電流の割合 9 : 1 で消費電力を見積もった。並列処理については遅延時間がそれぞれの並列数で 0.11 秒

Sub-threshold voltage design for low-power system LSI

Makoto Tsurukubo, Shigeyoshi Watanabe

Department of Information science, Shonan Institute of Technology

になるように電源電圧 (VDD) を決めて計算し、しきい値電圧 (V_{t0}) を 0.5V とした。DTMOS 動作では、電源電圧は一定の割合で変化させて計算し、通常動作時のしきい値電圧は 0.4V、DTMOS 動作時は 0.2V とした。ゲート電圧を電源電圧以上に昇圧させての動作では、電源電圧は一定の割合で変化させて計算し、しきい値電圧はどちらも 0.5V とした。

4. 各方法に対する比較結果

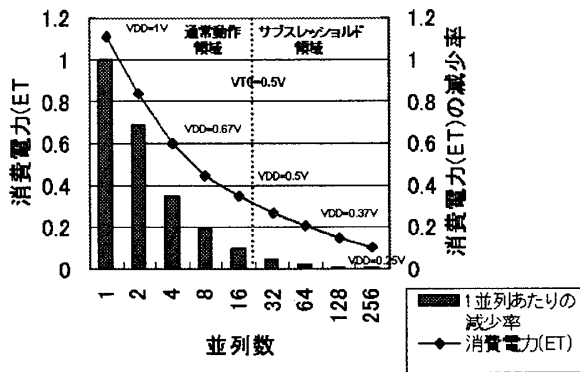


図2. 並列処理の比較結果

図2に並列処理の比較結果を示す。並列処理ではしきい値電圧以上の通常動作領域では1並列あたりの電力消費率が20%~70%あるので導入効果が絶大であるのに対し、しきい値電圧以下のサブスレッショルド領域では1並列あたりの消費電力減少率が10%以下となり並列数の増加にともなう面積増加を考慮に入れると導入効果が全くないといつてよい。

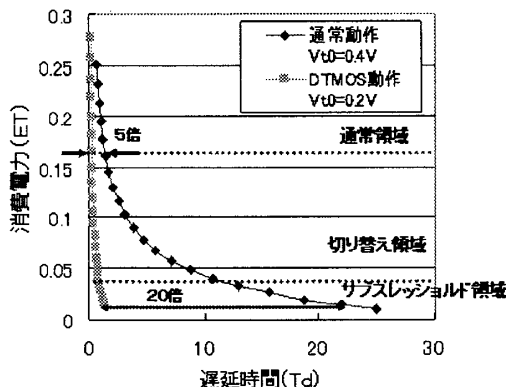


図3. DTMOS動作の比較結果

図3にDTMOS動作の比較結果を示す。しきい値電圧以上の通常動作領域での動作は遅延時間を1/4~1/5に減少する導入効果しかないが、しきい値電圧以下のサブスレッショルド領域での動作では遅延時間を1/15~1/20に減少出来るので導入効果は絶大である。

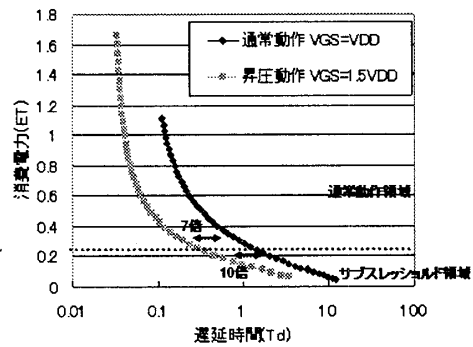


図4. ゲート電圧を電源電圧以上に昇圧させての比較結果

図4にゲート電圧を電源電圧以上に昇圧させての比較結果を示す。ゲート電圧を昇圧させるために充電時間が必要となるために遅延時間だけの結果を見た場合、しきい値電圧以上の通常動作領域、しきい値電圧以下のサブスレッショルド領域どちらの領域でも遅延時間の減少率はあまり差がない(1/3~1/10)。

5. 終わりに

表1. 比較結果のまとめ表

比較内容	しきい値電圧以上動作	しきい値電圧以下動作
並列処理	1並列あたりの消費電力の減少率が20%~70%あるので導入効果は絶大	1並列あたりの消費電力の減少率が10%以下なので導入効果はない
DTMOS動作	遅延時間を1/4~1/5に減少するので導入効果がある	遅延時間を1/15~1/20に減少出来るので導入効果は絶大
ゲート電圧の昇圧	遅延時間を1/3~1/7に減少するので導入効果がある	遅延時間を1/3~1/10に減少するので導入効果がある

今回、比較を行った3つの高速低電力設計法についての比較結果を簡単にまとめたものを表1に示す。表1から分かるように、しきい値電圧以下のサブスレッショルド領域動作で一番導入効果があったものはDTMOS動作である。その理由はしきい値電圧が下がった事が要因だと考えられる。今後はこのDTMOS動作についてより研究を進めていき、他により効果的な高速低電力設計法があるかなど調査、検討する予定である。

5. 参考文献

- [1]P.chandrakakasan : SUB-THRESHOLD DESIGN FOR ULTORA LOW-POWER SYSTEMS, Springer
- [2]Fariborz Assaderaghi, et al. : IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.44, NO.3, MARCH 1997
- [3]YuCao, et al. : IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, VOL.26, NO.10, OCTOBER 2007