

# 各種リーク電流を考慮した 2 電源型システム L S I の高速低消費電力設計法

渡辺重佳

湘南工科大学 情報工学科

## 1. はじめに

近年、低消費電力な高性能システム LSI を実現する方式として 2 電源方式が提案されている [1][2] (図 1)。今回ゲートリーク電流、サブスレッショルドリーク電流を考慮した 2 電源方式の電力削減効果について解析したので報告する。

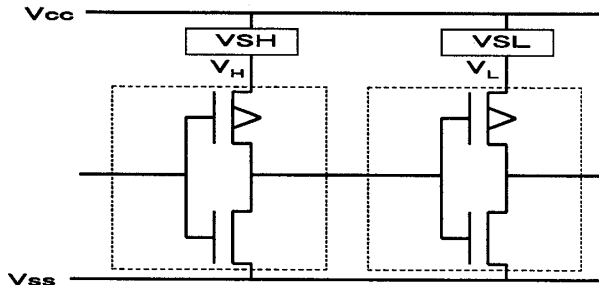
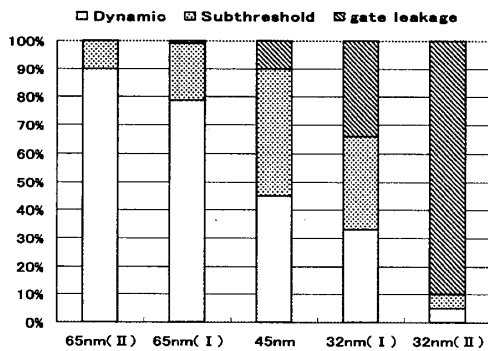


図 1. 2 電源方式の構成図

## 2. 各種リーク電流の 2 電源方式に及ぼす影響

Technology Node	VH (V)	Dynamic	Subthreshold	gate leakage
65nm (II)	1.2	0.9	0.1	0
65nm (I)	1.2	0.79	0.2	0.01
45nm	1	0.45	0.45	0.1
32nm (I)	0.8	0.33	0.33	0.34
32nm (II)	0.8	0.05	0.05	0.9

(a)



(b)

図 2. 各世代の各種消費電力の比率 (1 電源)

Impact of leak current of MOSFET on dual-supply voltage scheme for low-power system LSI.

Shigeyoshi Watanabe

Department of information science, Shonan Institute of Technology

ゲートリーク電流とサブスレッショルドリーク電流を解析式で表現し、充放電による電力を含めた全ての電力に対する 2 電源方式の電力削減効果を解析式を用いて定量的に検討した (詳細については講演で示す)。電力の削減効果は図 2 の 5 種類に関して計算した。図 2 に 1 電源の場合の各電力成分の比率を示す。

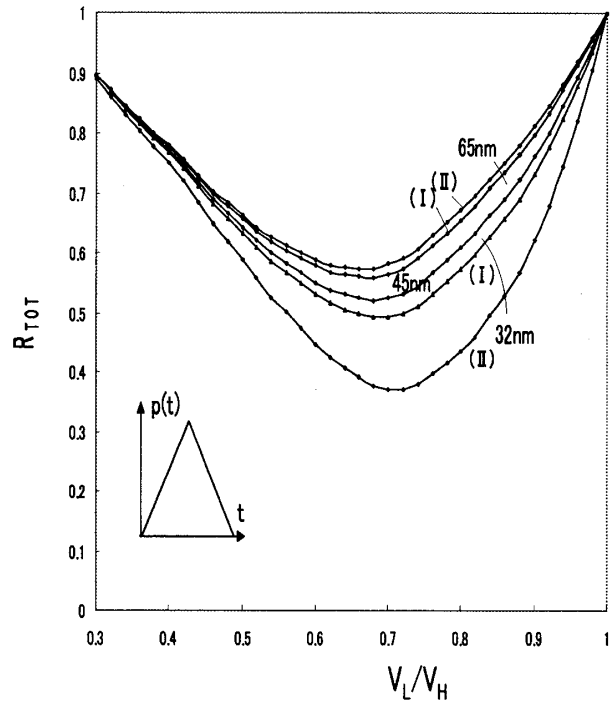


図 3. 各世代での消費電力の削減効果の一例 (LSI 内のパステイレイが山型に近い場合)

2 電源方式導入による削減率 (RTOT) は絶対値に差はあるものの (0.3~0.6)、最小値を実現する  $V_L/V_H$  の値に殆ど差が無い。

この結果は以下のように考察される。  $V_H$  が高い MOSFET の微細化が余り進んでいない時は、消費電力の削減率の最小値を与える  $V_L/V_H$  の値は充放電電流とリーク電流では大きく異なる。充放電電流を中心に  $V_L/V_H$  の値を最適化するとリーク電流が最小値の時より多く発生する。しかしその時消費電力の大部分を充放電電流が占め、リーク電流はわずかししか流れない。その結

果充放電とリーク電流の両方を考慮した  $R_{TOT}$  では絶対値の大きい充放電が支配的になりその特徴が観察される (65nm 世代)。一方  $V_H$  が低い MOSFET の微細化が進んだ時は、消費電力の削減率の最小値を与える  $V_L/V_H$  の値は充放電電流とリーク電流ではほぼ同じになる。その結果消費電力の大部分をリーク電流が占め、充放電電流は余り流れない状況でも  $R_{TOT}$  は充放電を中心に  $V_L/V_H$  の値を最適化しても良い (32nm 世代)。以上のような結果が得られるのはリーク電流の削減効果に強い  $V_H$  依存性があるためである。

以上の検討はパスディレイの分布として平均的な山型を仮定していた。実際のシステム LSI では単調増加型、単調減少型等の分布も考えられる。例えば MPEG4 用のシステム LSI では IDCT (逆離散コサイン変換)、RISC 処理部分は山型に近く、MEF (細かい動き予測)、MEC (粗い動き予測) では単調減少型に近い。そこで山型以外に単調増加型、単調減少型に関しても山型と同様な見積もりを行った (図 4 参照)。その結果前節で述べた山型と同様な特徴が単調増加型、単調減少型で得られた。以上の事から前節で述べた山型の特徴は山型固有のものではなく、システム LSI を構成する様々なパスディレイにほぼ共通した物であると考えられる。

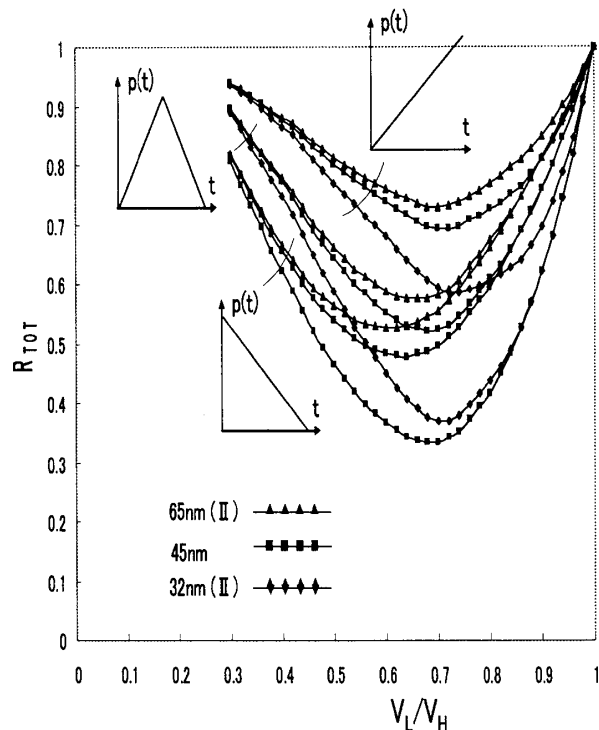


図 4. 各世代での消費電力の削減効果のその他の例 (LSI 内のパスディレイが山型、単調増加、単調減少に近い場合)

#### 4. おわりに

微細 MOSFET の充放電電流、ゲートリーク電流、サブスレッショルドリーク電流による消費電力を考慮した 2 電源型 ( $V_H$ 、 $V_L$  方式) システム LSI の消費電力の削減効果について解析した。消費電力の削減率は充放電電流のみを考慮した場合には低電圧との比  $V_L/V_H$  によって決定されるのに対し、リーク電流のみを考慮した場合には  $V_L/V_H$  と  $V_H$  の絶対値によって決定される。詳細な解析の結果 65nm、45nm、32nm いずれの世代でも従来通り充放電電流による消費電力を最小にする  $V_L/V_H$  で 2 電源方式を最適化すると、リーク電流による消費電力もほぼ最小に出来る。以上の解析より 2 電源型は微細 MOSFET を用いて設計されたシステム LSI にとってリーク電流による消費電力が支配的になる世代でも、低消費電力化にとっても有効な方式である。

#### 参考文献

- [1] Hamada et al, "A Top-down low power design technique using clustered voltage scaling with variable supply-voltage scheme," Proc. CICC pp.495-498, 1998.
- [2] K. Usami and M. Horowitz, "Clustered voltage scaling technique for low-power design," Proc. Of the International Symp. Of Low Power design, pp.3-9, 1995.
- [3] S. Lo, et. al, IEEE Trans. EDL Vol.18, no. 5, pp.209-211, 1997.
- [4] 桜井貴康, "低消費電力、高速 LSI 技術" リアライズ社 1998.
- [5] 渡辺: 微細 MOSFET のゲートリーク電流の低消費電力用 2 電源方式に及ぼす影響に関する検討, "電子情報通信学会和文誌 C, VolJ86-C, no. 6, pp. 658-660, 2003 年 6 月.
- [6] 渡辺, "微細 MOSFET のゲートリーク電流が 2 電源方式に及ぼす影響に関する検討 " 電子情報通信学会総合大会, 論文番号 C-11-2, 2006.
- [7] 渡辺、金井、永澤、花見、小林、高島" MOSFET のリーク電流を考慮した 2 電源型システム LSI の低消費電力設計法" 信学技法 ICD-132, pp.31-36, 2006.
- [8] 渡辺: 微細 MOSFET のリーク電流を考慮したシステム LSI の高速低消費電力設計法の検討, "電子情報通信学会和文誌 C, VolJ86-C, no. 9, pp.1024-1027, 2003 年.