

セグメント分割伝送線を用いたシグナルインテグリティ向上の実験検証

中山廣士† 安永守利‡ 山口佳樹‡ 吉原郁夫§ 小泉尚己¶
 †筑波大学第三学群情報学類 ‡筑波大学大学院システム情報工学研究科
 §宮崎大学工学部 ¶宮崎大学工学部情報システム工学科

1 はじめに

現在、VLSI 内部のデジタル信号の周波数は数 GHz に達している。これにともない、プリント基板上のデジタル信号も GHz レベルに近づいている。このため、VLSI を実装するプリント基板上の配線は伝送線とみなして設計する必要がある。これは高周波数信号を取り扱う場合、基板上を伝送する信号の波長が基板上の配線の平均的な長さ比べて同等、あるいは短くなるためである。この時、メモリモジュールを接続するなど、伝送線上に負荷(等価的にキャパシタンス)がつながることで基板上に多数のインピーダンス不整合点が生じる。このため反射波が発生し、もとの信号に重畳し、波形を乱すという問題点がある。この問題に対して、従来の波形整形手法(例えば[1][2])は局部的にインピーダンスを整合して反射波を抑えていた。しかし、信号の高周波化が進むと反射波を完全に抑えることは難しく、波形の品質(シグナルインテグリティ)を保つことは一層困難になると考えられる。

これに対し、本研究で用いるセグメント分割伝送線(Segmental Transmission Line 以下 STL)[3]は、従来の手法とは異なり、インピーダンス不整合点を積極的に利用し、反射波を発生させて、その反射波を重ね合わせて伝送信号を整形する手法である。

既に我々は、STL について計算機シミュレータ(SPICE)によりその効果を示している[4]。しかし、実際のプリント基板による実験評価は行っていなかった。本研究では、PC などに用いられているプリント基板上のメモリモジュール(DIMM: Dual In-line Memory Module)クロック供給配線系を対象に、実際のプリント基板によるスケールアップ実験評価を行った。具体的には配線長 360cm、クロック周波数 5MHz で、配線途中に 200pF のキャパシタを 2 個付けることでメモリモジュールクロック供給配線系のスケールアップモデルとした。

2 STL 設計手法

STL 設計は、配線を複数のセグメントに分割し、各セグメントに異なるインピーダンスを与える。これによりインピーダンス不整合点をつくり、反射波を発生させ、この反射波を重ね合わせて波形を整形する。各セグメントにはインピーダンスとセグメントの線長をパラメータとして与える。STL 設計構造の簡易モデルを図 1 に示す。

STL 設計では、各セグメントの最適なパラメータ値を求めるために遺伝的アルゴリズムを用いた。個体の染色体の構造は各セグメントのインピーダンスと線長で構成されている(図 2 上)。最適解を求める際に、電子回路シミュレータ SPICE を用い、出力波形と理想波形の誤差面積 S を評価関数として用い、優良個体を残す。

Experimental Verification of Improved Signal Integrity Using the Segmental Transmission Line

† Hiroshi NAKAYAMA
 ‡ Moritoshi YASUNAGA
 ‡ Yoshiki YAMAGUCHI
 § Ikuo YOSHIHARA
 ¶ Naoki KOIZUMI

University of Tsukuba, Third Cluster of Colleges, College of Information Sciences(†)
 University of Tsukuba, Graduate School of Systems and Information Engineering(‡)
 University of Miyazaki, Faculty of Engineering(§)
 University of Miyazaki, Graduate school of Engineering(¶)

図 2 にはスケールアップ実験モデルに対して得られた最良個体の進化結果(各セグメントのインピーダンスと線長)を記載している。

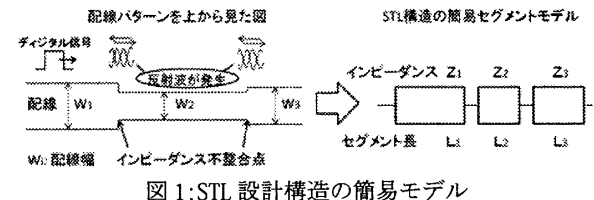


図 1: STL 設計構造の簡易モデル

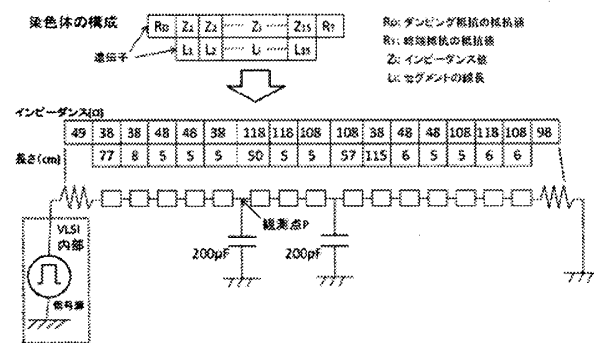


図 2: STL のための個体(染色体)構造と設計結果例

3 STL 設計結果の実験検証

本報告では設計した STL の効果を実験検証する。具体的には図 2 をもとにプリント基板を作成し、実際にプリント基板に 5MHz クロックを伝送し、波形を観測した。図 3 は実際に作成した基板である。全長 360cm の配線をつら折り状に実装している。観測点 P の整形前の観測波形と、STL 設計を用いて整形した観測波形を図 4 に示す。また、SPICE を用いて観測した計算機上の観測波形を図 5 に示す。整形前の波形では、論理しきい値 1.25V に対して反射波の影響でマージンは 0.25V しかなく、動作不良を起こす一歩手前の状況である。一方、STL による整形後ではマージンは 1.0V まで改善され、信頼性の高い動作が保証できることがわかる。また、図 4(右)と図 5 を見比べると、ほぼ同等の波形が観測された。これより、STL の設計手法によって実際に作成された基板はほぼ設計通りの性能を得られることがわかる。

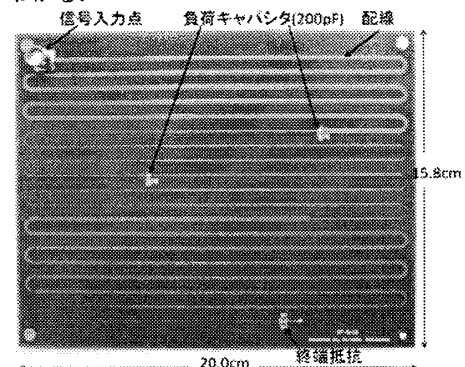


図 3: STL 設計結果を基に作成したプリント基板

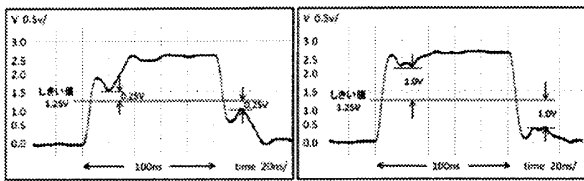


図4: 観測点Pにおける整形前(左)と整形後(右)の波形

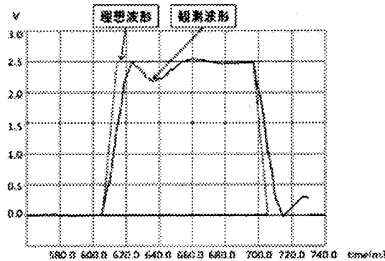


図5: 計算機上の観測点Pにおける観測波形

4 周波数変動に対するロバスト性の評価

第2節で示した STL 設計結果は入力信号が 5MHz クロックを伝送した際のシグナルインテグリティの最適解である。周波数が 5MHz からずれた場合、どれだけシグナルインテグリティが保てるのか、すなわちロバスト性をシミュレーションにより検証した。5MHz クロックに対して設計した結果(図2)に対して、2MHz のクロック(図6左)と 10MHz(図6右)を入力した場合の観測点Pにおける観測波形を示す。

図6に示されるように、5MHz より低速周波数信号では、観測波形の整形は図5とほとんど等しい。5MHz より高速周波数信号ではやや波形の歪みは見られるものの、立ち上がりや立ち下がり後の波形の歪みは図5とほぼ同等である。これらの結果より、STL はクロック周波数の変動に対しても高いシグナルインテグリティを維持できる高いロバスト性を有すると考えられる。なお、作成したプリント基板上で 2MHz、10MHz のクロックを入力しても、計算機上の観測波形とほぼ同じ波形が観測された。

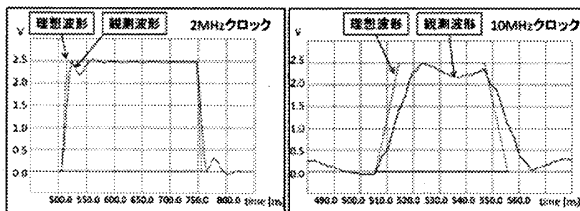


図6: 5MHz 以外の信号による計算機上の観測波形

5 任意パターン信号に対する応答の評価

現在の STL は、システムで最も大切なクロック信号に対する波形整形を対象としている。今後は任意パターン信号に対する設計も進める予定である。そこで、5MHz クロックに対して設計された今回の STL に対して任意パターン信号を入力してみて、その応答を観測した。

これまでのクロック信号入力("0101...")の評価に対して、"010010" "0110110" "010110" の3種類の信号に対する応答を評価する。信号の基本周波数を 10MHz として入力するので、例えば"00110011..."を伝送すれば、5MHz クロックの入力と同等になる。その場合は観測波形は図4と同じ結果が得られることになる。3種類の波形を伝送した時の観測波形を図7に示す。図7をみると、立ち上がりから立ち下がりまでの時間間隔が 50ns(10MHz 周期)の場合、シグナルインテグリティは図6(右)と等しい。時間間隔が 100ns(5MHz 周期)であれば、シグナルインテグリティ

は図5と等しい。もし伝送する信号の基本周波数が 5MHz であれば、立ち上がりから立ち下りまでの時間間隔が 100ns(5MHz 周期)以上の信号が伝送される。第4節で 5MHz 以下の周波数信号は 5MHz クロックと同じようなシグナルインテグリティを示したので、本研究で用いた STL 設計結果に基本周波数 5MHz の任意の信号を伝送した場合、シグナルインテグリティは常に図4(右)のように良好に保たれることがわかる。今回は研究設備の関係上、プリント基板上に任意の波形を伝送できないので、計算機上での実験となった。しかし、これまでのプリント基板上にクロックを入力した時の観測波形から、プリント基板上でも計算機上の観測波形と近い波形が得られることが予想される。

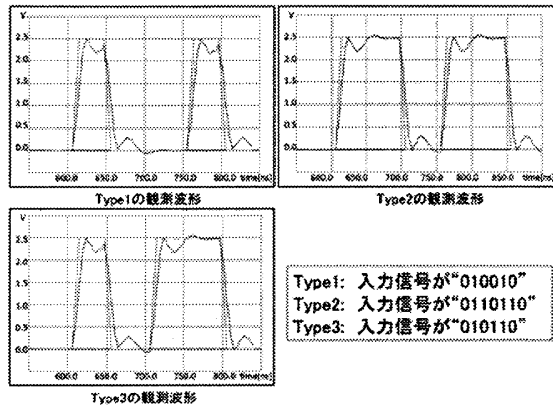


図7: 3種類の任意パターン信号を伝送した時の観測波形

6 まとめと今後の課題

既に提案しているセグメント分割伝送線(STL: Segmental Transmission Line)について、実際のプリント基板を用いたスケールアップ実験を行った。その結果、これまでのシミュレーション実験と同等な性能が検証できた。具体的な改善数値として、動作マージンが 0.25V しかなかった従来の信号波形の動作マージンを 1.0V まで改善できることを示した。また、STL の周波数変動に対するロバスト性、ランダム 2 値信号(非クロック信号)に対する応答を評価し、いずれも良好なシグナルインテグリティを観測できた。今後は、GHz 級の高速信号に対する STL の効果をシミュレーションと検証実験の両面から評価する予定である。

参考文献

- [1] 直野典彦, 中村祥恵, "高速デジタルシステム設計法詳説", 日経 BP 社, 1997.
- [2] M.Taguchi, "High-speed, small-amplitude I/O interface circuits for memory bus application", IEICE Trans. Electron., vol.E77-C, no.12, pp.1944-1950, Dec. 1994.
- [3] 安永守利, 吉原郁夫, "セグメント分割伝送線とその設計手法-VLSI 実装基盤のための高品質信号配線の提案-", 電子情報通信学会論文誌 D-I, vol. J88-D-1, no.5, pp. 915-929, May. 2005.
- [4] Naoki Koizumi, Ikuo Yoshihara, Kunihito Yamamori, Moritoshi Yasunaga, "Variable Length Segmental-Transmission-Line and Its Parameter Optimization based on GA", IEEE, Proc. of CEC2005, pp. 1576-1582, Sep. 2005.