

ネットワーキング向きイベント駆動型 チップマルチプロセッサ CUE-v3 の開発

内田裕之[†] 岡本政信[†] 富安洋史[†] 西川博昭[†]

[†]筑波大学大学院システム情報工学研究科コンピュータサイエンス専攻

著者らは、ネットワーキング向きハイブリッドプロセッサ CUE-v3 の試作を進めている。CUE-v3 は著者らが既に開発したハイブリッドプロセッサ CUE-v2 を基にしたチップマルチプロセッサである。CUE-v2 はデータ駆動・制御駆動スレッドを命令レベルで同時・多重処理することができ、データ駆動方式の即応性を維持しつつ、時間・順序依存処理に不可避となる逐次処理能力を改善している。CUE-v3 は 1 チップ上に CUE-v2 を 4 個実装した CMP(Chip Multi Processor)構成を採っており、データ駆動原理を応用することによって、レイテンシの小さいプロセッサ間通信を可能にしている。本稿ではこの CUE-v3 の概要と LSI 試作を目指した開発の現状を述べる。

1. はじめに

近年のネットワークトラフィックは増大すると共に多様な振る舞いを示すようになってきている。マルチメディアサービスのようなリッチなコンテンツを利用する場合には大容量の通信路が必要とされ、仮想現実を利用したコミュニケーションサービスにおいては実時間性が重要視される。これらを満たすためには、高いスループットと実時間多重処理性を持ったプロセッサが求められる。

データ駆動型プロセッサはコンテキストスイッチのオーバーヘッドが非常に小さいため、実時間性の高い多重処理を行うことができる。また、レイテンシの小さなプロセッサ間通信を実現することができる。

このような観点に立ち、筆者らは現在ハイブリッドプロセッサ CUE-v2 をプロセッシングエレメント(以下 PE とする)としたイベント駆動型チップマルチプロセッサ CUE-v3 の試作・設計を行っている。

2. ハイブリッドプロセッサ CUE-v2

データ駆動プロセッサでは循環パイプラインに入力されるデータ流量によりスループットが決められる。しかし、プログラムの並列度が低い部分ではパイプラインを埋めることができず、スループットが低下してしまう。そこで著者らは、データ駆動プロセッサにおける発火制御とスーパスカラプロセッサにおける動的スケジューリングがほぼ等価であることに着目し、データ駆動・制御駆動の双方を共通のパイプラインで処理するプロセッサの実現を目指した。

CUE-v2 では、データ駆動スレッドと制御駆動スレッドの間で、相互に干渉することなく命令単位で同時・多重処理を行う。データ駆動の発火制御とスーパスカラプロセッサにおける動的スケジューリングとの相違点は、命令を発火させるのに必要なデータの供給経路である。前者は常にフロントエンド部から供給されるのに対し、後者は演算器からのフォワーディングパスから供給される。CUE-v2 ではスーパスカラプロ

セッサにデータ駆動原理に基づく命令フェッチとデータの受け渡しを追加することにより、10%増程度のハードウェアで、データ駆動・制御駆動の双方を共通のパイプラインで処理するプロセッサを実現できた。

3. イベント駆動型チップマルチプロセッサ CUE-v3

3.1 CUE-v2 のチップマルチプロセッサ化

CUE-v2 は最大で 9.6 Gbps のスループットを持ち、殆どオーバーヘッド無く複数のスレッドを実行可能なことが確認できたが、実効性能では今後普及すると考えられる 10 Gbps 程度のアプリケーションに対応することは難しいと考えられた。そこで、CUE-v2 をチップマルチプロセッサ化した CUE-v3 を設計・試作する計画を進めている(図 1)。

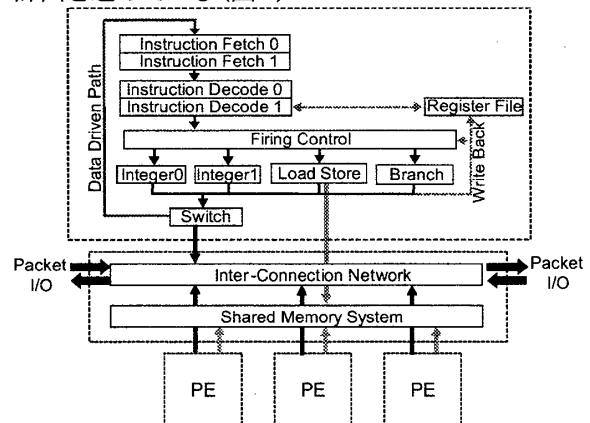


図 1. CUE-v3 の構成

CUE-v2 は TSMC 180 nm 6M1P CMOS 25 mm² であった。CUE-v3 は 90nm CMOS プロセスを用いて、25 mm² に CUE-v2 に相当する PE を 4 個集積する。動作周波数は CUE-v2 の二倍程度であるため、およそ 76.8 Gbps のスループットとなる。さらに、個々の PE は 16 個までの結合に対応しているため、今後のネットワーキング環境に対応可能であると考えられる。

各 PE は CUE-v2 の命令セットとパイプライン構造

を持ち、さらに PE 間で互いにスレッドを起動できる命令群を付加されている。データ駆動のオペランド待ち合わせ機構を利用することにより、必要な引数が揃っていれば 1 サイクルでスレッド起動要求を送信することができる。プロセッサ間通信路も短くレイテンシが小さいため、PE 間通信のオーバーヘッドは非常に低い。また、元となった CUE-v2 とほぼ同じプログラミングモデルで動作することができるため、高い応答性やスレッドの多重処理に対するスケラビリティも引き継がれる。

3.2 インターコネクションネットワーク

各 PE を繋ぐインターコネクションネットワークは、図 2 に示すような 2 重リング状のトポロジで構成される。4 個程度の PE であれば、完全結合にすることも十分考えられるが、CUE-v3 は循環パイプライン型データ駆動プロセッサの構造をそのまま持つため、1 命令毎に必要なデータパスの幅が広い傾向がある。このようなデータパスはしばしば配線の集中によって実装が困難になるため、試作時の問題を考慮してリング状のネットワークを選択した。

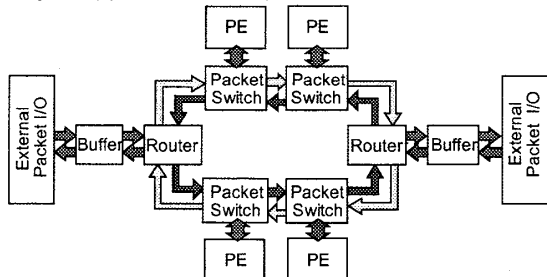


図 2 CUE-v3 Inter-Connection network

図中の Packet Switch は宛先によって使用するリンクを決定するルータとバッファである。各リングはデッドロックフリーを実現するために、Virtual Channel Access 方式によって構成されている。Router はチップ外へリンクを拡張するものであり、External Packet I/O を通して CUE-v3 もしくは他のデバイスを接続可能である。この外部とのリンクには、CUE-v2 における経験から、安定した動作を実現することを何よりも優先すべきと判断したため、source synch 方式の片方向バスを複数設けることとした。

3.3 プロセッサ間通信命令

CUE-v2 を CMP 化するにあたり、PE 間で通信を行う機構が必要である。CUE-v3 ではスレッド起動命令を拡張し、PE 間でスレッドを起動可能とすることにより通信を行う。

図 3 に PE 間スレッド起動命令の例を示す。これらの命令は空きフィールドをプロセッサ番号とすることによって実現している。これは CUE-v2 に僅かな変更を加えるだけで実装でき、オペランド待ち合わせ機

構も PE 間で相互に利用可能である。

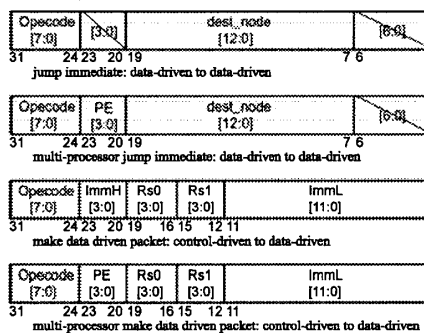


図 3 プロセッサ間起動命令の例

4. CUE-v3 の設計と試作

現在筆者らは 2008 年度初頭の試作を目指して CUE-v3 の設計を行っている。既に概略は完成しており、論理合成を試行している。ここから予想される各モジュールの面積比を表 1. に示す。

表 1. CUE-v3 のモジュール構成比

Module	構成比 [%]	Module	PE に対する構成比 [%]
PE (4個)	94.6	IF0	5.7
		IF1	1.7
		ID0	0.9
		ID1	2.6
		FC0	53.1
		FC1	4.7
		FC2	4.2
		INT	10.6
		LS	2.4
		BR	0.3
		SW	3.8
		REG	10.0
ICN	4.5		

スーパースカラにおいては動的スケジューリングのためのデータ待ち合わせ機構が大きな面積を占めており、CUE-v3 においてもこの部分(FC)が PE 中の半分を占めている。待ち合わせ機構の効率の良い実装は今後の課題である。プロセッサ間ネットワーク(ICN)のハードウェアコストは比較的小さく、5% 程度に収まる見込みである。

5. 謝辞

本研究の一部は、総務省戦略的情報通信研究開発推進制度(SCOPE)、半導体理工学研究センター(STARC)、ならびに文部科学省の支援による共同研究によって遂行したものである。

CUE-v2, CUE-v3 の設計に当たって使用した CAD ツールは東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で提供されたものである。

An Implementation of Networking-Oriented Event-Driven Chip Multi-Processor : CUE-v3
 Hiroyuki Uchida†, Masanobu Okamoto†, Hiroshi Tomiyasu† and Hiroaki Nishikawa†
 †Department of Computer Science, Graduate school of Systems and Information Engineering, University of Tsukuba