

# IP を利用した ASIC/FPGA 設計環境

1H-3

堀内重則 古田康幸 鈴木五郎  
(株) 日立製作所

## 1 はじめに

ASIC や FPGA 設計効率向上のために IP (Intellectual Property) の重要性が強く言われており、IP ベンダから提供される論理合成用の IP [1] を利用して設計効率を上げてきた。今回、更に設計効率を向上させるために現状の問題点の分析とその対応策について検討した。IP ベンダの IP 利用時に、我々が考える問題点の一つは、論理合成用の IP は全てテキストレベルの HDL で提供されることである。つまり、担当者がどのような IP を使用して設計しているのかを第三者が感覚的に把握してレビューするのが難しく、またテキストレベルであるために入出力インタフェース仕様の誤りが発生してしまう。二つ目の問題点は、IP の品揃えである。我々の事業所では、工業用画像処理装置や FA 制御ネットワーク用の通信システムなどを扱っているが、画像処理用の ASIC/FPGA では IP ベンダから提供される PCI などの大規模な IP だけではなく、高速加算器や高速乗算器のような 3 k ゲート規模のいわゆる MSI クラスの回路も IP として頻繁に再利用する必要がある。また、開発する ASIC/FPGA の機能を検証するために、その周辺で使用するマイクロプロセッサやメモリなどの動作を記述した論理シミュレーション用のモデルも論理合成用のモデルと同様に IP 化する必要がある。以下、この二つの問題点の対応策について述べる。

## 2 IP のシンボル化

第一の問題点の解決策として、IP のシンボル化を行った。設計仕様書を入力し、HDL を自動生成するツール [2] 上で IP をシンボルとして呼び出し、図面の一部として取り扱えるようにした。図 1 に示すような HIPO (Hierarchical Input Process Output) と呼ぶ設計仕様書を使用している。この仕様書は、各モジュールの入力、処理、出力を明確に記述し、さらに階層構造を明記している。最上位階層モジュールはシミュレーション専用であり、この例では設計対象となる ASIC の周りに、マイコンやメモリなどのシミュレーション用の IP をシンボルとして配置している。また、ASIC の下位階層には、再利用する回路の論理合成用 IP をシンボルとして配置している。IP をシンボルとして扱う HIPO 設計環境を図 2 に示す。各 IP に対応するシンボルを図面エディタのシンボルライブラリとしてあらかじめ登録している。シンボルの名称で、対応するシミュレーション用 IP と論理合成用 IP をファイルから呼び出し、論理シミュレータや論理合成ツールへ接続している。

## 3 多品種 IP の品揃え

IP として品揃えを行った回路の例を表 1 に示す。論理合成用の IP としてはセット、リセット、クロックイネーブル付きの D-FF、加算器、乗算器、パリティチェッカ・ジェネレータ、ECC などを揃えた。例えば、高速処理が必要な乗算器では Booth 2 アルゴリズム [3] を用いた回路構造にしている。

---

ASIC/FPGA Design Environment Using Intellectual Property

Shigenori Horiuchi, Yasuyuki Furuta, Goro Suzuki

Hitachi, Ltd., E-mail: horiuchi@omika.hitachi.co.jp

また、シミュレーション用の IP としては PCI バスモデル、SH-4、SDRAM などを準備している。例えば SDRAM の仕様は、 $x(\text{row}) \times y(\text{column}) \times z(\text{bit}) \times 4(\text{bank})$  構成であり、各パラメータはユーザが設定可能としている。論理合成用 IP とシミュレーション用 IP を合計約 160 種類準備した。VSIA[4]から公開されている資料と RMM[5]を参考にして、①シミュレーションや論理合成用として記述したソース、② IP の仕様書、③論理合成用 IP の場合は合成用スクリプト、④ HIPO を記述するために IP を呼び出すためのシンボル、の 4 種類のデータを各 IP 単位に用意している。

ソースの記述は RT レベルで記述したが、演算回路だけは論理合成で面積や速度の制御が難しいため論理合成ツールが持っているプリティブゲートを用いた構造レベルで記述している。更に、論理合成用 IP とシミュレーション用 IP の両方とも幅広いバリエーションをカバーするために、信号の bit 幅などはパラメトリックな記述としている。

#### 4 実設計への適用

上記した IP 利用環境を 100kgate 規模の ASIC 1 種と 10kgate の FPGA3 種の設計に適用したところ HIPO の図面枚数は ASIC で約 300 枚、FPGA は 3 種合わせて約 60 枚であり、論理合成用 IP の使用率(合成後の IP ゲート数/合成後の LSI 全ゲート数)は平均 67%(既設計の流用含む)、シミュレーション用 IP の使用率(IP ステップ数/シミュレーションモデル全ステップ数)は今回設計した ASIC/FPGA で使用するシミュレーション用 IP を優先的に作成したこともあって平均 98%を実現できた。

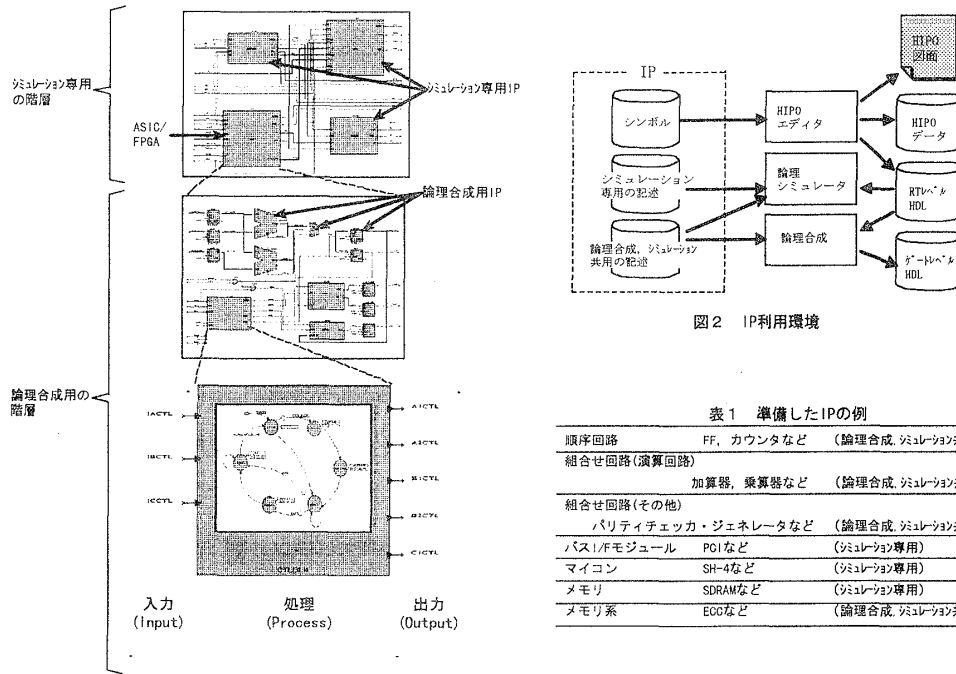


図1 HIPOの記述例

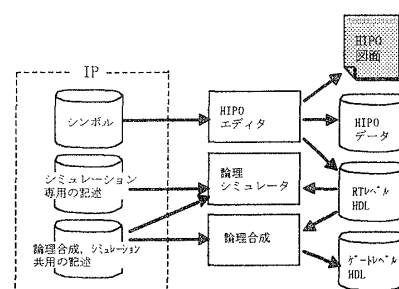


図2 IP利用環境

表1 準備したIPの例

順序回路	FF, カウンタなど	(論理合成, シミュレーション共有)
組合せ回路(演算回路)	加算器, 乗算器など	(論理合成, シミュレーション共有)
組合せ回路(その他)	パリティチェック・ジェネレータなど	(論理合成, シミュレーション共有)
バスI/Fモジュール	PCIなど	(シミュレーション専用)
マイコン	SH-4など	(シミュレーション専用)
メモリ	SDRAMなど	(シミュレーション専用)
メモリ系	ECCなど	(論理合成, シミュレーション共有)

#### 5 参考文献

- [1] Mentor Graphics : IP カタログ : <http://www.mentor.com/inventra/cores/catalog/index.html>
- [2] Summit Design : VisualHDL : <http://www.summit-design.com/>
- [3] 富田真治, 村上和彰, 新實治男 訳: コンピュータ・アーキテクチャ, 日経 BP 社 p667-p678 (1992)
- [4] VSI Alliance : Architecture Document Version 1.0 : <http://www.vsi.org/>
- [5] Synopsys : RMM(Reuse Methodology Manual) : <http://www.wkap.nl/book.htm/0-7923-8175-0>