

データの符号化を考慮した非同期式データパスの評価

3E-4

今井 雅 福田伸樹 中村 宏 南谷 崇

東京大学 先端科学技術研究センター

1 はじめに

VLSI技術の微細化が進むにつれてゲート遅延が小さくなる一方、配線抵抗の増大により配線遅延が増加している。そのため、システム全体へ位相差無くクロック信号を分配する必要のある従来の同期式デジタルシステムでは、高速素子の性能を十分に活用できないことが指摘されている[1]。高速素子の性能を有効に活用し、消費電力を低減するための方法の一つに、システムを非同期式で構成する方法がある。

非同期式システム設計では、遅延モデル—論理ゲートや配線における遅延に関して設ける仮定—が重要な役割を果たす。Delay-Insensitive(DI)モデル[2]やQuasi-Delay-Insensitive(QDI)モデル[3]と呼ばれる遅延モデルに基づいた設計では、現実には起こりそうもない遅延変動に対しても正しい動作を保証する必要がある。そのため、実用的観点からは効率の良い回路とは言えず、速度性能が得られない。そこで、より現実的な仮定として、Scalable-Delay-Insensitive(SDI)モデル[4]が提案されている。

本稿では、SDIモデルに基づく回路構成として、データパスを2線式で構成した場合と1線式で構成した場合それぞれについて、遅延と消費電力の評価を行った結果を示す。

2 SDIモデル

SDIモデルでは、回路要素の絶対的な遅延変動の大きさには上限値がないが、互いに他の要素の遅延に対する相対的な変動率には上限があると考え、遅延に関して次のように仮定する。

『ある回路要素Cに対して、設計者が設計段階で予測した遅延を De とし、システムの生涯を通じて起こりうる実際の遅延を Da とする。このとき、 $R = Da/De$ は回路要素Cの時刻tにおける遅延変動率を表す。

任意の二つの回路要素C1とC2の時刻tにおける遅延変動率をそれぞれ $R1$ 、 $R2$ とすると、 $V = R2/R1$ は時刻tにおける相対遅延変動率を表す。このとき、回路には定数 $K(K > 1)$ が存在し、任意の二つの回路要素の間の相対遅延変動率Vに関して、システムの生涯を通じて $1/K < V < K$ が常に成り立つ』

SDIモデルの様に、回路要素の遅延の上限値を未知とする遅延モデルに基づいてデータパス論理回路を実現するためには、当該論理動作がいつ完了したかを検知する仕組みが必要である。その実現手法とし

て、2線2相式や東データ方式などがある[1]。2線2相式では、1ビットのデータを肯定線と否定線の2本の信号線対を用いて表現し、 $(x, \bar{x}) = (1, 0)$ を論理“1”に、 $(x, \bar{x}) = (0, 1)$ を論理“0”に対応させ、これらを符号語と呼ぶ。符号語と $(x, \bar{x}) = (0, 0)$ を交互に送ることでデータ転送を繰り返す方式が2線2相式である。東データ方式とは、データパスを1線式で構成し、データパスの当該動作が完了したことを示す1ビットのストロブ信号を付加する方式である。

3 1線式回路と2線式回路

SDIモデルに基づく回路実現例を図1に示す。

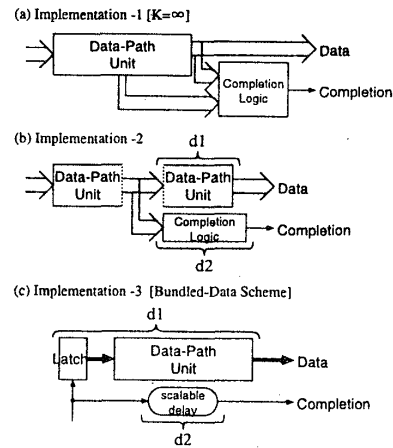


図1: SDIモデルに基づく回路実現

要求仕様として与えられた相対遅延変動率の上限値が $K = \infty$ であるとき、図1(a)に示すように、データパス回路を2線式で構成し、データパスユニット内部が安定状態に達したことを確認し、かつ出力遷移の完了を確認してから完了信号を生成しなければ正しい動作が保証されない。この方式では、完了信号を生成するための論理が大きいため、速度性能が得られない。しかし、現実的には $K = \infty$ ということはない。そこで、図1(b)に示すように、早いパスの遅延(d_1)と遅いパスの遅延(d_2)が $K \cdot d_1 < d_2$ を満たす限り、完了信号生成回路の入力をデータパス内部の信号のみから取るように回路を構成することで、速度性能を向上させることが出来る。また、回路要素の遅延変動率Rが非常に小さい場合、図1(c)に示すように、データパス回路を1線式で構成し、完了信号をデータパスユニット内部の構成とは全く無関係に、遅延素子を用いて生成する東データ方式を適用することが出来る。

図1(a)(b)に示す2線式回路では、入力信号による演算遅延の違いを考慮した完了信号生成回路を構成することが出来る。従って、演算回路の平均遅延により回路が評価される。一方、図1(c)に示す1線式回路では、ラッチ及びデータパスの最悪遅延に基づいてス

トローブ信号生成回路の遅延を決定し、その大きさは入力信号に応じて動的に変化させることが出来ない。従って、演算回路の最悪遅延により回路が評価される。

本稿では、回路要素の遅延変動率 R が小さい場合を仮定し、1線式回路と2線式回路の遅延と消費電力を求めた結果を示す。

4 遅延の評価

データバス回路の遅延は、行う演算の種類及び演算方式などにより演算完了までの遅延のばらつきが大きいものと小さいものがある。それぞれの例として、以下の4種類の演算回路をビット数16,32,64でそれぞれ構成し、シミュレーションにより遅延を求めた結果を表1、表2に示す。

- 遅延のばらつきが大きい演算(方式)
 - 順次桁上げ加算方式(RCA)
 - 桁上げ先見加算方式(CLA)
 - 遅延のばらつきが小さい演算(方式)
 - Brent-Kungの加算方式[5](BLA)
 - 論理演算(Logic)
- “Logic”は、選択信号により2値のAND, OR, XORのいずれかを出力する演算回路

遅延の評価には0.5 μ mルールのNEC CBC8ゲートライブラリ(但し、XOR、XNORゲートを除く)を使用している。また、面積による配線遅延の影響を調べるため、CADENCEのCADによる自動配置配線を行い、レイアウト後の配線情報から得られた配線遅延を使用している。2線式の平均遅延は 2^{15} 回のランダム値を入力したときの平均であり、1線式の最悪遅延は回路構成から求められた最悪遅延である。

表 1: 1線式加算回路の最悪遅延と回路量
遅延[ns](回路量[# of Grid($\times 10^3$)])

	RCA	CLA	BLA	Logic
16bit	10.90 (0.70)	3.46 (1.2)	2.72 (1.3)	1.25 (0.77)
32bit	22.30 (1.4)	4.49 (2.5)	2.94 (3.0)	3.02 (1.6)
64bit	42.63 (2.9)	4.84 (5.1)	3.68 (6.9)	3.56 (3.1)

表 2: 2線式加算回路の平均遅延と回路量
遅延[ns](回路量[# of Grid($\times 10^3$)])

	RCA	CLA	BLA	Logic
16bit	2.57 (1.2)	2.68 (2.2)	2.35 (1.8)	1.02 (1.2)
32bit	3.04 (2.6)	3.31 (4.6)	2.79 (4.2)	2.99 (2.5)
64bit	3.54 (5.1)	3.85 (9.3)	3.31 (9.6)	3.45 (4.9)

表1及び表2より、遅延のばらつきの大きい回路の場合は平均遅延の恩恵が大きい、2線式で構成した方が速度性能を得ることが出来る。一方、遅延のばらつきが小さい場合は平均遅延と最悪遅延の差が0.1(ns)~0.3(ns)であり、高々ゲート1段分しかないため、回路量を考えると1線式で構成した方がよいと言える。

5 消費電力の評価

構成したそれぞれの回路に関して、1回の演算にかかる消費電力の概算値を求めた結果を表3、表4に示す。一般的に、演算回路は入力された値によって動作

表 3: 1線式回路の消費電力概算値(nJ)

	RCA	CLA	BLA	Logic
16bit	0.14	0.22	0.24	0.11
32bit	0.29	0.44	0.48	0.23
64bit	0.66	0.91	1.10	0.52

表 4: 2線式回路の消費電力概算値(nJ)

	RCA	CLA	BLA	Logic
16bit	0.19	0.27	0.26	0.19
32bit	0.38	0.55	0.64	0.38
64bit	0.76	1.13	1.34	0.77

するゲートが変化するため、表3、表4では、 2^{11} 回のランダム入力を与えたときの平均値を示している。

表3、表4より、消費電力は回路量にほぼ比例して大きくなるため、回路量の少ない1線式回路の方が2線式回路で構成するよりも明らかに電力効率がよい。

6 まとめ

SDIモデルに基づく回路構成として、遅延変動率 R が小さいとき、データバスを2線式で構成した場合と1線式で構成した場合それぞれについて、遅延と消費電力の評価を行った。

遅延のばらつきが小さい、すなわち平均遅延 \cong 最悪遅延であるような回路構成が出来る場合、面積による配線遅延の影響からその差は高々ゲート1段分程度となるため、1線式でも速度性能を得られることを示した。また、消費電力は回路量にほぼ比例して増大するため、電力効率の面からは1線式の方がよいことを示した。

本研究の遂行にあたり、文部省科学研究費補助金基盤研究(B)09480049、研究者別科学研究費補助金特別研究員奨励費10-04682のご支援を頂いた。また、本研究の一部は(株)半導体理工学研究センターとの共同研究によるものである。

参考文献

- [1] 南谷崇. 非同期式マイクロプロセッサの動向. 情報処理, Vol. 39, No. 3, pp. 181-186, March 1998.
- [2] Jan Tijmen Udding. A formal model for defining and classifying delay-insensitive circuits. *Distributed Computing*, Vol. Vol.1, pp. 197-204, No.4 1986.
- [3] Alain J. Martin. The limitations to delay-insensitivity in asynchronous circuits. In William J. Dally, editor, *Advanced Research in VLSI*, pp. 263-278. MIT Press, 1990.
- [4] Akihiro Takamura, Masashi Kuwako, Masashi Imai, Taro Fujii, Motokazu Ozawa, Izumi Fukasaku, Yoichiro Ueno, and Takashi Nanya. TITAC-2: An asynchronous 32-bit microprocessor based on scalable-delay-insensitive model. In *Proc. International Conf. Computer Design (IC-CD)*, pp. 288-294, October 1997.
- [5] R.P.Brent and H.T.Kung. A regular layout for parallel adders. *IEEE Trans. on Cptrs*, Vol. C-31, pp. 260-264, Mar. 1982.