

大規模回路に対するタイミングドリブン多層概略配線の一手法<sup>†</sup>

4Q-8

出口 貴浩

小出 哲士

若林 真一

広島大学 工学部

## 1 まえがき

近年の半導体技術の急速な発展により、回路はますます大規模化する傾向にあり、数百万ゲートを搭載したVLSIが実現されるようになってきている。さらに、微細化が進むに伴い、回路遅延に対する配線遅延の割合が大きくなってきている。回路全体の遅延に対する配線による遅延の割合は $0.18\mu\text{m}$ ルールでは80%以上に達すると言われている。配線遅延はレイアウト設計によって決まってくるため、配線遅延を考慮した配線手法が近年盛んに研究されている[1, 2]。

そこで本研究では大規模回路を対象としたタイミングドリブン概略配線手法を提案する。本手法においては配線遅延モデルとしてElmore遅延モデルを仮定し、セル間のすべての配線は6層の配線層で行われるものとする。提案概略配線手法においては配線を階層的に詳細化することにより、配線が局所的に混雑することを避ける。また、与えられたタイミング制約を満たすために、配線経路の決定とバッファの挿入、および配線幅の決定を同時に行う。

## 2 準備

## 2.1 レイアウトモデル

本研究で用いるレイアウトモデルはセルベース・モデルとし、各セル列間には配線領域が存在せず（チャネルレス）、セル間の配線はすべて配線層で行われるものと仮定する。また、任意のセルの高さ、幅を持つマクロセルを含む場合も考慮する。

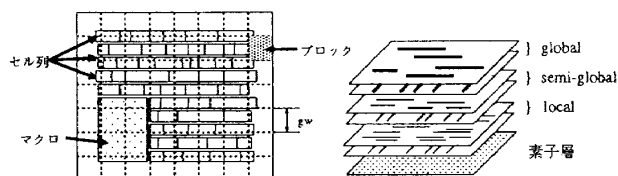


図1 レイアウトモデル

配線層は6層を仮定し、2層ずつX方向配線層、y方向配線層の対になっているものとする。ここでi番目の配線層対においては配線幅 $w_i$ 、配線間隔 $s_i$ とし、配線ルールを $g_i = w_i + s_i$ とする。各配線層対の配線ルールは $g_1 < g_2 < g_3$ の3種類を用意し、それぞれ、local, semi-global, global配線層と呼ぶ。

隣接する配線層間をビアで接続し、ビアによる遅延を $vd_{ij}$ とする。バッファはブロック内のセル列に置かれ、既配置セルを左右にシフトすることにより挿入される。ただし、バッファ挿入によるチップ面積の大幅な増加を防ぐため、各ブロックに置くことのできる最大バッファ数を $B_{max}$ とする。バッファ挿入後のセル、端子位置の変更はごく僅かであり、概略配線をモデル化したグラフ上では端子位置、配線経路には影響しないものとする。

## 2.2 配線モデル

提案手法は階層的に概略配線を行うため、チップ全体を再帰的に $4 \times 4$ 分割する。初期分割をレベル1とし、以下レベルnまで分割する。各レベルにおいて分割されていく部分領域をブロックと呼ぶ。ブロックごとに6層の配線層を仮定する。

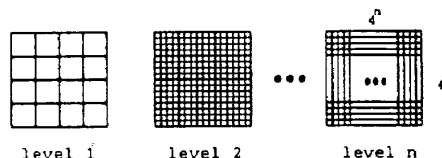


図2 階層分割

レベルlにおいて、ブロックを $v_i$ 、隣接するブロック間を枝 $e_{ij}$ として得られるグラフを階層グラフ $G_l = (V_l, E_l)$ とする。各ブロックはそのブロック内にあるセル端子、配線禁止領域からブロックの容量 $S_b(v_i)$ 、ブロック内に置けるバッファの容量 $S_b(v_i)$ が与えられる。 $G_l$ の各枝 $e_{ij} \in E_l$ は第k層の配線容量を $CAP_{ij} = (cap_{ij}^{(1)}, cap_{ij}^{(2)}, \dots, cap_{ij}^{(k)})$ のk項組として持つ。マクロセル上を配線禁止とする場合、マクロセルの配線に必要な枝 $e_{ij}$ の配線層kの配線容量を $cap_{ij}^{(k)} = 0$ とする。 $e_{ij}$ を通る第k層の配線本数は $F_{ij} = (f_{ij}^{(1)}, f_{ij}^{(2)}, \dots, f_{ij}^{(k)})$ のk項組として持つ。ここで $e_{ij}$ の第k層における配線混雑度を $dns_{ij}^{(k)} = cap_{ij}^{(k)} - f_{ij}^{(k)}$ とする。つまり、 $dns_{ij}^{(k)} \geq 0$ で全てのネットが配線されなければならない。

ネット $n_j$ の概略配線経路は最下位レベルnでの頂点 $V' \subset V_n$ と枝 $E' \subset E_n$ の集合であるスタイナ木 $T(n_j) = \{V', E', L\}$ で表される。 $T(n_j)$ の枝 $e'_{ij} \in E'$ が使用する配線層は関数 $L(e'_{ij})$ で与えられる。

## 2.3 概略配線問題の定式化

入力： ネットリスト $(C, N)$

$(c_i \in C$  : セル集合,  $n_j \in N$  : ネット集合)

タイミング制約 $(T)$

バッファ集合 $(B)$

セル情報 (位置, 大きさ, 端子位置)

出力： 各ネットの配線経路, 配線層

バッファ挿入位置

目的： 混雑度最小化

制約： タイミング制約 $d_{s,ij} < req_{s,ij}$

配線混雑度 $dns_{ij} \geq 0$

最大バッファ挿入数 $B_{max}$

## 3 提案手法

本研究ではセル配置が与えられた数十～百万ゲート規模の回路を対象にし、与えられたタイミング制約を満たす概略配線経路を求める手法を提案する。大規模回路の配線においては配線の混雑を考えずに配線してしま

<sup>†</sup>"A timing-driven multi-layer global routing for large scale circuit", Takahiro DEGUCHI, Tetsushi KOIDE, Shin'ichi WAKABAYASHI, Faculty of Engineering, Hiroshima University. e-mail: degu@ecs.hiroshima-u.ac.jp

うと、配線容量を満たすように引き剥し再配線を行うにしても、局所的に混雑している場合においては再配線の繰り返し回数が増加し、非常に効率が悪い場合がある。また、再配線で経路を変更した場合、タイミング制約が満たされない場合も生じる。さらに配線層が多層であると非常に複雑な問題となってくる。このような問題に対して、本手法では階層的に配線を行うことで、上位レベルにおいて混雑を考慮した粗い配線経路を決定できる。この経路を段階的に詳細化していき、各レベルにおいて混雑度を均一化することにより、引き剥し再配線の操作を減少でき、効率的に配線を行うことができる。また、各レベルでバッファ挿入と異なる配線幅を配線経路として与え、タイミングを考慮した概略配線が可能となる。

3.1 手法の概要

初期分割レベル1より、ブロックをトップダウンにレベルnまで階層的に4x4の領域に分割することにより、配線を詳細化して行く。レベルl-1で求められた配線経路はその経路を各ブロックにおいて仮想端子として、複数の経路に分割される。分割された配線はレベルlの4x4の領域で詳細化される。このとき、バッファがレベルl-1のブロックに挿入されている場合はバッファを端子としてレベルlのブロックに置かれるとする。

レベルlでの配線は階層分割された4x4の領域ごとに行う。ここでは混雑度を考慮してネットの同時配線を行うために、数理計画法を用いて対象となるネット集合N'の配線経路を求める。このとき、すべてのネットに対して一度に複数の配線層、バッファを挿入した配線経路を求めるのは困難なため、ネット数|N''|=λ(N' ∈ N')のネットを入力とし、数理計画法をm回繰り返すことにより配線経路を求める。

レベルnまで詳細化を行うと、最下位レベルでの各ブロック間の配線混雑度が求まる。この配線混雑度を考慮してボトムアップに、タイミング制約、配線容量の違反しているネットの配線経路を変更する。

3.2 トップダウン配線

初期分割レベル1より、ブロックをレベルnまで階層的に4x4の領域に分割することにより、配線を詳細化して行く。

レベルlで4x4の階層分割された領域ごとに以下の数理計画法を用いて同時配線を行う。このとき、4x4の領域はG<sub>l</sub>の部分グラフG'<sub>l</sub>で与えられる。配線対象となるネットは集合N'からランダムに選択されたネットN'' ∈ N' (|N''|=λ)とし、ネットn<sub>i</sub> ∈ N'に対する配線パターン集合をP<sub>i</sub> (|P<sub>i</sub>| ≤ p<sub>max</sub>)とする。0-1変数x<sub>ij</sub>を用意し、x<sub>ij</sub> = 1はネットn<sub>i</sub>をパターンp<sub>ij</sub> ∈ P<sub>i</sub>で配線することを表す。k層でe<sub>uv<sub>i</sub></sub> ∈ E'<sub>l</sub>を通る配線パターン集合をA(u, v, k)とする。ネットn<sub>i</sub>のパターンp<sub>ij</sub>がv<sub>s<sub>i</sub></sub> ∈ V'<sub>l</sub>で使用するバッファ数をB(i, j, s)とする。

目的関数をk層での配線数スラックX(i, j, k)の最小値Yを最大化とする数理計画法をm回繰り返すことによりN'の配線経路を求める。

maximize Y  
subject to

$$\sum_{1 \leq j \leq |P_i|} x_{ij} = 1 \quad i = 1, \dots, \lambda$$

$$X(i, j, k) + \sum_{p_{ij} \in A(u, v, k)} x_{ij} = \delta \cdot cap_{uv_i}^{(k)} \quad \forall i, j, k$$

$$\sum_{n_i \in N''} \sum_{p_{ij} \in P_i} B(i, j, s) \leq S_v(v_{s_i}) \quad \forall v_{s_i} \in V'_l$$

$$Y \leq X(i, j, k) \quad \forall i, j, k$$

$$x_{ij} \in \{0, 1\}$$

4x4の配線経路を求める際に、数理計画法によるネット数λの部分問題において、制約となる各ブロック間の容量はエリア分割により実際に設定されている容量cap<sub>uv<sub>i</sub></sub><sup>(k)</sup>のδ倍(0 ≤ δ ≤ 1)とする。整数計画法を適用してネットn<sub>i</sub>の配線経路を決定するが、整数計画法では計算負荷が大きすぎる場合は線形計画法として解いた後、得られた実数解を整数化することにより最終解を得る。

3.2.1 配線パターン

4x4の領域において、配線パターンは3種類の配線層、バッファ挿入を行う場合を考慮すると、定式化に必要な変数の総数が飛躍的に増加するため、タイミング制約を考慮した以下のパターンのみを持つ。

領域内に存在する端子の配線遅延はそのブロックの中心を部分木の根とする最短木として、配線長を中心から端子位置の半周近似により見積もる。

配線パターンは各端子までのL型のスタイナ木配線パターンと中心から2x2の端子以外の点をスタイナポイントとする配線パターンを作成する(図3)。これらのパターンそれぞれに対して、global, semi-global, localの各配線層対で配線するパターンを持つ。この配線パターンでタイミング制約を違反する可能性があるネットはクリティカルであると呼び、クリティカルなネットに対しては、作成した配線パターン上にバッファ挿入を考慮して、タイミング制約を満足するものを配線パターンとして持つ。

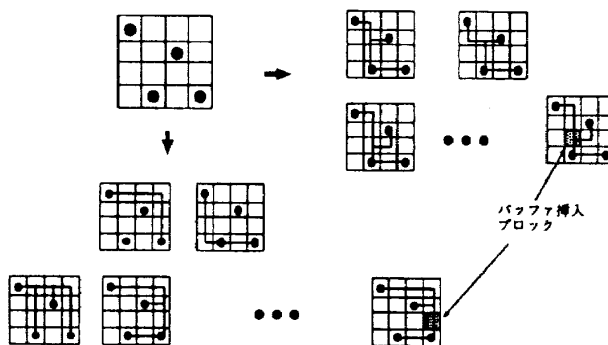


図3 配線パターン

3.3 ボトムアップ再配線

最下位のレベルでの配線において、タイミング制約を満足する限り、配線経路の変更を行う。このとき、経路の探索範囲は対象となるネットを囲む最下位レベルでの階層グラフで経路の変更はボトムアップに行い、配線混雑度を緩和する。

4 あとがき

今後の課題としては、クロストーク制約の考慮、効率的な層割当て手法の開発、および、提案アルゴリズムの実データに対する有効性の確認などが挙げられる。

文献

[1] X. Hong, T. Xue, J. Huang and C.-K. Cheng: "TIGER: An efficient timing-driven global router for gate array and standard cell layout design," IEEE Trans. CAD, Vol.16, No. 11, pp. 1323-1331 (1997).  
[2] J. Lillis, C.-K. Cheng and T.-T. Y. Lin: "Optimal wire sizing and buffer insertion for low power and a generalized delay model," Proc. of International Conference on Computer-Aided Design, pp. 138-143 (1995).