

FPGA による GA の計算の高速化

船津 輝直 (筑波大学) 関 峰伸 (同)

丸山 勉 (同) 星野 力 (同)

2R-7

1. はじめに

遺伝的アルゴリズム (Genetic Algorithm: 以下 GA) の計算は非常に多くのデータを処理するため膨大な時間がかかる。そこでハードウェア化することにより著しい高速化が期待される。Field Programmable Gate Array (以下 FPGA) はこのような目的に適している。FPGA は演算子の種類、配線等をプログラミングで構成/変更することができるため、各問題毎に適したハードを提供することができる。

今回は GA を用いた問題として、ALL1 問題、ナップサック問題についての評価を行い、ワークステーション (Sun Ultra Sparc 200MHz) に対する性能を、その処理速度において比較した。

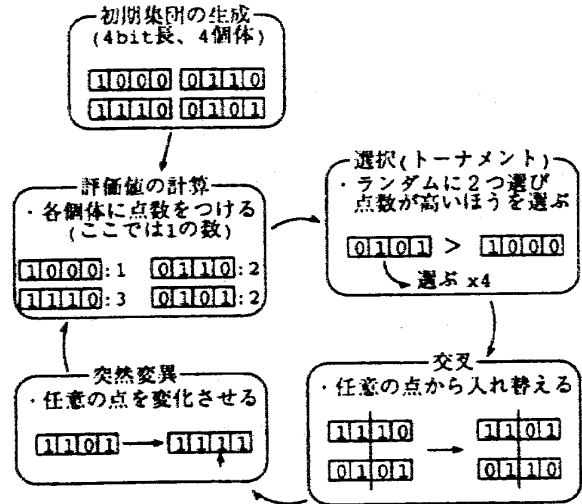


図 1: GA

2. Field Programmable Gate Array

FPGA はあらゆる演算機能を実現できるロジックエレメント (LE) と、各 LE 間の配線をプログラミングによって設定することにより自由に回路を構成/変更できるデバイスである。ALL1 問題には ALTERA EPF 10K10 (10K ゲート相当)、ナップサック問題には ALTERA EPF10K100 (100K ゲート相当) を用いた。

3. 遺伝的アルゴリズム (GA)

GA とは生命の進化/適応の手順を最適化探索の手法としてアルゴリズム化したものである。遺伝子群を候補解と見なし、図 1 の様な遺伝的操作を複数回繰り返すことにより優れた解、多種多様な解を得ようとするものである。

4. ALL 1 問題

ALL1 問題とは、遺伝子中の 1 の数が多い程点が良く、すべてのビットが 1 になったとき最高点を得るという簡単な問題である。遺伝子数は 16、遺伝子長は 8 とした。回路は評価、選択 (トーナメント方式)、交叉、突然変異の 4 つの処理をパイプライン型に構成する。このパイプラインを 1 周することで GA の 1 世代分の処理が行なわれる。図 2 に回路の構成を示す。

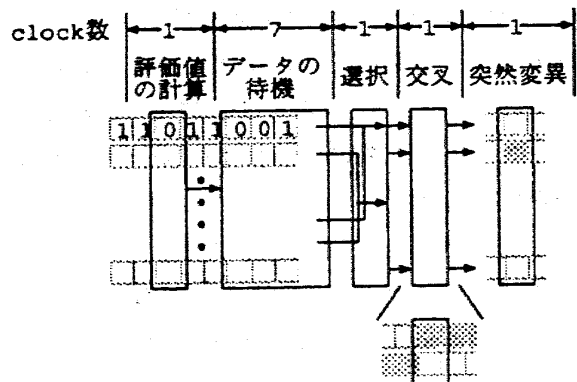


図 2: ALL 1 問題

High speed computation of GA with FPGA

Terunobu Funatsu, Minenobu Seki

Tsutomu Maruyama, Tsutomu Hoshino

University of Tsukuba

このような回路でGAの処理を10000世代行い、ワークステーションとの比較を行った。ここで、FPGAでは乱数発生器にM系列を用いたが、ワークステーションでは合同乗積法(性能は劣るが速い)、M系列、そしてCの標準ライブラリ関数のrand()の3つの場合において処理速度を測定した。

表1: ALL1問題の処理速度比

	処理時間	速度向上率
WS(標準ライブラリ)	830ms	0.24
WS(M系列)	910ms	0.21
WS(合同乗積法)	200ms	1.00
FPGA(M系列)	2.4ms	83

表1の様にワークステーションで最速のプログラムに対しても、約80倍の速度向上が得られている。

5. ナップサック問題

ナップサック問題は、それぞれ異なった重さと価値を持つ、N個の物体の中から何個か選択し、これを重さWまで収納可能なナップサックに入れたとき、物体の価値の合計が最大となるような組合せを見つけるという問題である。各遺伝子はNビットとし、各ビットの値が1である場合その物体が選択される。選択された物体の総重量がWを越えたとき適当なペナルティを与えることでGAを用いて解くことができる。

ナップサック問題では遺伝子数16、遺伝子長256とし、FPGA内蔵のメモリを用いた。回路的にALL1問題と異なるのは基本的に評価ステージだけである。図3の様に各物体のデータはMemory-Dにあらかじめ書き込まれており、各遺伝子毎に重さと価値が加算されていく。重さの合計がWを越えると価値の合計にペナルティが付加される。最終的な価値の合計が評価値となり次の選択で用いられる。

世代を1024世代としてワークステーションと比較した結果を表2に示す。ナップサック問題ではALL1問題より評価が複雑なため処理速度が落ちているが、約64倍になっている。しかし、まだ改良の余地がありもう少し速くなると思われる(33MHzでの動作を目標としている)。

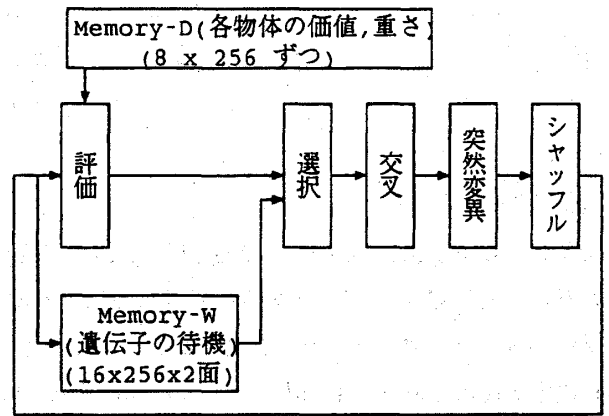


図3: ナップサック問題

表2: ナップサック問題の処理速度比

	処理時間	速度向上率
WS(合同乗積法)	700ms	1.00
FPGA(M系列)	11ms	63.77

6. まとめ

FPGAを用いて遺伝的アルゴリズムのALL1問題とナップサック問題をハードウェア化するための回路を設計した。また、比較のためワークステーション上において同様の処理を行った。ワークステーションの場合、GAは疑似乱数の発生が処理時間に大きく依存することがわかっている。そのため、ワークステーションでは3種類の疑似乱数発生器の場合において測定した。その結果、ALL1問題ではワークステーションで最速の合同乗積法に対しても約83倍、ナップサック問題では約64倍の速度向上が得られた。また、今回のナップサック問題の様に内蔵のメモリを使えば大量のデータを高速に扱うことができることがわかった。

7. 参考文献

[1]I.M.Bland, G.M.Megson: Implementing a Generic Systolic Array for Genetic Algorithm
 [2]Paul Graham and Brent Nelson: Genetic Algorithm In Software and In Hardware ,FCCM 1996
 [3]Stephen D. Scott, Ashok Samal and Sharad Seth: HGA: A Hardware-Based Genetic Algorithm , ACM/SIGD 1995, pp.53-59