

比例遅延変動モデルに基づく非同期式論理完了信号に関する一考察

3N-4

高村 明裕†

上野 洋一郎†

南谷 崇†

†東京工業大学 情報理工学研究所

†東京大学 先端科学技術研究センター

1 はじめに

同期式回路におけるクロックスキューや増大する消費電力の問題を解決する一つの方法として、クロック信号を用いない非同期式回路が注目されている [1]。

非同期式回路のサイクルタイムを短縮し性能を向上させるには、演算が終了する前に、完了（応答）信号を生成する方法が有効である。しかしながら、過度に完了信号生成を早めると、遅延モデルで仮定する遅延変動の範囲で回路が正しく動作することを保証することができない。そこで、本稿では、比例遅延変動モデル [2] に基づいて組み合わせ回路の完了信号とラッチの完了信号を予測方式で構成する際に生じる制約について述べる。

2 比例遅延変動モデル

比例遅延変動モデルは、素子や配線の絶対遅延の上限値は未知であるが、任意の素子や配線について、相対的な遅延の上限値を既知とする遅延モデルである。比例遅延変動モデルは以下のように定義される。

任意の2つの素子あるいは素子と素子の間に存在する配線を、C1, C2とする。C1, C2の遅延時間をそれぞれd1, d2とした時、C1とC2の相対遅延を  $D = \frac{d1}{d2}$  とする。設計時における相対遅延の推定値を  $D_0$ 、動作時における実際の相対遅延を  $D_a$  とすると、

$$\frac{1}{k} < \frac{D_a}{D_0} < k \quad (1)$$

とする遅延仮定を比例遅延変動モデル (Scalable-Delay-Insensitive model) という。この時、kを遅延変動率の比の上限値 (Maximum variation ratio) という。

3 対象とする完了予測方式

3.1 多ビットラッチの書き込み監視の省略

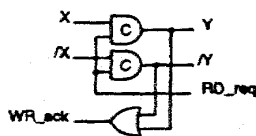


図1: C-latchの構成

2線2相方式 [1] の非同期式回路に広く用いられるラッチの1つにC-latchと呼ばれる回路がある。1ビットのC-latchの構成例を図1に示す。このC-latchはMullerのC素子2つとORゲートにより構成されており、入力(X, /X)にデータが到着し、データの読み出し要求信号RD\_reqが到着したら、出力データ(Y, /Y)を入力されたデータで更新する。更新が終了したら、書き込み完了信号WR\_ackを出力する。

Notes on completion signal generation of asynchronous logic circuits based on the Scalable-Delay-Insensitive model

Akihiro Takamura, Yoichiro Ueno  
Tokyo Institute of Technology, Graduate School of Information Science and Engineering  
Takashi Nanya  
University of Tokyo, Research Center for Advanced Science and Technology

(X, /X): Write Data A: WR\_ack  
(Y, /Y): Read Data R: RD\_req

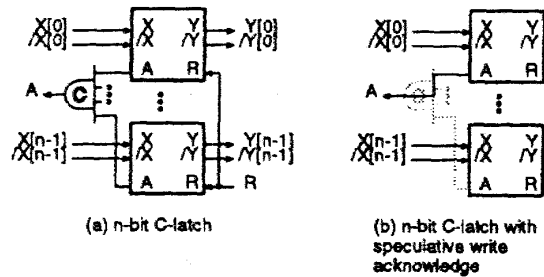


図2: nビットのC-latchの構成

多ビットのC-latchを構成する際には、図2(a)に示すように、全体の読み出し要求信号は、各ビットの読み出し要求信号に接続し、全体の書き込み完了信号は、各ビットの書き込み完了信号をC素子を用いて待ち合わせる必要がある。しかしながら、構成するC-latchのビット数が多くなると、待ち合わせを起こすC素子の入力数が増加するために、書き込み完了信号の出力が遅くなってしまふ。

比例遅延変動モデルの下で構成された回路において、多ビットのラッチを構成する際に、書き込みを行なうデータ(X, /X)の到着がほぼ同時である、あるいは最後に到着するビットが設計時にわかっている場合には、図2(b)のように、ある1ビットの書き込み完了信号を多ビットラッチ全体の書き込み完了信号とすることができる。すなわち、1ビットの書き込み完了信号を用いて全体の書き込み完了を予測することで、全ビットの書き込み完了信号の待ち合わせを行なうC素子の遅延時間分だけ高速な動作が期待できる。

あるいは、書き込みを行なうデータ(X, /X)を出力する回路(例えば組み合わせ回路)が全ビットの書き込みデータを出力することを保証するならば、同様にある1ビットの書き込み完了信号を多ビットラッチ全体の書き込み完了信号とすることができる。

3.2 組み合わせ回路の演算終了予測

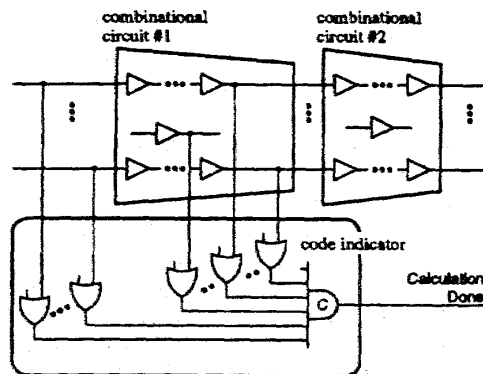


図3: 組み合わせ回路の詳細

組み合わせ回路の演算が終了したことを検出するために、組み合わせ回路の全ての出力に信号が到着したことを確認する方法は、C-latchと同様に出力のビット数が増加するに伴って、演算が終了してから完了信号が出力されるまでの遅延時間が大きくなってしまふ。

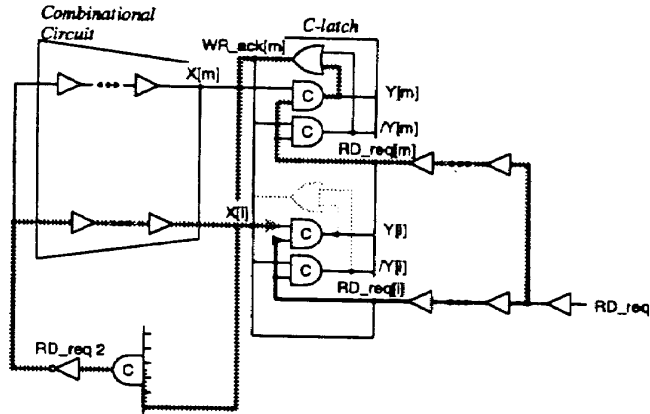


図 4: 読み出し要求信号の遅れによる競合

そこで、図 3 に示すように組み合わせ回路を二分し、後半の回路と前半の回路の演算が終了したことを検出する回路を並行に動作させることで演算の終了検出を高速化することができる。前半の回路と後半の回路の間の信号線は、全て信号の到着を確認しているため、後半の回路の遅延時間が前半の回路の終了を検出する回路の遅延時間よりも短かければ、後半の回路の全ての出力に信号が到着してしまふことができる。これにより、組み合わせ回路の出力に 3.1 で示したラッチを接続した場合でも回路が正しく動作することを保証できる。

## 4 完了信号の生成における制約

### 4.1 読み出し要求信号による制約

ラッチのビット数が増加すると、バッファが挿入されるために読み出し要求信号がラッチの各ビットに到着する時間が等時であることが保証できなくなる。また、ラッチの段数あわせのように、ビット毎に独立して動作する C-latch を縦列接続して使用する場合も、全ビットに共通な読み出し要求信号から各ビットの読み出し要求信号までの遅延時間が大きくなるので、同様に読み出し要求信号の等時性を保証できなくなる。

読み出し要求信号の等時性が保証できない時に発生する問題は、書き込み完了信号を生成しているラッチへの読み出し要求信号と比較して特定ビットへの読み出し要求信号の到着が遅れた場合に、読み出し要求信号が遅れたラッチへの書き込みが行なわれず、誤動作を起こすことである。

この時競争を起こすパスを図 4 に示す。回路が正しく動作する為には、 $i$  は転送先のラッチの任意の 1 ビット、 $m$  は転送先ラッチのうち WR\_ack を生成する 1 ビットとした時、 $RD\_req \rightarrow RD\_req[i]$  の遅延時間がパス  $RD\_req \rightarrow RD\_req[m] \rightarrow RD\_req2 \rightarrow X[m]$  の遅延時間よりも短かなくてはならない。

すなわち、ラッチの読み出し要求信号が  $0 \rightarrow 1$  ( $1 \rightarrow 0$ ) と遷移する間に、書き込み完了信号、組み合わせ回路の入力が遷移して、組み合わせ回路からの書き込みデータが  $1 \rightarrow 0$  ( $1 \rightarrow 0$ ) に遷移してはならない。比例遅延変動モデルの下で構成された回路であれば、 $RD\_req \rightarrow RD\_req[i]$  の設計時における予想遅延時間が  $RD\_req \rightarrow RD\_req[m] \rightarrow RD\_req2 \rightarrow X[m]$  の予想遅延時間の  $1/k$  以下である必要がある。

この条件を満たすようにする方法としては、(1) ビット間の並列度を下げる、あるいはバッファを挿入するなどして  $RD\_req \rightarrow RD\_req[i]$  の遅延時間を短くする (2) ビット数が多い時は、1 ビットの書き込みだけを確認するのではなく、代表的な何ビットかの書き込みを確認するといった方法が考えられる。

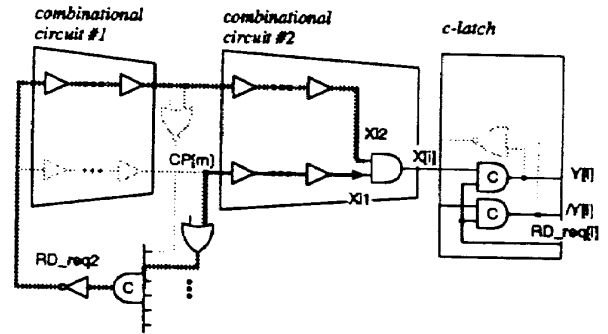


図 5: 組み合わせ回路の演算出力の遅れによる競合

### 4.2 組み合わせ回路の出力による制約

完了信号を生成する回路と組み合わせ回路が並行に動作する時間を増やすと、サイクルタイムは減少する。しかし、演算の終了を確認しない後半の組み合わせ回路の遅延の増加とビット間の遅延時間のばらつきにより、演算結果を書き込むラッチに演算結果が全ビット到着していることを保証できなくなる。この時、書き込みデータの到着が遅れると、後半の組み合わせ回路から演算結果が出力されないうちに、組み合わせ回路の完了信号、転送先ラッチの書き込み完了信号、次の演算結果が次々に出され、ラッチへの書き込みデータ数が不足して回路は誤動作する。

この時競争を起こすパスを図 5 に示す。回路が正しく動作する為には、 $CP[m] \rightarrow X11$  の遅延時間が、 $CP[m] \rightarrow RD\_req2 \rightarrow X12$  の遅延時間よりも短かなくてはならない。ただし、 $CP[m]$  は前半の組み合わせ回路と後半の組み合わせ回路の間の信号、 $X11$ ,  $X12$  は後半の組み合わせ回路中にある任意の 1 素子の入力である。

比例遅延変動モデルの下で構成された回路であれば、 $CP[m] \rightarrow X11$  の設計時における予想遅延時間が、 $CP[m] \rightarrow RD\_req2 \rightarrow X12$  の予想遅延時間の  $1/k$  以下でなくてはならない。

この条件を満たすようにする方法としては、(1) 監視する信号を変更し、後半の組み合わせ回路の割合を減らす (2) 後半の組み合わせ回路の論理を変更し後半の組み合わせ回路の遅延時間を減らすといった方法が考えられる。

## 5 まとめ

本稿では、非同期式 2 線 2 相回路で構成されたラッチと組み合わせ回路について、ラッチの書き込み完了信号の生成と組み合わせ回路の演算完了信号の生成を完了予測方式で構成する際に生じる競合パスを示した。また、競合するパスが遅延仮定を満たすように回路を変更する指針について述べた。

本研究の一部は科研費補助金基盤研究 (B)09480049、及び (株) 半導体理工学研究センターとの共同研究によるものである。

## 参考文献

- [1] 南谷崇. 非同期式プロセッサ — 超高速 VLSI システムを目指して —. 情報処理, Vol. 34, No. 1, pp. 72-80, January 1993.
- [2] Akihiro Takamura, Masashi Kuwako, Masashi Ima, Taro Fujii, Motokazu Ozawa, Izumi Fukasaku, Yoichiro Ueno, and Takashi Nanya. TITAC-2: An asynchronous 32-bit microprocessor based on scalable-delay-insensitive model. In Proc. International Conf. Computer Design (ICCD), pp. 288-294, October 1997.