

2次元トランジスタ配置構造をもつCMOSセルの

6L-6

生成における自動配線手法

山岡 裕泰 柴谷 聡 中尾 博臣 寺井 正幸 岸田 悟
三菱電機株式会社 半導体基盤技術統括部 EDA 技術部

1. はじめに

本論文では、N-(P-)ウェル領域で、P(N)型トランジスタを2次元配置する「縦積み配置方式」(図1参照)により、高密度にセルを生成するシステムの自動配線手法について述べる。本システムが対象としているセルは、従来のセル生成システムが対象としてきたASIC用セルに比べ、セルを構成するトランジスタのトランジスタサイズのばらつき(最小トランジスタサイズと最大トランジスタサイズの比)が大きいセルである。その典型的な例は、DRAM周辺回路用のセル(トランジスタサイズのばらつきは10倍以上)である。

従来の多くのセル生成システムが扱うセルのレイアウトモデルは、トランジスタの配置方式により、1次元配置方式[1]と多列配置方式[2]に分類できる。セル中のトランジスタサイズのばらつきが小さい(例えば、高々4倍程度)ASIC用のセルでは、サイズの大きなトランジスタを折り曲げることで(folding)により、1次元配置方式や多列配置方式で高密度にレイアウトできる。しかし、トランジスタサイズのばらつきが大きいセルを1次元配置方式でレイアウトすると、以下の理由により高密度にレイアウトできない。(1)セル高を小さくすると、多くのトランジスタが折曲げられ、トランジスタ列が横に長くなり、トランジスタ上の通過配線数が増大する。(2)セル高を大きくすると、サイズの小さなトランジスタの上下に空き領域が発生する。

我々は、トランジスタサイズのばらつきが大きいセルに対しては、縦積み配置方式が有効であると考えた。これを検証するために、トランジスタサイズが3~40 μm のセルを用いて、セル高を変化させた時のセル面積について、1次元配置方式と縦積み配置方式を比較した。その結果を図2に示す。図2で注目すべき点は以下のとおり。(1)セル面積最小となるセル高については、1次元配置方式の場合と比べて、縦積み配置方式ではセル高が大きいところで面積最小になる。(2)縦積み配置方式によるセルの最小面積は1次元配置方式に比べ10%以上小さい。このことより、トランジスタサイズのばらつきが10倍程度のセルについては、セル高をトランジスタがある程度縦積みできる高さとし、縦積み配置方式によりレイアウトすることが有効であると考えられる。

縦積み配置方式によるセル生成では、従来の拡散共有数最大化や配線長最小化に加え、トランジスタを縦方向に配置することによるセルの横幅最小化も同時に考える必要がある。このため、我々がここで扱うセル生成問題は、これまでにない新しい問題である。

本論文では、以下、2章で本システムが対象とするセルのレイアウトモデルを説明し、3章では本システムによるセル設計フローを述べる。4章ではトランジスタ間の自動配線手法について述べる。5章では、提案した設計フローと自動配線手法の有効性を確認する。

2. セルのレイアウトモデル

ここでは、本セル生成システムが扱うセルレイアウトモデルについて図1を用いて説明する。P(N)型トランジスタは、互いに上下に隣接する矩形のN-(P-)ウェル領域内部に、2次

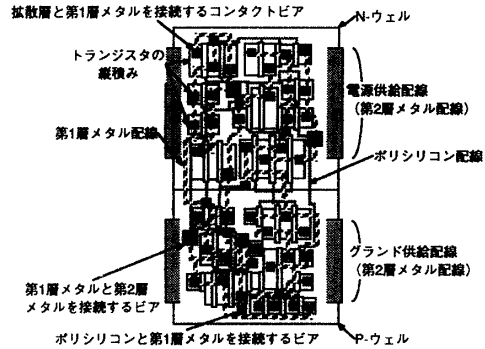


図1 トランジスタ縦積み配置方式セルレイアウトモデル

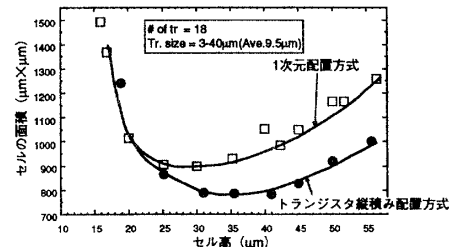


図2 一次元配置方式とトランジスタ縦積み配置方式

元配置する。これらのN-およびP-ウェル領域の高さは予め決められており、2つのウェル領域の高さの和をセル高と呼ぶ。トランジスタの向きは、ソース、ドレイン端子がゲート端子を左右に挟む向きに限定し、90度回転を許さない(鏡像反転は許す)。電源およびグランド供給配線は、第2層メタル配線で水平方向に平行に置く。配線は、N-ウェルとP-ウェル領域内部で行なう。配線には、ポリシリコン配線と第1層メタル配線を用いる。

3. セル設計フロー

まず、本セル生成システムについて説明する。本システムの入力は、トランジスタの接続情報と設計ルール、出力は、セルレイアウトである。本システムでは、トランジスタ配置と配線、およびコンパクションをシンボリックデータで行なう。また、本システムはシンボリックエディタを備える。

次に、本システムによるセル生成フローについて図3を用いて説明する。今回報告するセル生成システムでは、トランジスタ配置を人手で行なう。セルは図3に示すように初期レイアウト作成とレイアウト修正の2段階で作成する。初期レイアウト作成では、まず、セルを人手によりトランジスタグループに分割し、分割したグループが一行に並ぶように各グループの相対位置を決定する(トランジスタグループを1次元配置する)。そして、トランジスタグループを左側から順に1つつづつ選択し、グループ内のトランジスタについて人手配置と自動配線を繰り返す。このようにして全てのトランジスタグループをレイアウトした後、トランジスタグループ間の自動配線を行なう。余分な領域やスペーシングルール違反はコンパクションにより解消する。コンパクションでは、セルの横幅だけが変化する。レイアウト修正では、セル全体に対して、人手によるトランジスタの配置修正と自動配線、およびコンパクションを繰り返し実行する。

4. 自動配線手法

本システムにおける配線問題とは、コンパクション後のセルの横幅の最小化を目的として、ウェル領域上の任意の場所にある複数の同一信号の全ての端子を、異なる信号と短絡することなく接続する問題である。本自動配線では、セル面積最小化のために必要ならば、スペーシングルール違反を許して配線する。

本配線の手順は以下の通り。(i)ウェル領域内で水平および垂直方向の配線格子線を定義する。(ii)未接続である同一信号の2つの端子を選択する。(iii)コスト付きメーズ手法[3]により配線する。同一信号の端子が3つ以上ある場合は、2端子ずつ選択し配線する。(iv)全端子の配線が終了するまで、接続すべき2端子の選択と端子間配線を繰り返す。

本自動配線では、従来の配線長を最小化することとセル高の制約を満たすことに加え、縦方向の配線によるセルの横幅を最小化することを考える。すなわち、上記(iii)のコストを以下のように定義する (a、b、cは正の定数)。

(配線のコスト) = a × (配線長) + b × (セルの高さに関するコスト) + c × (セルの横幅増加に関するコスト)

セルの高さに関するコストは、まずセルの縦方向の各格子線上にある全ての格子点のうち、トランジスタや配線の占める格子使用率を計算する。配線経路探索時に、この格子使用率が1に近い縦方向格子線を横切るときに大きなコストを加えることにより、セルレイアウトの高さが与えられたセル高を超えないようにする。セルの横幅増加に関するコストについては、以下に図4を用いて説明する。

トランジスタ (あるいは拡散共有したトランジスタの塊) を囲む最小矩形を作成し、その矩形の各頂点から、セルの境界あるいは他のトランジスタ (塊) の矩形の縦の辺に突き当たるまで、直線をウェル領域内で水平方向に伸ばす。トランジスタの矩形と、このように分割してできた小領域のことを、ここでは "g-cell" と呼ぶ。次に、セルの右端、左端をそれぞれ始点、終点として、g-cell を頂点としたチャンネルグラフを作成する。Vi に相当する g-cell の右側に Vj に相当する g-cell が隣接している時、Vi から Vj への有向辺を設定する。このグラフの各頂点 Vi には、Vi に相当する g-cell がトランジスタの場合は、トランジスタの横幅、配線領域の場合は、この g-cell を通過するために必要と見積もった配線領域の横幅を設定する (これを |Vil| で表す)。グラフの始点から終点まで有向辺に従ってたどった |Vj| の和の最大値 (クリティカルパス長) は、セルの横幅の見積もり値 H である。チャンネルグラフ内のある頂点 Vi を必ず通る最大パス長を Hi とすると、H と Hi との差 (H-Hi) は、Vi に相当する g-cell についてセルの横幅を増加させるまでにどれぐらいの「余裕」があるのかを表わしている。

本システムでは、各 g-cell について「余裕」に反比例する値を計算し、g-cell の境界上にある格子点にはこの値の 1/2 を、g-cell の内部にある格子点には 0 を、それぞれコストとして設定する。配線経路探索時、このコストを加えることにより、セルの横幅増加を最小化する。

5. 実験結果

本章では、本論文で述べたセル設計フローとトランジスタ間自動配線機能を評価する。実験に用いたセルは、0.25μm ルールで製造する DRAM の周辺回路を構成するセルで、セル高は 70μm である。レイアウト期間とセル面積について、セルレイアウト設計者による人手レイアウト結果 (縦積み配置方式) と、本システムによるレイアウト結果とを比較した。

まず、レイアウト期間についての比較結果を図5に示す。本論文での自動配線による効果は以下のとおり。(1) 配線期間の短縮: セル生成においては、トランジスタ配置と配線を

何度も繰り返す。初期レイアウト作成のうち配線に必要な期間はおよそ半分である。自動配線により、その配線期間がほとんどなくなった。(2) 配線ミスを修正するための期間短縮: 人手レイアウトでは、配線ミス (異なる信号の接続や未結線) が生じる場合があり、この配線ミスを修正する期間は多いもので、レイアウト修正期間のおよそ 3/4 であった (B と F のセル)。自動配線により、その期間が必要なくなった。以上により、図5に示すようにセル設計期間を大幅に短縮することができた。

次に、セル面積についての比較結果を表1に示す。この表により、本システムによるセル面積はすべて人手によりレイアウトした場合と同等であることが分かる。

これらの結果より、本システムの自動配線機能の有効性を示すことができた。

6. まとめ

本論文では、縦積み配置方式によるセル生成システムの自動配線手法について述べた。今後は、トランジスタ自動配置機能を実現して、セルライブラリ設計に適用して評価する。

参考文献

- [1] 例えば、T. Uehara and W. M. vanCleemput, "Optimal layout of CMOS functional arrays," IEEE Trans. Comput., vol. C-30, pp. 305-312, May 1981.
- [2] 例えば、C. J. Poirier, "Excellerator: custom CMOS leaf cell layout generator," IEEE Trans. on CAD, vol. CAD-8, pp. 744-755, July 1989.
- [3] Naveed Sherwani, "Algorithm for VLSI Physical Design Automation," Chapter 7.
- [4] 柴谷、他、"2次元トランジスタ配置構造をもつ CMOS セル生成システム" pp. 221-226, July, 1997.

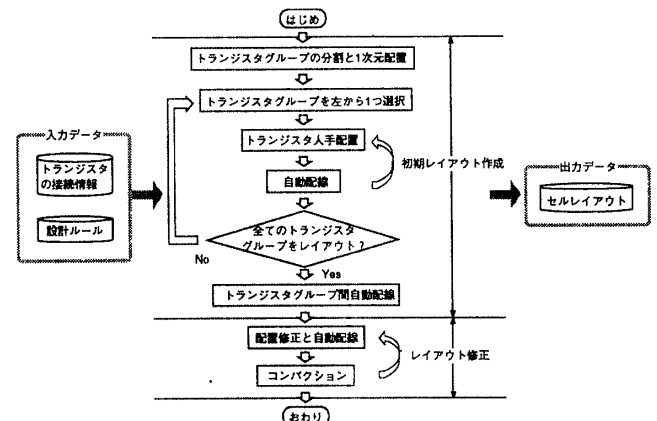


図3 本システムによるセル設計フロー

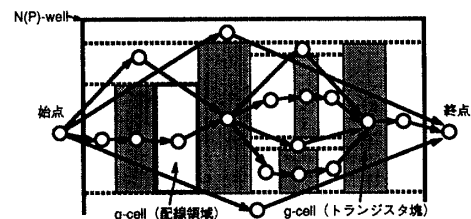


図4 チャンネルグラフ

表1 セル面積の比較

Cell	# of tr.	size of tr. min/max(μm)	Area ($\times 1000 \mu\text{m}^2$)	
			Manual	Auto
A	8	3 / 24	0.51	0.51
B	24	4 / 40	1.26	1.26
C	30	3 / 40	3.36	3.36
D	36	3 / 40	2.07	2.18
E	40	6 / 100	2.69	2.75
F	72	4 / 40	3.43	3.53

図5 レイアウト期間の比較

