

命令とデータに関するプログラム制御階層メモリシステムを持つコンピュータの設計*

3 F - 8

桐原 憲昭† 岡本 秀輔‡ 曾和 将容§

電気通信大学 大学院情報システム学研究科¶

1 はじめに

近年、プロセッサの性能は、クロック周波数の上昇、スーパースカラそしてスーパーパイプライン方式などの技術により大きく向上した。しかし、プロセッサのみが高速な処理能力を持っていても、メモリアクセスに時間がかかると、プロセッサではメモリの処理を待つという状態になる。つまり、プロセッサの性能向上だけでなく、命令やデータをプロセッサへ供給するためのメモリアクセス処理時間の短縮も重要である。

現在、メモリアクセス処理時間の短縮の方法として、キャッシュメモリシステムを利用したメモリの階層化が多く用いられている。しかし、キャッシュメモリシステム方式では、各アプリケーションプログラムの性質を考慮せず、キャッシュメモリとメインメモリ間の内容を、一定のアルゴリズムで行う。その結果、キャッシュミスが生じ、必要な命令やデータをメインメモリからキャッシュメモリに転送するまでの間、プロセッサはストールしてしまう。そこでキャッシュメモリの代わりに、アプリケーションプログラムの性質を解析して、階層メモリ間の命令及びデータの転送をプログラム制御することにより、メモリアクセスをより効率的かつ高速に行う。この方式を、プログラム制御階層メモリシステムと呼ぶ。

本稿では、メモリアクセスを効率的かつ高速に行うことができる、命令とデータに関するプログラム制御階層メモリシステムを持つコンピュータを提案する。

2 プログラム制御階層メモリシステムの基本原理

プログラム制御階層メモリシステムには、命令とデータの2つの制御対象がある。その制御対象に対して、アプリケーションプログラムの性質を解析することにより得られる専用プログラムを用いて、以下のような方針で命令・データメモリの内容を制御する。

1. プロセッサが近い将来に必要な命令・データを、必要な分だけ事前に上位階層のメモリに配置する。
2. 上位階層メモリに配置後、頻繁に使用される命令・データは、そのメモリ容量の制限が許す限り、上書きせずに維持する。

具体的には、アプリケーションプログラムの性質と上位階層メモリの容量を考慮して、上の2つの方針に従った命令・データの置き換えを、専用プログラムにより行う。また、この専用プログラムは、アプリケーションプログラムと並列に実行するため、命令を付加したことによる実行時間の増加は隠蔽される。

これらの制御により、上位メモリに必要な命令・データだけを事前に上位メモリへ配置できるようになり、容量に制限のある上位の高速メモリを有効に使用することで、メモリアクセス処理時間の短縮が可能となる。

3 プログラム制御階層メモリシステムを持つコンピュータ

3.1 コンピュータの全体構成

命令とデータに関するプログラム制御階層メモリシステムを持つコンピュータの全体構成を図1に示す。

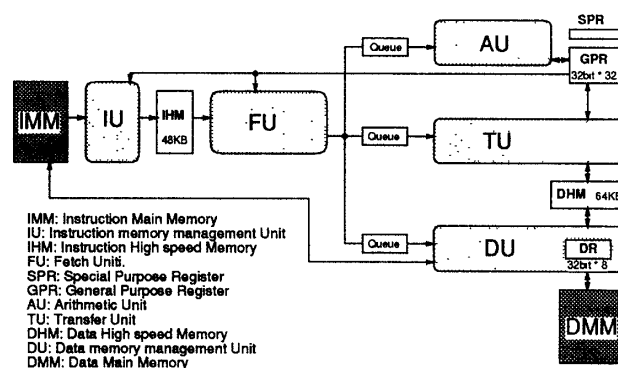


図1: 設計するコンピュータの全体構成

*A Design of Computer with Program Controlled Hierarchical Memory System for Instruction and Data

†Noriaki KIRIHARA

‡Shusuke OKAMOTO

§Masahiro SOWA

¶The Graduate School of Information Systems, University of Electro-Communications

今回、プログラム制御階層メモリシステムを適用するプロセッサは、プロセッサを複数の異なる処理ユニットに分割し、各処理ユニットに独立した命令流を供給することで、各ユニットが並列に動作することのできる命令レベル並列プロセッサである。ここでは、アプリケーションプログラムにおける命令を、演算 (AU)、データ転送 (TU)、分岐関連 (FU) の3つに分類して、それぞれを専用の処理ユニットで実行する。

図1の命令の階層メモリシステム部は、図2のように Queue—IHM—IHM の3階層から構成される。Queue—IHM間の制御ユニットとしてFU、IHM—IHM間には、IUが階層命令メモリ間の命令の転送を制御する。

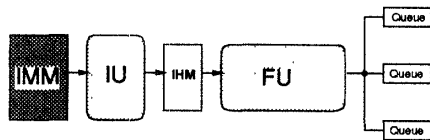


図 2: 命令に関する階層メモリシステム

次に、図1のデータの階層メモリシステム部は、図3のように GPR—DHM—DMM の3階層から構成される。GPR—DHM間の制御ユニットとしてTU、DHM—DMM間には、DUが階層データ間のデータの転送を制御する。

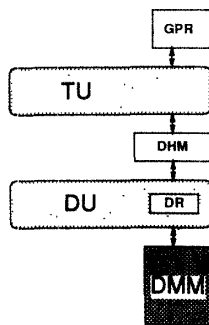


図 3: データに関する階層メモリシステム

3.2 プログラム実行

このコンピュータにおいて用いられるプログラムは、図4左側のような形を基本単位として、IMMに格納される。これは、IU、FU、AU、TU、DUの各ユニット用の基本ブロックが結合されたプログラム群である。

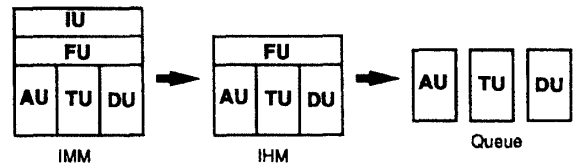


図 4: プログラム実行過程における命令ブロックの変化

プログラムの実行は、まずIUがIMMから自命令 (IU命令) が先頭になっているブロックを取り出す。そして、自命令を取り除いたブロックをIHMに置く。IUによりIHMに命令列が置かれた後、FUがIHMから自命令 (FU命令) が先頭になっている命令列のブロックを取り出す。そして、FU命令を取り除いたブロックをAU、TU、DUの命令を、命令キュー (Queue) に分割して格納する。命令キューに格納された命令は、処理ユニットであるAU、TU、DUによって各々実行される。以上の過程により、アプリケーションプログラムが実行される。

4 おわりに

本稿では、命令とデータに関する階層メモリシステムを、プログラムで制御することにより、メモリアクセスをより効率的かつ高速に行う方法を提案した。

今後、提案した命令とデータに関するプログラム制御階層メモリシステムを持つコンピュータを、ハードウェア記述言語を用いてRTLレベルで設計して、そのシミュレーションによる性能評価を順次行っていく予定である。

参考文献

- [1] 牧 晋広, 岡本 秀輔, 曾和 将容: ユーザプログラム制御階層メモリシステム, 情報処理学会論文誌, Vol.37, No.10, pp.1512-1526(1996).
- [2] 小林 勇志: ソフトウェア制御階層命令システム, 電気通信大学 大学院情報システム学研究科 修士論文 (1996).