

CMOS ゲートアレイ用マクロセル自動レイアウトシステムの 適用結果と機能改善

3H-1

小谷 健 中尾 博臣 寺井 正幸

三菱電機株式会社 半導体基盤技術統括部 EDA 技術部

1. はじめに

我々は高密度ゲート分離方式[1]のCMOSゲートアレイ(以下GA)用マクロセル自動レイアウトシステムMCgenを開発し、1,000セル以上のレイアウト設計に適用してきた。MCgenで自動生成したレイアウトの「品質」は、平均的には人手設計より良い結果を得ている。しかしマクロセルはLSIのレイアウトにおいて繰り返し使用されるため、実際には設計者は改善の余地のある生成結果を人手修正しており、この作業はマクロセルレイアウト設計期間の8割以上にもなっている。

マクロセルレイアウトに対する要求品質は多様で、自動生成でその全てを同時に取り扱うことが困難である。また、自動アルゴリズムは発見的手法を用いているので、考慮する品質についても常に最適解を得られるわけではない。従って自動生成結果に対する人手修正を完全に無くすることは困難である。そこで、修正作業そのものを効率化するため、これまでの適用結果における修正内容を分析して、本システム専用の、分離トランジスタ挿入やトランジスタ並べ換えの機能を備えた対話編集プログラムを開発した。

以下では、高密度ゲート分離方式のマクロセルレイアウト設計問題と自動生成アルゴリズムの実現方法を説明し、適用結果と開発した対話編集機能の概要を述べる。

2. 高密度ゲート分離方式のマクロセルレイアウト問題

図1に高密度ゲート分離方式のマクロセルレイアウトの例を示す。P型、N型のトランジスタのチャンネル幅はそれぞれ一定で、それぞれ横一列に等間隔で並べられている。横に隣り合う2つのトランジスタは、これらの間の拡散領域を共有する。横に隣り合うトランジスタを電気的に分離するには、これらの間に、ゲートを電源またはグランドに接続した常にOFF状態のトランジスタ(分離トランジスタと呼ぶ)を設ける。配線は、あらかじめ設けられた水平及び垂直方向の配線トラック上のみ置くことができる。

マクロセルレイアウト問題：回路図(トランジスタレベルのネットリスト)が与えられたとき、下の要求を満たすように回路図中のトランジスタを配置し、トランジスタを囲む矩形領域(セル領域)の内部で2層のアルミ配線(以下第1、2層アルミを各々A11、A12と記す)を用いて結線する。求められる要求は以下の通り。

- (1)分離トランジスタを減らし、セル面積を小さくする。
- (2)A12配線を減らし、フィードスルー(以下FTと記す)として使用可能な垂直配線トラック(この数をFT数と呼ぶ)を下で述べる基準値以上なるべく多く確保する。
- (3)A11配線を削減し、セル間配線(チップレベル配線時にセル間を接続するための配線)を通すための空き領域をセル内なるべく多く確保する。
- (4)端子(セルに対する信号の出入口となるアルミ及びゲ-

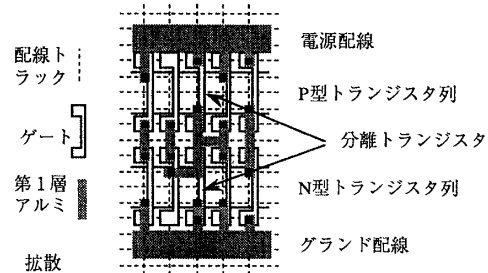


図1 高密度ゲート分離方式のマクロセルレイアウト例

トのパターン)とセル間配線との接続時の障害物を減らし、端子とセル間配線との接続経路を最低1通り以上、なるべく多く確保する。

- (5) nビットセル(4ビットラッチ回路など1ビット分の回路n個で構成されるセル)の各1ビット分の回路のレイアウトにおける寄生成分をなるべく同じにしてビット間での特性値のばらつきを抑える。

これらの尺度の優先順位は通常(1)~(4)についてはこの順序で低くなるが、設計者の定めるある基準値 α に対して、セル幅に対するFT数の割合が α 未満のとき(2)を最優先する。なお、(5)に該当するセルでは(5)が最も優先される。

3. MCgen 自動生成アルゴリズムの実現方法

本システムの自動レイアウト生成はトランジスタ配置とトランジスタ間配線とで構成する。ここでは、それぞれの処理での各要求の取り扱いについて説明する。

(1)トランジスタ配置

階層的手法[2]を用いて、回路図から分離トランジスタを含めたトランジスタの配置を求める。セル内での配線完遂のためには各垂直配線トラックにおける水平方向接続要求のカット数(混雑度と呼ぶ)をなるべく小さくするのが良い。またセル面積は分離トランジスタ数が少ない程小さくなる。要求(2)、(3)、(4)に関して、配線の実行前の段階でA12配線の位置や、セル内の空き領域、端子の場所を予測することは困難である。従って要求の満足度を測る尺度として混雑度と予測総配線長を用いる。以上を同時に考慮するため、配線混雑度と分離トランジスタ数、予測総配線長をそれぞれ重み付けした線形和コストを用いて、これを最小にするような配置を求める。なお人手設計ではA12配線削減等の目的で、回路構成上は不必要な冗長な分離トランジスタを挿入し、この上を配線領域として用いることがある(図2に例を示す)が、挿入すべき位置の決定が困難なため、冗長分離トランジスタ自動挿入は行わない。

なお、要求(5)に該当するセルについては、各1ビット分の回路の配置結果が等しくなるようにする。

(2)トランジスタ間配線

(1)で求めた配置結果を入力とし、押し退け機能付きメーゾ線手法[4]を用いて配線結果を求める。各ネットの経路探

索のコストとしてA11,A12配線の配線長をそれぞれ重み付けした線形和を用いる。一旦全ネットの配線を完遂(初期配線)した後、A12配線を引き剥がしてA11配線での再配線を試みる反復改善を行う。ここで、要求(2)の基準値を満足しない場合に優先して引き剥がすべきA12配線を見つけることは困難であり、全てのA12配線を順に処理する。端子については少なくとも1通りのセル外配線との接続経路を確保するため、端子のパターンが存在する垂直トラックのうち少なくとも1トラックには、他のネットのA12パターンを置かない。反復改善後にセル外からの接続可能性を調べて、接続可能なゲートやアルミ配線を端子に加える。なお、要求(5)については、アルミ配線の寄生成分は拡散のそれに対して十分小さいと考えられるため配線処理では特に考慮しない。

4. 適用結果

本システムでは過去3年間に当社0.5μmと0.35μmの8種類のCMOS GAのライブラリ(合計1,000セル以上)用のセルを生成してきた。このうち、熟練設計者による人手設計と自動生成の両方で設計されたレイアウトが存在する0.5μm CMOS GA用ライブラリのセル(2~200トランジスタ程度)の品質を比較した結果を図3に示す。図中、(a)は使用水平配線トラック数の比較で要求(3)に、(b)は分離トランジスタ数の比較で要求(1)にそれぞれ対応する。(c)はA12配線数についての比較で、要求(2)に対応しており、A12配線数が少ないほどFT数が多い。いずれの尺度においても平均的には自動生成結果の品質は人手と同等かやや良いと言える。しかし、実際には各ライブラリの1~3割のセルが、0.2~1.5ヶ月かけて修正(修正後のレイアウト検証を含む)されている。自動生成に要したCPU時間は、例えば108トランジスタからなるセルの場合で、約30分(Sun SS20使用)であった。また、表1に図3で示したのとは別の0.5μm CMOS GA用ライブラリ238セル(全て自動生成)中、62セルを修正した際の修正の種類と目的を示す。本ライブラリ全体のレイアウト自動生成に要した期間は2日(同SS20使用)であり、修正には1ヶ月を要した。

5. 対話編集機能の開発

マクロセルレイアウトは常に人手設計と同等以上の品質を要求されるのに対し、自動生成アルゴリズムは多様な要求の全てを同時に考慮できないこと、発見的手法では常に最適解が得られるわけではないことから、自動生成結果に対する修正は今後も無くならないと考えられる。

そこで我々は、修正作業量削減のための本システムの機能改善として、本システム専用の対話編集プログラムを開発して本システムに組み込むことにした。本プログラムは特徴として以下の機能を備える。

- ① 冗長分離トランジスタの挿入・削除
挿入位置を指定して冗長分離トランジスタを挿入する。反対に冗長分離トランジスタを指定してこれを削除することもできる。
- ② 分離トランジスタ自動挿入・削除機能付きのトランジスタ並べ換え
トランジスタの反転(ソース、ドレインの入れ替え)と移動を行う。これらの操作によって分離トランジスタが必要(不要)となる場合には、自動的に分離トランジスタを挿入(削除)する機能を備える。

以上の操作を行って、トランジスタ配置を変更した後は、本システムの自動配線によりレイアウトを完成する。

また、開発した対話編集プログラムは、上記機能のほか

に配線トラック上のみ配線を配置・削除する配線編集の機能も備える。さらに、配線編集時に逐次的にデザインルールと接続性を検査する機能も備えるが、詳細は割愛する。図4に開発した対話編集プログラムの編集画面を示す。

6. まとめ

MCgenの適用結果を示し、機能改善としての開発した専用の対話編集機能の概要を述べた。

参考文献

- [1] I.Ohkura, et.al.: Gate isolation - a novel basic cell configuration for CMOS gate arrays, Proc. 1982 CICC, pp.307-310, 1982.
- [2] T.Sadakane, et.al.: A New Hierarchical Algorithm for Transistor Placement in CMOS Macro Cell Design, Proc. 1995 CICC, pp.461-464, 1995.
- [3] 林、他: 既配線の押し退け可能性を考慮したゼネラルエリア配線手法, 情報研報 DA76-4, 1995.
- [4] R.Okuda, et.al.: An Efficient Routing Algorithm for CMOS SOG Cell Generation on a Dense Gate-Isolated Layout Style, 29th DAC pp.676-681, 1992.

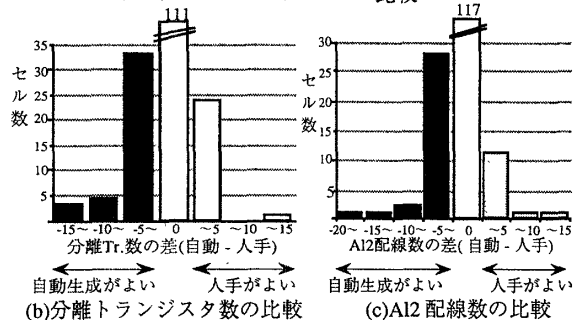
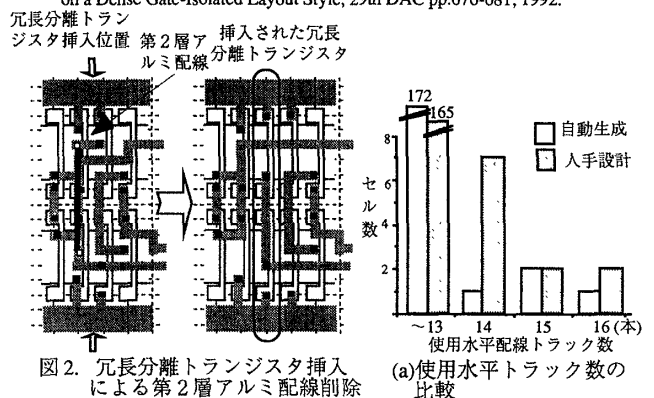


表1. 0.5μm CMOS GA用ライブラリ238セルの修正内容

修正の種類	作業量	主な修正の目的	セル数
トランジスタ並べ換え	大	セル幅削減、A12、A11配線削減	46
冗長分離トランジスタ挿入	中	A12配線削減	3
配線編集のみ	小~中	A12配線削減、迂回配線除去、端子接続経路増加	13
人手修正されたセルの合計			62

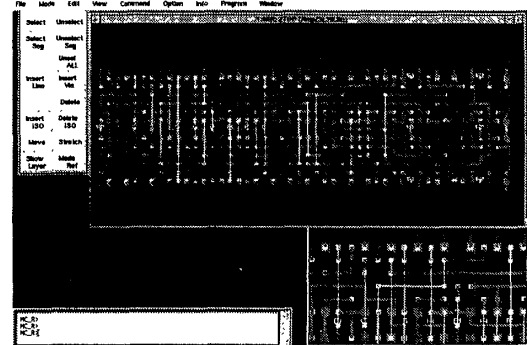


図4. 開発した対話編集機能プログラムの編集画面