

タイミングエラー解決ポイント決定手法

2H-7

阿部泰典 備前直美 杉山広行

富士通(株)

はじめに

スタティックタイミングアナライザ (STA) は、大規模 VLSI の設計には欠かせないツールとなっている。また、CMOS プロセスの微細化の進展に伴い、タイミング解析においては信号伝搬における波形鈍りの影響・配線遅延の影響の考慮が必要になってきた。

われわれは、 $0.35 \mu\text{m}$ 以下のプロセス向けに、波形鈍りの伝搬を考慮した STA を開発している。配線などの容量負荷による波形鈍りの伝搬を考慮すると、ゲートに到るまでのパスによってゲートのディレイが変化するため、従来 STA で一般に用いられてきた slack は使用できない。

本稿では、slack に替わる手段として、今回新たに考案したクリティカルパス検出・評価アルゴリズムについて説明する。

ディレイモデル

Fig.1 に、本システムでのディレイ計算の概略図を示す。

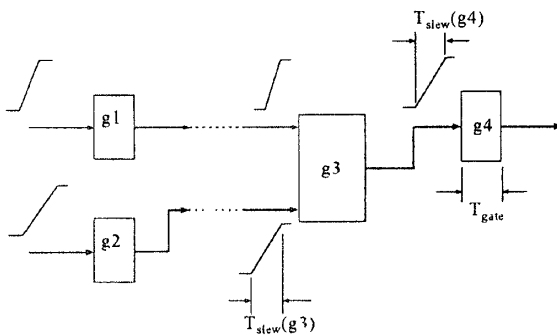


Fig.1 - Slope transmitting in Delay Model

“A method to decide points to fix timing errors”

Yasunori ABE, Naomi BIZEN, Hiroyuki SUGIYAMA
FUJITSU Ltd.

本システムのディレイモデルでは、ゲートのディレイ T_{gate} は、入力波形鈍りにある値を仮定したときのゲートの基本ディレイ T_0 を、パストレース時に決定される入力波形鈍りによる遅延時間 T_{slew} によって補正することで得られる。このため、高速で高精度な遅延計算が可能であるが、反面、同一ゲートの同一パスであっても、その T_{gate} はそこに到るまでの信号パスによって異なるので、slack を求めることはできない。

問題点

CMOS VLSI の設計規模の拡大に伴って、対象とするパスは増加しており、検出されるエラーパスも増大する。エラーパスが多数検出されたとき、どこを修正するともっとも効率よくエラーパスを減らせるかを提示する機能が求められている。一般的に slack はこのような目的に合致したものであるが、前述のように、本システムのディレイモデルに関しては使用できない。

システム概要

このシステムでは、各ゲートのピン毎に FF のデータ入力や FF のクロック入力などの属性をもっており、パストレースは、その属性によってパス終端点を認識する。パストレースは、パストレース開始点(FF のクロック入力)から波形鈍りを伝搬させながら遅延時間の解析をおこない、信号の合流点で、より悪いほうの到達時間を採用しつつ、複数の終端ピン(FF のデータ入力など)に到達する。到達したピンから、開始点のピンまでをバックトレースすると、そのピン間の worst 経路と到達時間が求まる。到達時間が到達ピンで定義された期待される到達時間範囲に入らないパスは、エラーパスとしてリストアップされる。以上の操作は、LSI 上の全ての FF のクロック入力ピンをパストレース

開始点として繰り返され、全パスが網羅的にチェックされる。

アルゴリズム

全ピンデータに対してエラーパスへの影響度が準備され、0に初期化される。エラーパスとして検出されたパスに含まれる各ピンのエラーパスへの影響度に対して一律に、エラー量 T_{over} の関数 $f(T_{over})$ で求められる評価値を加算する。 $f()$ には、以下のような一次関数を使用している。

$$f(T_{over}) = \alpha \cdot T_{over} + C$$

α を 0 とすれば、エラーパスへの影響度は単にエラーパスの通過回数となる。 α を正にすれば、エラーパスへの影響度にはエラー量による重みづけがなされる。チェック後、各ピンをエラーパスへの影響度でソートすることにより、エラーパス修正の目安とする。

Slack との比較

従来、STA で用いられてきた slack 値と、今回提案したエラーパスへの影響度の比較を行ってみる。我々のディレイモデルでは、slack の計算はできないので、[2]の slack 説明に用いられている図を Fig.2 に引用する。

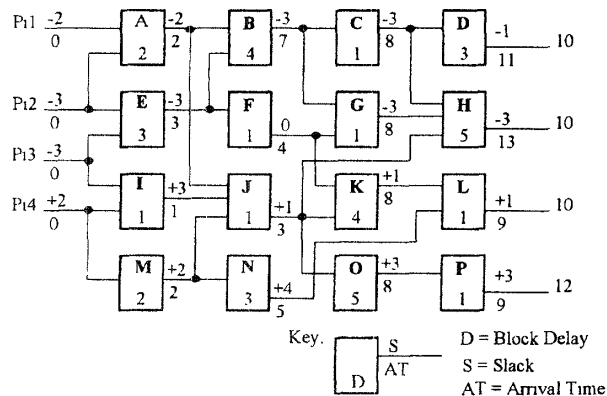


Fig.2 Basic Diagram with Delays, Arrival Times and Slacks

Fig.2 では、負の slack(-3)の部分修正の対象

となる。B のゲートを遅延の小さいものに変更すれば負の slack は一掃されるが、slack が-3となるブロックは複数存在しており、ブロックが多数存在する場合には、支配的なブロックを選択するのは容易ではない。

次に、同様の回路に対して、今回我々が提案した、エラーパスへの影響度を計算した例を Fig.3 に示す。ここでは、 $\alpha=1, C=1$ としている。

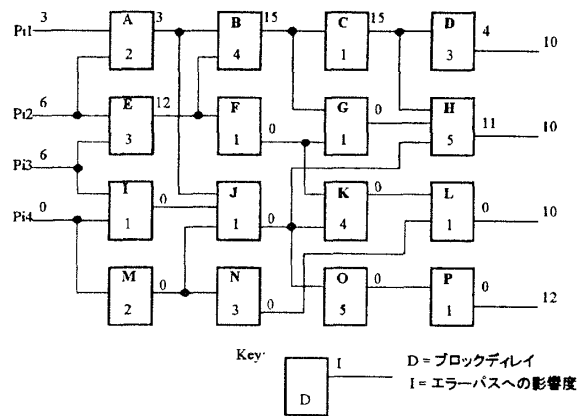


Fig.3 エラーパスへの影響度.

ゲート B および C に対して、最大値が得られている。修正効果のもっとも大きいゲート B を含む範囲が限定できる。

おわりに

STA における slack に代わるディレイクリティカルポイントの検出方法を考案した。今後、実際の設計に適用し、効果を検証する。

参考文献

[1]伊藤 他, "ChipPRISM:Clock Routing and Timing Analysis for High-Performance CMOS VLSI Chips" FUJITSU Sci. Tech. J., 31, 2, (pp.180-187), 1995
 [2]R.B.Hitchcock, "Timing Verification and the Timing Analysis Program" Proc. of 19th Design Automation Conference ,(pp.594-604),1982.