非同期式パイプラインの動作解析

1G−4　小沢基一　高村明裕　上野洋一郎　南谷 崇†
東京工業大学 情報理工学研究科　†東京大学 先端科学技術研究センター

1 はじめに

デバイス技術の発達により、非常に高速な素子が実用化されつつある。このような素子を用いて論理回路を設計する場合、配線遅延が相対的に増加するため、従来の同期式ではクロック分配が困難になると予測されている。そこで、クロック分配が必要ない非同期式論理回路が注目されている。非同期式論理回路は全体を同期させるクロックを用いずにデータの因果関係のみを用いた自律的な動作を行うため、素子の高速性を活かした回路構成が可能となる。本稿では、このような非同期式論理回路でパイプラインを実現したときにステージの処理速度変動が性能に与える影響とその影響を出来るだけ少なくするパイプライン構成について述べる。

2 FIFO をラッチとしたパイプライン

非同期式プロセッサ TITAC-2 [1] で採用しているような 2 線 2 相式のデータ表現 [2] に対する非同期式パイプラインを容易に構成する手法として C ラッチを用いる方式 [3] が提案されている。C ラッチとは図 1 中の点線で囲まれた回路で、次のような入力側と出力側の同期動作を行う。

- req が 1(0) の時に入力が有効符号語 (無効符号語) なら、その入力が記憶される。
- 入力が記憶されると ack が遷移する。

この C ラッチを図 1 のように n 段直列に接続すると、有効符号語と無効符号語を合わせて n 個記憶できる FIFO が構成できる。TITAC-2 ではこの FIFO をラッチとした非同期式パイプラインを採用している。

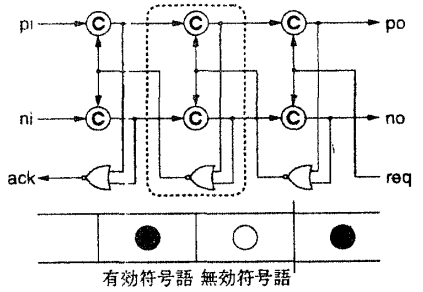


図 1: C ラッチ 3 段構成の FIFO

3 回路の速度変動による影響

3.1 FIFO 段数と性能の関係

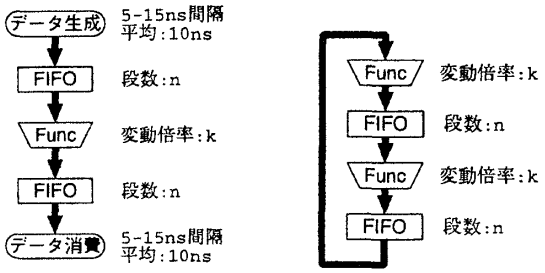
非同期式論理回路では、回路の遅延が入力データや内部状態により変化することがある。特に、回路が 2 相式の場合は稼働相での遅延と休止相での遅延が大きく異なることがある。このような遅延変動を持つ回路を 2 節の FIFO を用いてパイプライン化する時、FIFO 段数が無限大かつ FIFO 自体の遅延が 0 という条件が満たされないと以下のような原因による性能低下が起こり得る。

- FIFO が一杯で書き込めないためのパイプライン停止
- FIFO が空で読み出せないためのパイプライン停止

この時 FIFO 段数を増やすとパイプライン停止による性能低下が起こりにくくなる。しかし、FIFO 自体の遅延が FIFO 内のデータ移動距離に比例するため、FIFO 段数が増えると最大遅延が大きくなる。その結果 FIFO 自体の遅延増加による性能低下が起こり得る。そこで、

- 長い遅延 DL と短い遅延 DS をそれぞれ 50% の確率でとる。
- 遅延時間 DL は遅延時間 DS の k 倍である。この k を変動倍率と呼ぶ。
- k によらず回路の平均遅延 $0.5DL + 0.5DS$ が $10ns$ と一定である。

という遅延特性をもった回路 Func と TITAC-2 で実際に使用した FIFO を用いて、遅延変動による性能低下と FIFO 段数間の関係を図 2 (i), (ii) のような簡単なデータパスについて調べた。その結果をそれぞれ表 1, 2 に示す。



(i) 直線構造　(ii) ループ構造

図 2: シミュレーションしたデータパス

表 1: 直線構造のサイクルタイム (ns)

段数	速度変動倍率 k				
n	1	3	5	7	9
3	11.26	11.78	12.04	12.30	12.44
4	11.26	11.57	11.82	12.01	12.09
5	11.25	11.44	11.64	11.79	11.84

表 2: ループ構造のサイクルタイム (ns)

段数	速度変動倍率 k				
n	1	3	5	7	9
3	11.20	12.16	12.63	13.01	13.20
4	11.24	11.29	12.07	12.90	13.07
5	11.24	11.72	12.55	12.94	13.12

どちらの場合も FIFO 段数に関係なく遅延変動が大きくなるほど性能が低下する。また、回路の遅延変動が少ないと FIFO 段数によらず性能が一定となる。したがって、遅延変動が少ない回路を用いる時は FIFO 段数をデッドロックしない範囲で減らすことが出来る。なお、デッドロックしないための FIFO 段数は初期化時の有効符号語と無効符号語が 1 個づつ書き込まれた状態で 1 個以上の空きが必要なことより 3 段以上となる。

Behavior Analysis of Asynchronous Pipelines
Motokazu Ozawa, Akihiro Takamura, Yoichiro Ueno
Tokyo Institute of Technology, Graduate School of Information Science and Engineering
Takashi Nanya
University of Tokyo, Research Center for Advanced Science and Technology

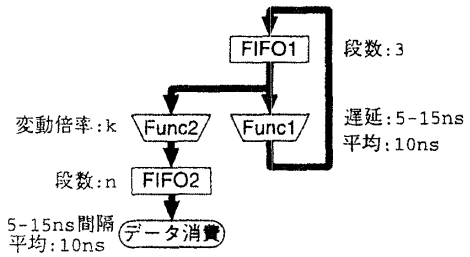


図 3: 依存関係の削減前

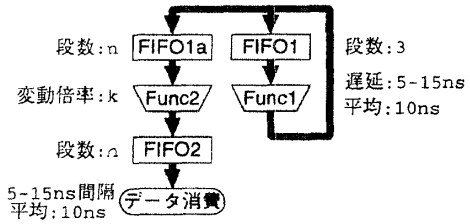


図 4: 依存関係の削減後

直線構造の場合に FIFO 段数を追加すると性能低下を抑えられる。この結果は、パイプライン内に存在するデータ数の上限がないため、FIFO 自体の遅延増加がそれほど性能に影響しないことによる。なお、実際のシステムでは直線構造はほとんど存在しないが 3.2 節で述べる依存性の削減の結果、パイプライン構造の一部が直線構造と見なせることがある。

一方、ループ構造の場合には FIFO 段数を追加しても性能低下を抑えられるとは限らない。これはパイプライン内に存在するデータ数が決まっている (図 2 (ii) の場合、有効符号語 2 無効符号語 2 の計 4 個) ため、必要以上に FIFO 段数が多いと FIFO 自体の遅延の増加が FIFO 段数増加による速度向上を打ち消してしまうことを示している。

3.2 データ依存関係による性能への影響

図 3 のようなデータパスを考える。この構成では Func1, Func2 の終了と FIFO1, FIFO2 の書き込み終了を待ち合わせて FIFO1 からデータを読み出す必要がある。一方、これと同様な機能を持つ図 4 では Func1 の終了と FIFO1, FIFO1a の書き込み終了を待ち合わせて FIFO1 からデータを読み出す。この結果、FIFO1 の読み出しに対する依存関係から遅延変動の大きい Func2 が削除される。そのため、Func2 の遅延変動による性能低下を抑えられると考えられる。この効果を測定した結果を表 3, 4 に示す。

表 3: 依存関係の削減前のサイクルタイム (ns)

段数	速度変動倍率 k				
n	1	3	5	7	9
3	12.88	14.11	14.84	15.34	15.60
4	12.90	14.14	14.87	15.38	15.63
5	12.90	14.14	14.88	15.39	15.64

表 4: 依存関係の削減後のサイクルタイム (ns)

段数	速度変動倍率 k				
n	1	3	5	7	9
3	11.68	12.08	12.32	12.55	12.67
4	11.67	11.94	12.18	12.28	12.39
5	11.66	11.83	12.02	12.08	12.18

この結果を見ると変動倍率によらず依存関係の削減後の方の性能が高い。遅延変動がない場合でも依存関係の削減の効果があるのは Func1 の遅延が一定でないためである。

依存関係の削減前の結果では、FIFO 段数が性能に関係じないことが分かる。これは Func1 と Func2 を結合するとこの回路がループに見えるため 3.1 節でのループ構造の場合と同様、FIFO 自体の遅延の増加が段数増加による性能向上を打ち消すためである。

一方、依存関係の削減後の結果では、直線構造とほぼ同様な傾向を示している。これは Func2 とその前後の FIFO が Func1 から 5 ～ 15ns(平均 10ns) 間隔でデータを投入される直線構造と見なせるためである。

4 TITAC-2 への応用

TITAC-2 では休止相の遅延を短縮する回路構成を行っているため稼働相と休止相の実行時間が異なる。そのため FIFO 段数の増加や依存関係の削減が効果的であると考えられる。そこで TITAC-2 に対する FIFO 段数の増加と、特に遅延変動の大きな命令キャッシュを含む IF ステージで依存関係の削減を行った。その効果を dhrystone ベンチマークで測定した結果を表 5 に示す。

表 5: TITAC-2(レイアウト前) の性能 (VAX MIPS)

FIFO 段数	ループを考慮した段数設定	依存関係の軽減	
		なし	あり
3	なし	56.11	57.47
4	なし	60.06	62.27
5	なし	59.90	62.41
4	あり	60.02	62.31

この結果では依存関係の削減が FIFO 段数によらず効果的である。これは依存関係の削減を行った IF ステージに遅延変動の大きい回路が含まれているからと考えられる。また、回路量を考えると TITAC-2 で FIFO 段数を 4 以上にするのは適切でないことが分かる。これは TITAC-2 がループ構造を多数含んでおり、FIFO 段数増加の効果が FIFO 自体の遅延の増加で抑えられやすいためと考えられる。

5 まとめ

本稿では、FIFO を用いた非同期式パイプラインの性能がステージの速度変動により低下することを示した。また、その性能低下を FIFO 段数の増加と依存関係の削減により抑えられることを述べた。今後は、より詳細な解析手法と回路の遅延変動を考慮した最適パイプライン設計について検討する予定である。

なお、本研究の一部は、新エネルギー・産業技術総合開発機構 (NEDO) 提案公募型・最先端分野研究開発事業受託研究 C-026、並びに科学研究費補助金 (試験研究 B) 07558036 によって行われたものである。

参考文献

[1] 高村明裕, 桑子雅史, 南谷崇. 非同期式プロセッサ TITAC-2 の論理設計における高速化手法. 信学論 (D-I), Vol. J80-D-I, No. 3, March 1997. (掲載予定).

[2] 南谷崇. 非同期式プロセッサ — 超高速 VLSI システムを目指して —. 情報処理, Vol. 34, No. 1, pp. 72–80, January 1993.

[3] J.Sparsø, J.Staunstrup, and M.Dantzer-Sørensen. Design of delay insensitive circuits using multi-ring structures. In *Proc. European Design Automation Conference (EURO-DAC)*, pp. 15–20, Hamburg, Germany, September 1992. IEEE Computer Society Press.