

5L-1

分散共有メモリでの キャッシュ・コヒーレンシ制御方式

島山 哲夫 林 宏雄 小室 浩 山上 宣彦 岩佐 繁明
株式会社 東芝 情報・通信システム技術研究所

1 はじめに

中規模のマルチプロセッサとして、スヌープキャッシュを備えるマイクロプロセッサを用いたバス結合共有メモリアーキテクチャによるシステムが提案/実用化されている。しかし最近のマイクロプロセッサの高性能化からバスに要求される処理能力の増加、また動作の高速化による実装上の問題から単一のバスに接続できるプロセッサ数の制限が厳しくなっている。これらの問題に対処する方法として分散共有メモリアーキテクチャを応用する [1][2] ことが考えられる。今回我々は、バス結合による分散共有メモリアーキテクチャのシステムにおいて、スヌープキャッシュ/メモリのコヒーレンシ制御を行う方式について提案する。

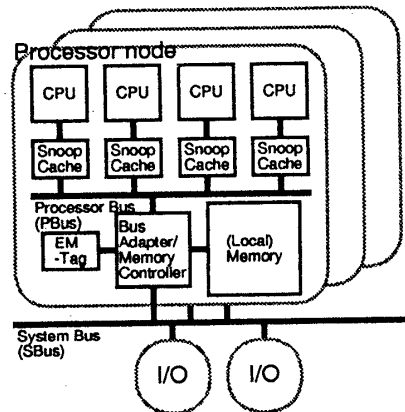


図 1: バス結合 分散共有メモリアーキテクチャ

2 バス結合 分散共有メモリアーキテクチャ

現在我々が検討を行っているバス結合分散共有メモリアーキテクチャによるシステムの構成を図1に示す。スヌープキャッシュを備えた各プロセッサはノード内のプロセッサバス (PBus) に接続され、各ノードはバスアダプタ/メモリコントローラ (BM) を介してシステムバス (SBus) に接続される。各ノードの BM にはまたメインメモリが接続され、PBus/SBus のどちらからも同じレイテンシでアクセスできる。PBus/SBus はスプリット・トランザクションプロトコルをサポートし、BM は各バスから連続して複数のオペレーションを受け付けパイプライン方式で処理する。例として、PBus から SBus へ発行されるオペレーションを処理する場合でも SBus 処理の完了を待たずに PBus から次のオペレーションを受け付けることができる。

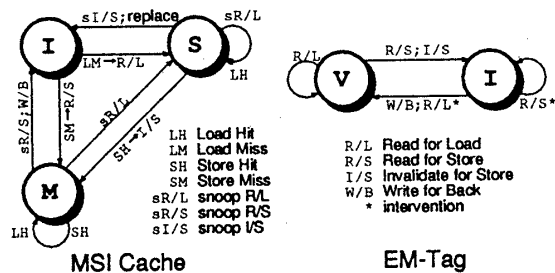


図 2: スヌープキャッシュ / EM-Tag 状態遷移図

このような階層バス構成の分散共有メモリアーキテクチャでは、単一のバスに全てのプロセッサを接続した場合に起きるバスの飽和、バス信号の分岐および負荷容量の増加等による電気的な問題を解決し、拡張性のあるシステムが可能となる。

スヌープキャッシュとして、図2に示す MSI (M: 変更 / S: 共有 / I: 無効) の3状態をとるライトバック型のキャッシュ/メモリ・コヒーレンシ制御を用いる。またノード内PBusのスヌープ処理だけで全プロセッサ間のコヒーレンシを制御できるように、BMはEM-Tagと名付けたタグによるコヒーレンシ制御機構を備える。EM-Tagは次のような機能をもつ。

- メモリのキャッシュライン単位毎に1ビットずつ

A Cache-Coherence Control Mechanism for A Distributed Shared-Memory System
Tetsuo HATAKEYAMA, Hiroo HAYASHI,
Hiroshi KOMURO, Nobuhiko YAMAGAMI,
Shigeaki IWASA
Information and Communication Systems Laboratory,
Toshiba Corporation

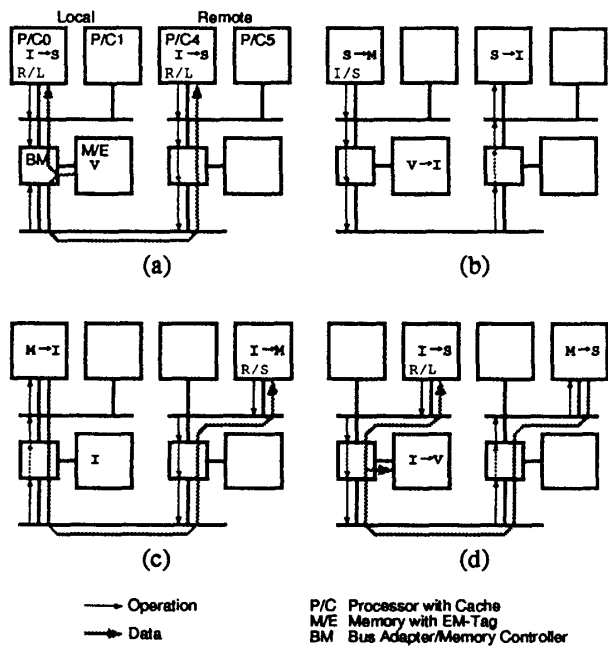


図 3: EM-Tag によるキャッシュ・コヒーレンシ制御

設けられ、各ラインについて図 2 に示す V (有効) または I (無効) の 2 状態を記憶する。

- 対応するキャッシュラインのデータについて、システム中にそのキャッシュラインを M の状態で保持するキャッシュが存在すれば I、そうでなければ V の状態をもつ。

3 キャッシュ・コヒーレンシ制御動作

EM-Tag によるコヒーレンシ制御のための動作の概要を説明する。BM は PBus/SBus から受け付けたオペレーションについて図 2 に示す EM-Tag の値に基づき次の動作を行う。

- EM-Tag の初期値は V。
- リード (R/L; R/S: Read for Load; Store) について、対応する EM-Tag が V の時、メモリのデータを出力する (図 3(a))。EM-Tag が I の時、または他の BM に接続されたメモリへのオペレーションの場合他方のバスへ発行する (図 3(c))。
- ストア命令が実行されキャッシュが M になる場合、バスに発行されるリード (R/S) または無効化 (I/S:

Invalidate for Store) は他方のバスに発行され、EM-Tag は I になる (図 3(b),(c))。

- コピーバックによるライト (W/B: Write for Back)、またはロード命令によるリードでのインターベンション (R/L*, cache-to-memory-and-cache 転送) によってメモリにデータが書き戻された時、EM-Tag は V になる (図 3(d))。

ストア命令の実行時に発行される他のプロセッサのキャッシュを無効化するオペレーション (R/S; I/S) 等、システムで排他的に行う処理は SBus でシリアライズする。PBus と SBus からのオペレーションで競合が起きたノードの BM は、SBus から受け付けたオペレーションを優先する。この場合、競合を起こした PBus からのオペレーションはキャンセルされ、SBus からのオペレーションが PBus に発行される。ローカルノード PBus でのスプリット・トランザクションによる処理の多くは SBus やリモートノード PBus での処理を待たずに終了でき、システムで排他的に行う処理についてもリモートノード PBus での処理を待たずに SBus での処理完了を確認した時点で終了できる。

本稿では説明を省略するが、これらの基本動作の他に BM は、不要になったオペレーションの発行をやるフィルタリング処理、BM 内部で競合を解決することによってキャンセルを減らす処理等も行う。

4 おわりに

EM-Tag によるバス結合分散共有メモリでのキャッシュ/メモリ・コヒーレンシ制御方式について述べた。

現在、PBus/SBus プロトコルやキャッシュ、BM の動作についてタイミング等具体的なシステムモデルを検討し、各種ベンチマーク等のシミュレーションにより本方式の有効性についての評価を行っている。

参考文献

- [1] 大澤 孝 他, “分散共有メモリアーキテクチャにおけるキャッシュコンシステンシプロトコル”, 情報処理学会第 45 回全国大会講演論文集 (分冊 1), pp.249-250, 1992.
- [2] Shigeaki IWASA, et al., “SSM-MP: More Scalability in Shared-Memory Multi-Processor”, *Proc. ICCD'95: VLSI in Computers & Processors*, pp.558-563, 1995.