

PN コンピュータの VLSI 設計における物理的制約に関する研究*

3K-8

萩原 克之† 岡本 秀輔‡ 曾和 将容§

電気通信大学 情報システム学研究科¶

1 はじめに

今日の計算機性能の向上には、めざましいものがある。しかし逐次処理では限界があり、さらなる処理速度の向上には並列処理などの方法が不可欠である。

本研究室では、簡単な命令セットを持った CPU で、命令を機能別に並列に実行する PN (Parallel Neumann) コンピュータ [1] の開発研究を行ってきた。スーパースカラプロセッサは命令を動的に解析し、並列に実行するが、PN コンピュータはプログラムをコンパイル時に静的に解析し機能別にわけた。したがって、スーパースカラプロセッサより並列度の抽出が行なわれ、また実行時にスケジューリングを行なわないので、実行時間が短くなるという利点を有する。その上、元来別々のハードウェア上で実行される、演算、実行、分岐の 3 命令を実行するハードウェアに分けそのユニットで並列に実行するので、ハードウェアの増加を最小に抑えながらパフォーマンスを上げることができる。

今回、我々は NTT が開発したパルテノンシステム [2] を用いて PN プロセッサの設計、試作を行なった。本稿では PN プロセッサの試作の段階で生じた、ピン数とゲート数の制限という物理的制約に対する対処法について述べる。

2 従来型 PN プロセッサ

従来の PN プロセッサは、演算ユニット (AU)、転送ユニット (TU)、分岐制御ユニット (BU) の 3 ユニットで構成される。BU はレジスタ間比較命令を実行し、その結果、分岐命令は各ユニットが独自にアドレス計算し、PC (Program Counter) を変更する。

また、各ユニットは独立して動作しているので、ユニット間で実行する命令に依存関係がある時は、トークンを送受信することでその依存関係を保つ。このトークンの送受信は TC (Token Counter) を用いることで

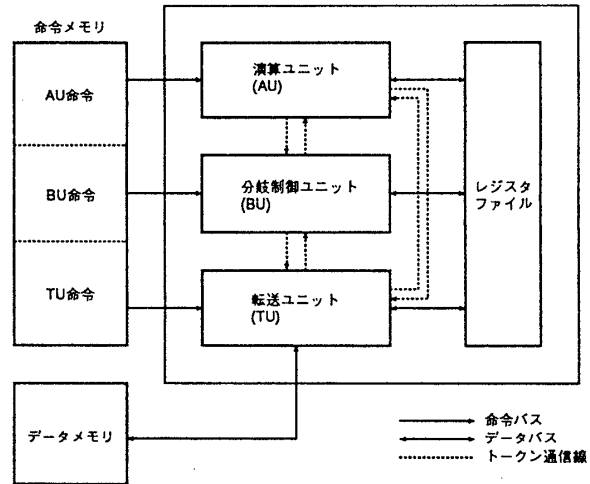


図 1: PN プロセッサの構成

実現している。トークンの送受信は該当するユニット内の自ユニットに対する TC をインクリメント、デクリメントすることで行う。

各ユニットは、それぞれ 32bit のアドレスバスと、32bit の命令バスを持ち、それぞれ独立して命令フェッチを行う。つまり 3 ユニットで構成した場合、命令フェッチだけでも最低、192 本ものピンが必要となる。

3 VLIW 型フェッチ PN プロセッサ

今回設計した PN プロセッサは限られたピン数で設計しなければならないので、従来の各ユニットごとにアドレスを指定しフェッチする方式をやめ、AU と TU の命令を結合し、1 つのアドレスで AU と TU の命令をフェッチする VLIW 型のフェッチを採用した。また従来の BU の代わりに、フェッチとフェッチ先の変更を行う FU (Fetch Unit) を付加した。AU、TU は FU がフェッチした命令をそのまま実行するだけである。

VLIW 方式では命令の依存関係を調べ並列に実行できる命令を抽出して一つの長命令に合成する。該当する命令がないところには NOP 命令が挿入されるので、プログラムサイズは大きくなる。一方、PN 方式は、命令の実行をトークンの送受信によって制御しているため、プログラムサイズが小さくできるという利点がある。

*A Study about physical restriction on VLSI design of Parallel Neumann computer

†Katsuyuki Hagiwara

‡Shusuke Okamoto

§Masahiro Sowa

¶Graduate School of Information Systems, The University of Electro-Communications, 1-5-1 Chofugaoka, Chofu, Tokyo 182, Japan

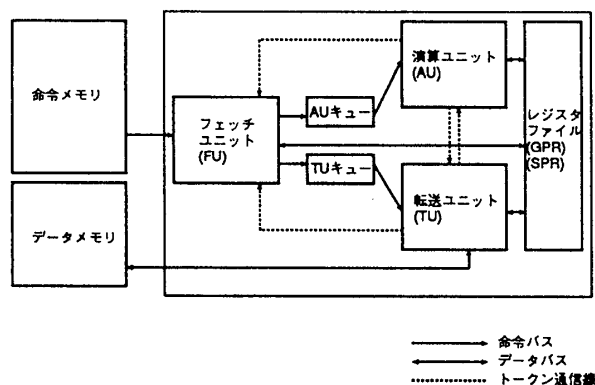


図 2: PN プロセッサの構成

命令のフェッチはFUが基本ブロックごとに行い、ブロックの先頭アドレスには、FU命令を置く。FU命令では次にフェッチするブロックを指定する。

- 無条件フェッチ
基本ブロックの先頭アドレスとそこからのフェッチ個数を指定する。
- 条件フェッチ
基本ブロックの先頭アドレスとそこからのフェッチ個数を2つ指定する。条件フェッチでは、プロセッサステータスワード(PSW)により条件を判断し、条件が成立した場合、指定された指定されたアドレスから、一方のフェッチ個数分フェッチし、条件が偽の場合は、現在の基本ブロックの続きからもう一方のフェッチ個数分フェッチする。

基本ブロックの2番目以降のアドレスにはAU、TU命令を置く。

VLIW方式ではフェッチした順番に各ユニット同時に実行していけばよいのだが、PN方式ではユニット間で命令に依存関係があるとき、トークンによって命令の実行を制御しているので、各ユニットが独立して動作できなければならない。そこで、フェッチしたAU、TUをそれぞれのキューに入れ、各ユニットが独立してキューから命令を取り出し、命令を実行できるようにした。

4 レジスタファイルのゲート数

レジスタファイルはプロセッサを構成する上でかなりのゲート数の割合を占める。とくに、命令実行の並列度が増しポート数が増えるとゲ-

ト数も増加する。AU2read-1write、TU2read-1write、FUread1write、計5read-3writeのマルチポートで設計した結果、32bitのレジスタが8個程度しかとれなかった。

	消費電力 (μ W/MHz)	面積 (k 平方 μ m)	ゲート数
PN(全体)	56587.3	14076.9	17045
AU	15135.7	3648.43	4348
TU	6331.5	1625.7	2054
FU	6632	1644.13	2049
命令キュー	6307.2	1678.787	2104
register file	22338.5	5553.56	6408
1R1W register	12531.9	3241.82	3996
32個 register	99659.9	24567.3	28222

表 1: シリコンデータ

5 おわりに

本稿では、PNプロセッサの試作の段階で生じる物理的制約の問題点をあげ、その対処法を述べた。ピン数の制限によりフェッチ方法をVLIW型で行なった結果、各ユニットごと必要であったアドレスバスを1つにし、PNプロセッサの特徴によりVLIWよりもプログラムサイズを小さくできるという利点があることがわかった。また、レジスタファイルはレジスタの個数だけでなく、ポート数を増やしてもゲート数は増加する。今後、並列度が増し、同時に多くのレジスタファイルにアクセスできるような機構を実現させようとすると、ゲート数の増加は重要な問題となるであろう。

謝辞

パルテノンシステムを開発し貸与して下さった、NTTコミュニケーション科学研究所の方々にお礼を申し上げます。

参考文献

- [1] 壺井彰久 他, "PN スーパースカラプロセッサのパルテノンシステムによるLSI設計", 情報処理学会第48回全国大会, 2C-3, 1994.
- [2] 中村, 小野, "ULSIの効果的な設計法", オーム社, 1994.