

ハードウェアシミュレータ HAL III を用いた 2K-1 超大規模シミュレーション

中川 義浩* 太鷲 一郎* 荒尾 千秋* 筒井 浩美*
橋本 謙浩** 白鷺 優子** 神田 有洋**

*北陸日本電気ソフトウェア(株) **日本電気(株)

1. 概要

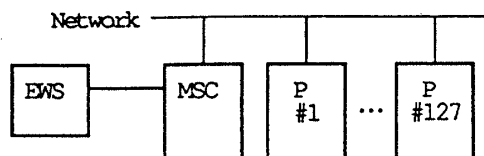
近年のコンピュータシステムは、大規模化/高集積化すると共に、その製品開発サイクルは短くなってきている。この様な状況の中で、高品質、高信頼性の装置を短期間に開発するためには、装置モデルの効率的な論理シミュレーションの実行が必須となっている。

この状況に対応するため、超大規模装置モデルでのOSシミュレーションを実現し、実機評価期間の大幅な短縮に成功した。

ハードウェア論理シミュレータ HAL III のプロセッサを127台構成にし、フロントエンドプロセッサを従来の汎用機からEWSにし、この上で命令レベルシミュレータを実行することにより、10Mゲートを上回る超大規模モデルに対して、OSの立ち上げ及びアプリケーションの実行、機能試験/ランダム命令試験の効率的な実行、結果解析のペーパーレス化を実用化した。

2. HAL III 概要

HAL IIIとは、論理シミュレーションを高速に行う専用ハードウェアシミュレータである。構成は、図1の通りである。



MSC : Master Control Processor
P : Processor

図1 ハードウェアシミュレータ HAL III 構成

On Ultralarge-scale Logic Simulation using
Hardware Logic Simulator HAL III
Yoshihiro NAKAGAWA*, Ichirou OHKUBO*
, Chiaki ARAO*, Hiromi TSUTSUI*
, Kuniharu HASHIMOTO**, Yuko SHIRATORI**
, Arihiro KANDA**

*NEC Software Hokuriku, Ltd. **NEC Corporation.

3. 超大規模装置モデルのシミュレーション

3.1 HAL IIIの最大構成化

HAL IIIでは、アーキテクチャ上プロセッサを最大127台まで並列に接続する事が可能である。

今回、アーキテクチャ上可能である127台のプロセッサを並列化し、超大規模な装置モデルに対してもシミュレーション可能な環境を構築した。

3.2 フロントエンドプロセッサのEWS化

HAL IIIのフロントエンドプロセッサを変更しこの上で命令レベルシミュレータを実行させ、また、シミュレーション結果解析のペーパーレス化を実用化した事により、総合でのシミュレーションTATの短縮を実現した。

フロントエンドプロセッサは、従来のACOSシステム750から、UNIXシステムであるEWS4800/モデル360に変更した。

3.3 機能試験/ランダム命令試験による評価

超大規模装置の開発で短期間に品質を向上するためには、効率的なバグの検出が必須である。

効率的なバグの検出のために、まず機能試験を行い、バグを検出した。更に、機能命令毎の試験では網羅されない部分については、ランダムな命令列による試験を行い、バグを検出した。

機能試験/ランダム命令試験に於いては、図2に示す様に、被試験命令列は試験全体の1%以下にすぎない。この被試験命令列のみをRTLのHAL IIIで実行し、その他の命令列をフロントエンドプロセッサであるEWS上の命令レベルシミュレータで実行する事により、シミュレーションTATを短縮した。

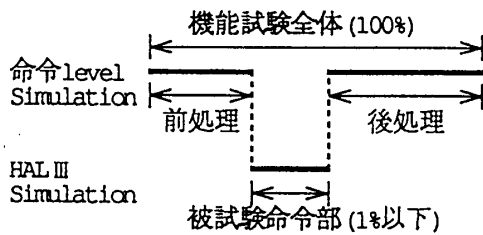


図2 シミュレーション実行過程

3.4 OSレベルのシミュレーション

実機評価に於いて、OS立ち上げ時にHWバグが残っている場合、そのバグを修正するまでは評価が先に進めないという状況が発生する。このため、開発LT短縮のためにはシミュレーションでOS立ち上げを実施することが必須だと言える。

10Mゲートを越える規模の超大規模装置モデルを対象としたOSシミュレーションを実行するために、冗長なシーケンスは、フロントエンドプロセッサであるEWS上の命令レベルのシミュレータで実行させ、HAL IIIではOSシミュレーション上必要な処理のみを実行する様に工夫した。これにより、500万命令余りの命令をシミュレーション実行する事で、OSレベルでのシミュレーションを完了した。

また、シミュレーションでのOS立ち上げは、OS上でアプリケーションを実行する事で、OS自身の評価にもなった。

OSシミュレーションにより、機能試験/ランダム命令試験のレベルでは検出不可能なバグについても検出し、装置の高品質、高信頼性に貢献した。

4. 効果

装置開発でクリティカルとなるOS立ち上げが早期に評価完了した事による効果を以下に述べる。過去の大規模装置の評価期間に対して、

実機評価期間 : 1 / 6

の効果を上げた。

また、シミュレーション結果の編集/解析を効率化した事により、

装置モデル作成TAT : 1 / 10

総合TAT : 1 / 8

の効果を上げた。

総合的には、過去の大規模装置を超える規模の装置開発に対し、実機評価期間が過去に比べ大幅に削減され、効果を上げた。

5. 課題

最大構成であるプロセッサ127台の並列化を実現した事により、超大規模装置モデルの論理シミュレーションに成功し、効果を得た。

しかし今後は、更に大規模な装置及び並列化装置の開発のための論理シミュレーションの必要性が上がるのは必至である。

この必要性に対応するには、装置モデルの規模や構成の依存が低い論理シミュレータが理想的である。

装置モデルの規模や構成による制限に、いかに対応していくかが、今後の課題である。

6. まとめ

HAL IIIを用いた超大規模装置の検証方法について述べた。

今回の成果を踏まえ、今後の更なる高信頼性、高品質の装置開発に役立てて行きたい。

[参考文献]

- [1] 高崎 茂他「HAL III: 機能レベルハードウェアシミュレーション」情報処理学会論文誌, Jan.1991 Vol.32 No.1
- [2] 藤下 正他「超高速シミュレータ(HAL)による効果的検証」情報処理学会第37回全国大会
- [3] 成友 京子他「HAL IIIを用いた効率的論理検証及び解析方法」情報処理学会第42回全国大会
- [4] 大窪 一郎他「HAL IIIを用いたHWとFWの網羅率測定」情報処理学会第43回全国大会