

# 内部論理補償と入力補償による FPGA 回路設計

1K-10

幸田武範 上林彌彦

京都大学工学部

## 1 はじめに

近年論理設計の分野では、プログラム可能なゲートアレイ(FPGA<sup>[2]</sup>:Field Programmable Gate Array)が、その設計の柔軟さのために注目を集めている。

そのため、現在ではいろいろなFPGA回路設計手法が考案されている。

本稿では、論理回路最適化手法の一つであるトランスダクション法<sup>[1]</sup>とエラー補償法の概念を応用したFPGA論理回路最適化手法について述べる。

トランスダクション法を応用した手法は他にも文献<sup>[3]</sup>のような手法が考案されているが、本手法は各論理ブロックの内部論理を変更できるというFPGA回路の特徴を最大限に生かしたものであり、内部論理変更を利用した内部補償や、論理ブロックの入力端子の論理関数を変更する入力補償を用いて、FPGA回路の論理ブロック数最小化などの論理最適化を従来手法より効率よく行えることが特徴である。

## 2 基本的事項

ここでは、トランスダクション法の一概念であるCSPFについて説明する。

回路中のある要素 $c$ (素子、結線)の実現する関数 $f$ を、 $f'$ に変更しても回路の出力が変化しない場合がある。この時、 $f'$ を $c$ の許容関数(Permissible Function)という。許容関数は一般に複数考えられるが、その部分集合をCSPF(Compatible Sets of Permissible Functions)という。

また、CSPFは0、1、\*(don't care)の3値で表される論理関数である。

## 3 FPGA回路の最適化

### 3.1 最適化の流れ

FPGA回路の最適化は、以下の様な流れで行なう。エラー補償の各手続きについては、次節で述べる。

[FPGA回路最適化アルゴリズム]

1. 回路の出力に近い順に論理ブロックを選択
2. 選択したブロックで以下の操作を実行
  - 2.1. 選択したブロックの入力結線を一本切断
  - 2.2. 後述のエラー補償手続きを用いて、エラー修正
    - 補償成功の場合、4へ
    - 補償失敗の場合、引続き2.3.へ
  - 2.3. 他のブロックからの結線を代わりに繋ぎ、エラー補償手続きを用いて、当該ブロックで元の論理関数を実現できるかチェック

- 実現可能なら、エラー補償成功。4へ
  - 実現不可能なら、エラー補償失敗。3へ
3. 2に入る前の回路に戻して、再び1へ
  4. 回路を更新して、1へ

上記を、結果が良くなる限り繰り返す。

### 3.2 エラー補償手続き

本節では、前節で出てきたエラー補償の手続きについて説明する。今回提案したのは、以下に示す二種類の手続きである。

#### 3.2.1 内部論理補償(BLM)

これは、エラーが起こった論理ブロック内の論理関数を変更することで、エラーを修正しようとする手続きである。以下、この内部論理補償手続きをBLM(Block Logic Modification)手続きと呼ぶことにする。

BLM手続きは図1に示す例のように、要求される論理関数を元に各入力端子ごとに展開を行なうことで、最終的にそのブロックで要求する論理関数を実現できるかどうか調べるものである。

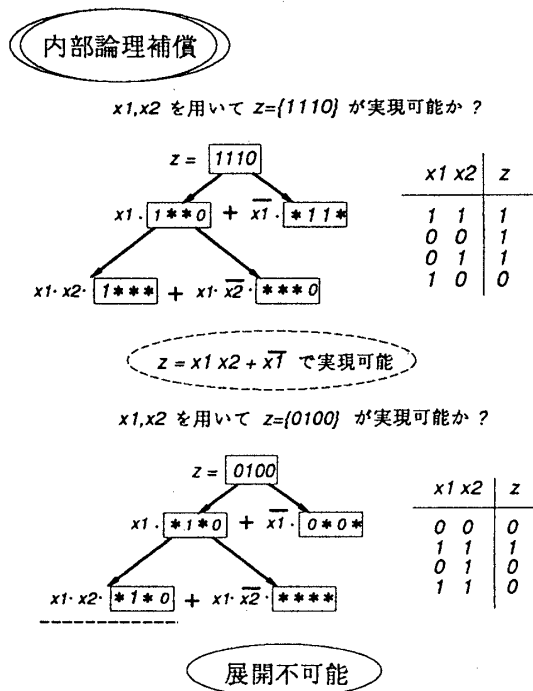


図1: 内部論理補償(BLM)手続きの実行例

#### 3.2.2 入力補償(IC)

この手続きはエラー修正の際に、そのブロックの論理関数のみならず入力の論理関数まで変更して、当該ブロックのエラーを修正しようとするものである。以下、この入力補償手続きをIC(Input Compensation)手続きと呼ぶことにする。図2にIC手続きの実行例を示す。

FPGA Network Design Utilizing Block Logic Modification and Input Compensation

Takenori KOUDA, Yahiko KAMBAYASHI

Faculty of Engineering, Kyoto University

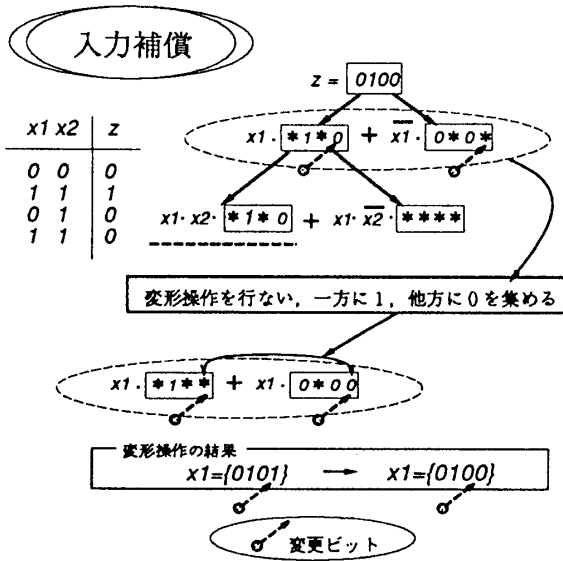


図 2: 入力補償 (IC) 手続きの実行例

この IC 手続きの結果得られた入力関数は、必ずしもその入力につながる論理ブロックで実現可能とは限らない。また実現可能であっても、入力側ブロックの関数を変更することが回路出力に影響しないとは限らない。

そこで、この IC 手続きを行なう時には、同時に各入力ブロックの出力の CSPF を計算し、IC 手続きによって得られた関数が「回路出力に影響を及ぼすことなく」変更可能かどうかを調べる。

これらの操作の結果、変更可能であれば変更を行なう。

#### 4 実験結果とその考察

##### 4.1 BLM と IC の比較

二つの手続き BLM、IC の展開能力と必要計算時間を比較するために、MCNC ベンチマーク回路を 5 入力論理ブロックにマッピングした回路に対して、それぞれの手続きのみを用いて最適化を行なった。

表 1: 手続き BLM と IC の能力と計算時間の比較

回路名	初期回路	BLM	IC
alu4	250/1009	248/968/9.2	248/963/423.8
apex7	124/302	123/289/2.1	120/265/45.3
dalu	489/1772	474/1631/40.6	464/1590/1621.1
frg2	618/1953	612/1910/16.4	606/1877/1945.0
i9	351/1121	351/1002/5.7	351/1002/583.2
term1	171/549	165/515/7.4	147/444/114.3
x3	379/1073	379/1071/9.7	372/1031/153.6

各欄: (ブロック数 / 結線数 / 計算時間(秒)) 太字: 結果がよい方

表 1 に示した結果から、BLM と比べ IC は展開能力が高いものの計算に時間がかかることがわかる。

##### 4.2 最適化実験

上記の実験と同様に用意したベンチマーク回路に対して、前述の最適化アルゴリズムを適用した。

図 2 に示した実験結果から、IC を用いた最適化手法は BLM だけのものより、よい結果が得られることがわかっ

表 2: 最適化実験の結果

回路名	初期回路	BLM	IC
alu4	250/1009	234/946/882	235/900/1912
apex6	376/1005	350/903/3216	350/883/2135
dalu	489/1772	424/1501/8628	420/1447/692
example2	194/413	187/382/105	187/378/111
frg2	618/1953	503/1500/6901	503/1469/512
i5	245/459	245/459/684	245/447/111
i7	524/1219	524/1219/152	524/1219/266
i8	1293/4908	861/3196/36983	862/2799/4265
i9	351/1121	346/1098/367	346/977/728
term1	171/549	87/265/126	97/250/154
vda	583/1866	377/1391/1115	377/1367/997
x3	379/1073	350/962/2513	348/939/3016
x4	291/721	250/597/301	251/565/319

(ブロック数 / 結線数 / 計算時間(秒)) 太字: 結果が良かった部分

た。また、計算時間も BLM を用いたものと比較して、それほど増えることもないことがわかった。

##### 4.3 考察

上記の二つの実験から、手続きの処理にかかる時間に着目した場合、IC が BLM よりも 10 倍以上かかるにもかかわらず、最適化実験ではそれほど差がつかないことがわかった。これは、エラー補償手続きに IC を用いたために、各ブロックでの要求論理関数の実現可能性を調べる際に早い段階で展開に成功するためであるものと考えられる。さらに、その結果得られる論理回路は初期回路と比較してかなりの最適化を実現できることがわかった。

#### 5 むすび

本稿で提案した内部論理補償と入力補償は、他のさまざまな従来手法と組み合わせることにより、FPGA 回路の特徴を生かせるものであるといえる。

これからは、さらに効率の良いエラー補償の手続きを考案していきたいと思う。また、他にも従来手法との組み合わせによる FPGA 回路向けの論理設計手法を考案していきたいと思っている。

#### 謝辞

SBDD パッケージを使用させていただいた矢島研究室の皆様へ深謝します。尚、本研究は新エネルギー・産業技術総合開発機構 (NEDO) の提案公募型・最先端分野研究開発のプロジェクトとしての支援を受けている。

#### 参考文献

- [1] S.Muroga, Y.Kambayashi, H.C.Lai, J.N.Culliney, "The Transduction Method-Design of Logic Networks Based on Permissible Functions", IEEE Trans. Comput. pp.356-359, Nov.1989
- [2] S.D.Brown, R.J.Francis, J.Rose, Z.G.Vranesic, "FIELD PROGRAMMABLE GATE ARRAYS", Kluwer Academic Publishers, 1992
- [3] 山下茂, 上林彌彦, 室賀三郎, "許容関数に基づいた表参照型 FPGA の最適化手法", 電子情報通信学会論文誌, D-1, Vol.J78-D-1, No11, pp.878-885, Nov.1995